(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0095442
(43) 공개일자 2015년08월21일

(51) 국제특허분류(Int. Cl.)
G06F 13/14 (2006.01) *G06F 12/02* (2006.01)
(21) 출원번호 10-2014-0016742
(22) 출원일자 2014년02월13일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최명훈
경기도 수원시 팔달구 월드컵로369번길 23-22 (우만동)
임재우
경기도 용인시 기흥구 흥덕3로 20, 1207동 1401호 (영덕동, 흥덕마을신동아파밀리에아파트)
박기태
경기도 성남시 분당구 수내로 201, 410동 304호 (분당동, 샛별마을삼부아파트)
(74) 대리인
박영우

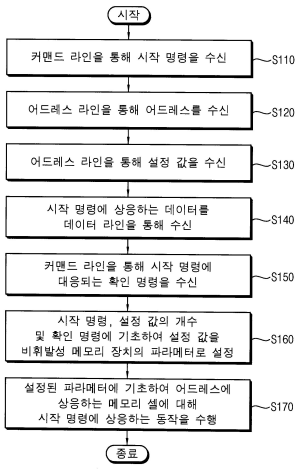
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **비휘발성 메모리 장치 및 이의 동작 방법**

(57) 요 약

비휘발성 메모리 장치의 동작 방법은 커맨드 라인을 통해 시작 명령을 수신하고, 어드레스 라인을 통해 어드레스를 수신하고, 어드레스 라인을 통해 설정 값을 수신하고, 커맨드 라인을 통해 시작 명령에 대응되는 확인 명령을 수신하고, 시작 명령, 설정 값의 개수 및 확인 명령에 기초하여 설정 값을 비휘발성 메모리 장치의 파라메터로 설정하고, 설정된 파라메터에 기초하여 어드레스에 상응하는 메모리 셀에 대해 시작 명령에 상응하는 동작을 수행한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

커맨드 라인을 통해 시작 명령을 수신하는 단계;

어드레스 라인을 통해 어드레스를 수신하는 단계;

상기 어드레스 라인을 통해 설정 값을 수신하는 단계;

상기 커맨드 라인을 통해 상기 시작 명령에 대응되는 확인 명령을 수신하는 단계;

상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 비휘발성 메모리 장치의 파라메터로 설정하는 단계; 및

상기 설정된 파라메터에 기초하여 상기 어드레스에 상응하는 메모리 셀에 대해 상기 시작 명령에 상응하는 동작을 수행하는 단계를 포함하는 비휘발성 메모리 장치의 동작 방법.

청구항 2

제1 항에 있어서,

상기 시작 명령이 프로그램 시작 명령인 경우, 상기 시작 명령에 상응하는 데이터를 데이터 라인을 통해 수신하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 동작 방법.

청구항 3

제1 항에 있어서,

상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는,

상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 상기 파라메터로 매핑하는 파라메터 매핑 테이블을 이용하여 상기 설정 값을 상기 비휘발성 메모리 장치의 상기 파라메터로 설정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 동작 방법.

청구항 4

제1 항에 있어서,

상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는,

상기 시작 명령이 독출 시작 명령이고 상기 설정 값이 제1 설정 값, 제2 설정 값 및 제3 설정 값을 포함하고 상기 확인 명령이 독출 확인 명령인 경우, 상기 제1 설정 값을 상기 비휘발성 메모리 장치의 제1 상태 독출 전압 레벨로 설정하고, 상기 제2 설정 값을 상기 비휘발성 메모리 장치의 제2 상태 독출 전압 레벨로 설정하고, 상기 제3 설정 값을 상기 비휘발성 메모리 장치의 제3 상태 독출 전압 레벨로 설정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 동작 방법.

청구항 5

제1 항에 있어서,

상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는,

상기 시작 명령이 독출 시작 명령이고 상기 설정 값이 제1 설정 값을 포함하고 상기 확인 명령이 독출 확인 명령인 경우, 상기 제1 설정 값을 독출 전압 레벨 테이블 번호로 설정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 동작 방법.

청구항 6

제1 항에 있어서,

상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는,

상기 시작 명령이 프로그램 시작 명령이고 상기 설정 값이 제1 설정 값, 제2 설정 값 및 제3 설정 값을 포함하고 상기 확인 명령이 프로그램 확인 명령인 경우, 상기 제1 설정 값을 상기 비휘발성 메모리 장치의 프로그램 시작 전압 레벨으로 설정하고, 상기 제2 설정 값을 상기 비휘발성 메모리 장치의 프로그램 증가 전압 레벨으로 설정하고, 상기 제3 설정 값을 상기 비휘발성 메모리 장치의 프로그램 검증 전압 레벨으로 설정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 동작 방법.

청구항 7

제1 항에 있어서,

상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는,

상기 시작 명령이 소거 시작 명령이고 상기 설정 값이 제1 설정 값 및 제2 설정 값을 포함하고 상기 확인 명령이 소거 확인 명령인 경우, 상기 제1 설정 값을 상기 비휘발성 메모리 장치의 소거 시작 전압 레벨로 설정하고, 상기 제2 설정 값을 최대 소거 루프 횟수로 설정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치 장치의 동작 방법.

청구항 8

복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 및

파라메터를 저장하는 파라메터 레지스터를 포함하고, 상기 파라메터에 기초하여 상기 메모리 셀 어레이의 동작을 제어하는 제어부를 포함하고,

상기 제어부는,

커맨드 라인을 통해 시작 명령 및 확인 명령을 수신하고, 어드레스 라인을 통해 어드레스 및 설정 값을 수신하고, 상기 시작 명령, 상기 확인 명령 및 상기 설정 값의 개수에 기초하여 상기 설정 값을 상기 파라메터로서 상기 파라메터 레지스터에 저장하고, 상기 파라메터에 기초하여 상기 어드레스에 상응하는 메모리 셀에 대해 상기 시작 명령에 상응하는 동작을 수행하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 9

제8 항에 있어서,

상기 시작 명령에 상응하는 데이터를 데이터 라인을 통해 수신하고 상기 데이터를 상기 메모리 셀 어레이에 전달하는 데이터 입출력 회로를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 10

제8 항에 있어서, 상기 제어부는

상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 상기 파라메터로 매핑하는 파라메터 매핑 테이블을 더 포함하고,

상기 파라메터 매핑 테이블에 기초하여 상기 설정 값을 상기 파라메터로서 상기 파라메터 레지스터에 저장하는 것을 특징으로 하는 비휘발성 메모리 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 비휘발성 메모리 장치에 관한 것으로, 보다 상세하게는 비휘발성 메모리 장치의 파라메터 입력 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 메모리 장치는 전원 공급이 중단될 때 저장된 데이터를 상실하는지 여부에 따라, 휘발성 메모리 장치(volatile memory device)와 비휘발성 메모리 장치(nonvolatile memory device)로 구분될 수 있다. 비휘발성

메모리 장치는 NAND 플래시 메모리 장치를 포함한다.

[0003] 제조 공정의 미세화로 인해 NAND 플래쉬 메모리 장치가 주변 환경에 민감하게 반응하여 동작하게 되면서, 기존의 고정된 내부 파라메터들을 상황에 따라 가변하여 사용하여야 NAND 플래쉬 메모리 장치의 수명을 늘리고, 성능을 개선할 수 있다. 파라메터들은 독출 전압 레벨, 프로그램 시작 전압 레벨, 프로그램 증가 전압 레벨, 프로그램 검증 전압 레벨, 소거 시작 전압 레벨 및 최대 소거 루프 횟수를 포함할 수 있다.

[0004] NAND 플래쉬 메모리 장치의 파라메터들을 변경 및 복구하기 위해 많은 시간이 소요되어 NAND 플래쉬 메모리 장치의 동작 속도가 낮아지는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0005] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 파라메터를 명령 신호, 어드레스 신호 및 데이터 신호와 함께 수신하여 동작 속도가 높은 비휘발성 메모리 장치의 동작 방법을 제공하는데 있다.

[0006] 본 발명의 일 목적은 파라메터를 명령 신호, 어드레스 신호 및 데이터 신호와 함께 수신하여 동작 속도가 높은 비휘발성 메모리 장치를 제공하는데 있다.

과제의 해결 수단

[0007] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 동작 방법은 커맨드 라인을 통해 시작 명령을 수신하고, 어드레스 라인을 통해 어드레스를 수신하고, 상기 어드레스 라인을 통해 설정 값을 수신하고, 상기 커맨드 라인을 통해 상기 시작 명령에 대응되는 확인 명령을 수신하고, 상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 비휘발성 메모리 장치의 파라메터로 설정하고, 상기 설정된 파라메터에 기초하여 상기 어드레스에 상응하는 메모리 셀에 대해 상기 시작 명령에 상응하는 동작을 수행한다.

[0008] 일 실시예에 있어서, 상기 비휘발성 메모리 장치의 동작 방법은 상기 시작 명령이 프로그램 시작 명령인 경우, 상기 시작 명령에 상응하는 데이터를 데이터 라인을 통해 수신하는 단계를 더 포함할 수 있다.

[0009] 일 실시예에 있어서, 상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는 상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 상기 파라메터로 매핑하는 파라메터 매핑 테이블을 이용하여 상기 설정 값을 상기 비휘발성 메모리 장치의 상기 파라메터로 설정하는 단계를 포함할 수 있다.

[0010] 일 실시예에 있어서, 상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는 상기 시작 명령이 독출 시작 명령이고 상기 설정 값이 제1 설정 값, 제2 설정 값 및 제3 설정 값을 포함하고 상기 확인 명령이 독출 확인 명령인 경우, 상기 제1 설정 값을 상기 비휘발성 메모리 장치의 제1 상태 독출 전압 레벨로 설정하고, 상기 제2 설정 값을 상기 비휘발성 메모리 장치의 제2 상태 독출 전압 레벨로 설정하고, 상기 제3 설정 값을 상기 비휘발성 메모리 장치의 제3 상태 독출 전압 레벨로 설정하는 단계를 포함할 수 있다.

[0011] 일 실시예에 있어서, 상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는 상기 시작 명령이 독출 시작 명령이고 상기 설정 값이 제1 설정 값을 포함하고 상기 확인 명령이 독출 확인 명령인 경우, 상기 제1 설정 값을 독출 전압 레벨 테이블 번호로 설정하는 단계를 포함할 수 있다.

[0012] 일 실시예에 있어서, 상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는 상기 시작 명령이 프로그램 시작 명령이고 상기 설정 값이 제1 설정 값, 제2 설정 값 및 제3 설정 값을 포함하고 상기 확인 명령이 프로그램 확인 명령인 경우, 상기 제1 설정 값을 상기 비휘발성 메모리 장치의 프로그램 시작 전압 레벨으로 설정하고, 상기 제2 설정 값을 상기 비휘발성 메모리 장치의 프로그램 증가 전압 레벨으로 설정하고, 상기 제3 설정 값을 상기 비휘발성 메모리 장치의 프로그램 검증 전압 레벨으로 설정하는 단계를 포함할 수 있다.

[0013] 일 실시예에 있어서, 상기 설정 값을 상기 비휘발성 메모리 장치의 파라메터로 설정하는 단계는 상기 시작 명령이 소거 시작 명령이고 상기 설정 값이 제1 설정 값 및 제2 설정 값을 포함하고 상기 확인 명령이 소거 확인 명령인 경우, 상기 제1 설정 값을 상기 비휘발성 메모리 장치의 소거 시작 전압 레벨로 설정하고, 상기 제2 설정 값을 최대 소거 루프 횟수로 설정하는 단계를 포함할 수 있다.

[0014] 일 실시예에 있어서, 상기 시작 명령이 독출 시작 명령 또는 프로그램 시작 명령인 경우, 상기 어드레스는 상기 비휘발성 메모리 장치의 열 어드레스를 나타내는 복수의 제1 어드레스들 및 상기 비휘발성 메모리 장치의 행 어드레스를 나타내는 복수의 제2 어드레스들을 포함할 수 있다.

[0015] 일 실시예에 있어서, 상기 비휘발성 메모리 장치는 NAND 플래쉬 메모리 장치일 수 있다.

[0016] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는 메모리 셀 어레이 및 제어부를 포함한다. 상기 메모리 셀 어레이는 복수의 메모리 셀들을 포함한다. 상기 제어부는 파라메터를 저장하는 파라메터 레지스터를 포함하고, 상기 파라메터에 기초하여 상기 메모리 셀 어레이의 동작을 제어한다. 상기 제어부는 커맨드 라인을 통해 시작 명령 및 확인 명령을 수신하고, 어드레스 라인을 통해 어드레스 및 설정 값을 수신하고, 상기 시작 명령, 상기 확인 명령 및 상기 설정 값의 개수에 기초하여 상기 설정 값을 상기 파라메터로서 상기 파라메터 레지스터에 저장하고, 상기 파라메터에 기초하여 상기 어드레스에 상응하는 메모리 셀에 대해 상기 시작 명령에 상응하는 동작을 수행한다.

[0017] 일 실시예에 있어서, 상기 비휘발성 메모리 장치는 상기 시작 명령에 상응하는 데이터를 데이터 라인을 통해 수신하고 상기 데이터를 상기 메모리 셀 어레이에 전달하는 데이터 입출력 회로를 더 포함할 수 있다.

[0018] 일 실시예에 있어서, 상기 제어부는 상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 상기 파라메터로 매핑하는 파라메터 매핑 테이블을 더 포함할 수 있다.

[0019] 일 실시예에 있어서, 상기 제어부는 상기 파라메터 매핑 테이블에 기초하여 상기 설정 값을 상기 파라메터로서 상기 파라메터 레지스터에 저장할 수 있다.

발명의 효과

[0020] 본 발명의 실시예들에 따른 비휘발성 메모리 장치 및 이의 동작 방법은 명령 신호, 어드레스 신호 및 데이터 신호와 함께 수신한 설정 값에 기초하여 파라메터를 설정하고 상기 설정된 파라메터에 기초하여 상기 시작 명령에 상응하는 동작을 수행함으로써, 파라메터의 수신과 명령 신호, 어드레스 신호 및 데이터 신호의 수신이 분리된 종래의 방법에 비해, 파라메터를 고속으로 수신할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 순서도이다.

도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.

도 3은 도 2의 비휘발성 메모리 장치에 포함되는 파라메터 매핑 테이블이 포함하는 정보를 나타내는 표이다.

도 4 내지 8은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법들을 나타내는 타이밍도들이다.

도 9는 본 발명의 일 실시예에 따른 메모리 시스템을 나타내는 블록도이다.

도 10은 본 발명의 일 실시예에 따른 메모리 카드를 나타내는 블록도이다.

도 11은 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.

도 12는 본 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

[0024] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된

다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0026] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0028] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략한다.

[0029] 도 1은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 순서도이다.

[0030] 도 1을 참조하면, 비휘발성 메모리 장치의 동작 방법의 수행을 위해 커맨드 라인을 통해 시작 명령을 수신한다(단계 S110). 다음으로, 어드레스 라인을 통해 어드레스를 수신한다(단계 S120). 다음으로, 상기 어드레스 라인을 통해 설정 값을 수신한다(단계 S130). 다음으로, 상기 시작 명령이 프로그램 시작 명령인 경우, 상기 시작 명령에 상응하는 데이터를 데이터 라인을 통해 수신한다(단계 S140). 다음으로, 상기 커맨드 라인을 통해 상기 시작 명령에 대응되는 확인 명령을 수신한다(단계 S150). 다음으로, 상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 비휘발성 메모리 장치의 파라메터로 설정한다(단계 S160). 다음으로, 상기 설정된 파라메터에 기초하여 상기 어드레스에 상응하는 메모리 셀에 대해 상기 시작 명령에 상응하는 동작을 수행한다(단계 S170). 상기 단계들은 도 2, 4 내지 8을 참조하여 자세하게 설명한다.

[0031] 일 실시예에서, 상기 어드레스 라인을 통해 설정 값을 수신하는 단계(S130) 및 상기 비휘발성 메모리 장치의 파라메터를 설정하는 단계(S160)를 제외한 모든 단계를 수행하는 경우, 기본 값(Default value)로 설정된 파라메터에 기초하여 상기 어드레스에 상응하는 메모리 셀에 대해 상기 시작 명령에 상응하는 동작을 수행한다(S170).

[0032] 상기 파라메터를 설정하는 단계(S160)는 상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 상기 파라메터로 매핑하는 파라메터 매핑 테이블을 이용할 수 있다. 파라메터 매핑 테이블에 대하여 도 3을 참조하여 후술한다.

[0033] 상기 비휘발성 메모리 장치는 NAND 플래쉬 메모리 장치일 수 있다.

[0034] 도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.

[0035] 도 2를 참조하면, 비휘발성 메모리 장치(100)는 메모리 셀 어레이(MEMORY CELL ARRAY; 110), 어드레스 디코더(ADDRESS DECODER; 120), 데이터 입출력 회로(DATA I/O CIRCUIT; 130), 전압 생성부(VOLTAGE GENERATION UNIT; 140) 및 제어부(CONTROL UNIT; 150)를 포함한다. 제어부(150)는 파라메터 레지스터(PRM REGS; 152) 및 파라메터 매핑 테이블(PRM TABLE; 151)을 포함한다.

[0036] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1, BLK2, ..., BLKz)(z는 양의 정수)을 포함할 수 있다. 복수의 메모리 블록들(BLK1, BLK2, ..., BLKz) 각각은 복수의 셀 스트링들을 포함할 수 있다. 복수의 메모리 블록들(BLK1, BLK2, ..., BLKz)은 복수의 비트라인들(BL1~BLm)을 공유할 수 있다. 메모리 셀 어레이(110)는 블록 단위로 소거 동작을 수행할 수 있다.

[0037] 일 실시예에 있어서, 메모리 셀 어레이(110)에 포함되는 상기 메모리 셀은 하나의 비트의 데이터를 저장하는 싱글 레벨 셀(Single Level Cell; SLC)일 수 있다. 다른 실시예에 있어서, 메모리 셀 어레이(110)에 포함되는 상기 메모리 셀은 복수의 비트의 데이터를 저장하는 멀티 레벨 셀(Multi Level Cell; MLC)일 수 있다. 또 다른 실시예에 있어서, 메모리 셀 어레이(110)에 포함되는 상기 메모리 셀은 복수의 비트의 데이터를 저장하는 트리플 레벨 셀(Triple Level Cell; TLC)일 수 있다.

[0038] 제어부(150)는 메모리 컨트롤러와 같은 외부 장치로부터 수신되는 명령 신호(CMD) 및 어드레스 신호(ADDR)에 기초하여 전압 생성부(140), 어드레스 디코더(120) 및 데이터 입출력 회로(130)를 제어함으로써 비휘발성 메모리 장치(100)의 전반적인 동작을 제어한다. 예를 들어, 제어부(150)는 명령 신호(CMD) 및 어드레스 신호(ADDR)에 기초하여 비휘발성 메모리 장치(100)의 프로그램 동작, 독출 동작 및 소거 동작을 제어할 수 있다.

[0039] 제어부(150)는 커맨드 라인을 통해 명령 신호(CMD)로서 수신한 시작 명령 및 확인 명령과 어드레스 라인을 통해 어드레스 신호(ADDR)로서 수신한 어드레스 및 설정 값에 기초하여 상기 설정 값을 파라메터로서 파라메터 레지스터(152)에 저장할 수 있다. 파라메터 매핑 테이블(151)은 상기 시작 명령, 상기 설정 값의 개수 및 상기 확인 명령에 기초하여 상기 설정 값을 상기 파라메터에 매핑한다. 제어부(150)는 파라메터 매핑 테이블(151)에 기초하여 상기 설정 값을 파라메터로서 파라메터 레지스터(152)에 저장할 수 있다. 제어부(150)는 파라메터 레지스터(152)에 저장된 상기 파라메터에 기초하여 상기 어드레스에 상응하는 메모리 셀에 대해 상기 시작 명령에 상응하는 동작이 수행되도록 비휘발성 메모리 장치(100)를 제어한다.

[0040] 일 실시예에 있어서, 제어부(150)는 어드레스 신호(ADDR)에 기초하여 행 어드레스(RADDR) 및 열 어드레스(CADDR)를 생성할 수 있다. 제어부(150)는 행 어드레스(RADDR)를 어드레스 디코더(120)에 제공하고, 열 어드레스(CADDR)를 데이터 입출력 회로(130)에 제공할 수 있다.

[0041] 전압 생성부(140)는 비휘발성 메모리 장치(100)의 동작에 필요한 다양한 전압들을 생성한다. 예를 들어, 전압 생성부(140)는 프로그램 동작시 사용되는 프로그램 전압 및 프로그램 검증 전압을 생성하고, 독출 동작시 사용되는 독출 전압을 생성하고, 소거 동작시 사용되는 소거 전압을 생성할 수 있다. 전압 생성부(140)는 파라메터 레지스터(152)의 파라메터들에 기초하여 상기 전압들을 생성할 수 있다.

[0042] 어드레스 디코더(120)는 복수의 워드라인들(WL1~WLn), 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)을 통해 메모리 셀 어레이(110)와 연결된다. 어드레스 디코더(120)는 제어부(150)로부터 수신되는 행 어드레스(RADDR)에 기초하여 복수의 워드라인들(WL1~WLn) 중의 하나를 선택하고, 전압 생성부(140)로부터 제공되는 다양한 전압들을 상기 선택된 워드라인 및 선택되지 않은 워드라인들에 제공할 수 있다.

[0043] 데이터 입출력 회로(130)는 복수의 비트라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)와 연결된다. 데이터 입출력 회로(130)는 제어부(150)로부터 수신되는 열 어드레스(CADDR)에 기초하여 복수의 비트라인들(BL1~BLm) 중의 적어도 하나를 선택하고, 상기 선택된 적어도 하나의 비트라인에 연결되는 메모리 셀로부터 독출되는 데이터를 데이터 신호(DATA)로서 상기 외부 장치로 출력하고, 상기 외부 장치로부터 입력되는 데이터를 데이터 신호(DATA)로서 상기 선택된 적어도 하나의 비트라인에 연결되는 메모리 셀에 기입할 수 있다.

[0044] 일 실시예에 있어서, 데이터 입출력 회로(130)는 감지 증폭기(sense amplifier), 페이지 버퍼(page buffer), 컬럼 선택 회로, 기입 드라이버, 데이터 버퍼 등을 포함할 수 있다.

[0045] 도 3는 도 2의 비휘발성 메모리 장치에 포함되는 파라메터 매핑 테이블이 포함하는 정보를 나타내는 표이다.

[0046] 도 3을 참조하면, 파라메터는 제1 상태 독출 전압 레벨(READ VOLTAGE LEVEL 1), 제2 상태 독출 전압 레벨(READ VOLTAGE LEVEL 2), 제3 상태 독출 전압 레벨(READ VOLTAGE LEVEL 3), 독출 전압 레벨 테이블 번호(READ VOL LEVEL TABLE NUMBER), 프로그램 시작 전압 레벨(PGM START VOLTAGE LEVEL), 프로그램 증가 전압 레벨(PGM INCREASING VOLTAGE LEVEL), 프로그램 검증 전압 레벨(PGM VERIFYING VOLTAGE LEVEL), 소거 시작 전압 레벨(ERASE START VOLTAGE LEVEL) 및 최대 소거 루프 횟수(MAXIMUM ERASE LOOP NUMBER)를 포함할 수 있다.

[0047] 파라메터 매핑 테이블(200)에 저장된 제1 매핑 케이스에 따르면, 시작 명령(START CMD)이 독출 시작 명령(READSTART CMD)이고 설정 값이 제1 설정 값(SV 1), 제2 설정 값(SV 2) 및 제3 설정 값(SV 3)을 포함하고(설정 값의 개수는 3) 확인 명령(CONFIRM CMD)이 독출 확인 명령(READ CONFIRM CMD)인 경우, 상기 파라메터를 설정하는 단계(S160)는 제1 설정 값(SV 1)을 비휘발성 메모리 장치(100)의 제1 상태 독출 전압 레벨(READ VOLTAGE LEVEL 1)로 설정하고, 제2 설정 값(SV 2)을 비휘발성 메모리 장치(100)의 제2 상태 독출 전압 레벨(READ VOLTAGE LEVEL 2)로 설정하고, 제3 설정 값(SV 3)을 비휘발성 메모리 장치(100)의 제3 상태 독출 전압 레벨

(READ VOLTAGE LEVEL 3)로 설정할 수 있다. 파라메터 매핑 테이블(200)의 상기 제1 매핑 케이스에 대하여 도 5를 참조하여 후술한다.

[0048] 파라메터 매핑 테이블(200)에 저장된 제2 매핑 케이스에 따르면, 시작 명령(START CMD)이 독출 시작 명령(READ START CMD)이고 설정 값이 제1 설정 값(SV 1)을 포함하고(설정 값의 개수는 1) 확인 명령(CONFIRM CMD)이 독출 확인 명령(READ CONFIRM CMD)인 경우, 상기 파라메터를 설정하는 단계(S160)는 제1 설정 값(SV1)을 독출 전압 레벨 테이블 번호(READ VOL LEVEL TABLE NUMBER)로 설정할 수 있다. 일 예로서, 독출 전압 레벨 테이블 번호(READ VOL LEVEL TABLE NUMBER)가 1로 설정된 경우, 제1 상태 독출 전압 레벨(READ VOLTAGE LEVEL 1)은 10mV, 제2 상태 독출 전압 레벨(READ VOLTAGE LEVEL 2)은 5mV, 제3 상태 독출 전압 레벨(READ VOLTAGE LEVEL 3)은 30mV의 값을 가지도록 미리 설정되어 있을 수 있다. 다른 예로서, 독출 전압 레벨 테이블 번호(READ VOL LEVEL TABLE NUMBER)가 2로 설정된 경우, 제1 상태 독출 전압 레벨(READ VOLTAGE LEVEL 1)은 5mV, 제2 상태 독출 전압 레벨(READ VOLTAGE LEVEL 2)은 40mV, 제3 상태 독출 전압 레벨(READ VOLTAGE LEVEL 3)은 10mV의 값을 가지도록 미리 설정되어 있을 수 있다. 파라메터 매핑 테이블(200)의 상기 제2 매핑 케이스에 대하여 도 6을 참조하여 후술한다.

[0049] 파라메터 매핑 테이블(200)에 저장된 제3 매핑 케이스에 따르면, 시작 명령(START CMD)이 프로그램 시작 명령(PGM START CMD)이고 설정 값이 제1 설정 값(SV 1), 제2 설정 값(SV 2) 및 제3 설정 값(SV 3)을 포함하고(설정 값의 개수는 3) 확인 명령(CONFIRM CMD)이 프로그램 확인 명령(PGM CONFIRM CMD)인 경우, 상기 파라메터를 설정하는 단계(S160)는 제1 설정 값(SV 1)을 비휘발성 메모리 장치(100)의 프로그램 시작 전압 레벨(PGM START VOLTAGE LEVEL)으로 설정하고, 제2 설정 값(SV 2)을 비휘발성 메모리 장치(100)의 프로그램 증가 전압 레벨(PGM INCREASING VOLTAGE LEVEL)으로 설정하고, 제3 설정 값(SV 3)을 비휘발성 메모리 장치(100)의 프로그램 검증 전압 레벨(PGM VERIFYING VOLTAGE LEVEL)으로 설정할 수 있다. 파라메터 매핑 테이블(200)의 상기 제3 매핑에 대하여 도 7을 참조하여 후술한다.

[0050] 파라메터 매핑 테이블(200)에 저장된 제4 매핑 케이스에 따르면, 시작 명령(START CMD)이 소거 시작 명령(ERASE START CMD)이고 설정 값이 제1 설정 값(SV 1) 및 제2 설정 값(SV 2)을 포함하고(설정 값의 개수는 2) 확인 명령(CONFIRM CMD)이 소거 확인 명령(ERASE CONFIRM CMD)인 경우, 상기 파라메터를 설정하는 단계(S160)는 제1 설정 값(SV 1)을 비휘발성 메모리 장치(100)의 소거 시작 전압 레벨(ERASE START VOLTAGE LEVEL)로 설정하고, 제2 설정 값(SV 2)을 최대 소거 루프 횟수(MAXIMUM ERASE LOOP NUMBER)로 설정할 수 있다. 파라메터 매핑 테이블(200)의 상기 제4 매핑 케이스에 대하여 타이밍도를 도 8을 참조하여 후술한다.

[0051] 파라메터 매핑 테이블(200)은 상기 열거된 상기 매핑 케이스들 외 다양한 매핑 케이스를 더 포함할 수 있다.

[0052] 도 4 내지 8은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법들을 나타내는 타이밍도들이다.

[0053] 도 4를 참조하면, 클럭 신호(CLK)의 상승 에지마다 클럭 카운트(CLK COUNT)의 값이 증가할 수 있다. 다른 실시예에서, 클럭 신호(CLK)의 하강 에지마다 클럭 카운트(CLK COUNT)의 값이 증가할 수 있다.

[0054] 열 어드레스(COL ADD 1)는 제1 어드레스(ADD 1; 321) 내지 제K 어드레스(ADD K; 322)를 포함할 수 있다. 행 어드레스(ROW ADD 1)는 제K+1 어드레스(ADD K+1; 331) 내지 제K+L 어드레스(ADD K+L; 332)를 포함할 수 있다. 설정 값들(SVS 1)은 제1 설정 값(SV 1; 341) 내지 제M 설정 값(SV M; 342)을 포함할 수 있다.

[0055] 클럭 카운트(CLK COUNT)가 0의 값을 가질 때, 제어부(150)는 커맨드 라인을 통해서 시작 명령(START CMD; 311)을 명령 신호(CMD)로서 수신할 수 있다(S110). 클럭 카운트(CLK COUNT)가 1 내지 K+L의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 열 어드레스(COL ADD 1) 및 행 어드레스(ROW ADD 1)를 어드레스 신호(ADDR)로서 수신할 수 있다(S120). 클럭 카운트(CLK COUNT)가 K+L+1 내지 K+L+M의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 설정 값들(SVS 1)을 어드레스 신호(ADDR)로서 수신할 수 있다(S130). 제어부(150)는 설정 값들(SVS 1)을 수신한 이후에, 커맨드 라인을 통해서 확인 명령(CONFIRM CMD; 351)을 명령 신호(CMD)로서 수신할 수 있다(S150).

[0056] 제어부(150)는 확인 명령(CONFIRM CMD; 351)을 명령 신호(CMD)로서 수신한 이후에, 실행 구간(EXECUTION; 361)동안 파라메터 매핑 테이블(200)에서 시작 명령(311), 설정 값들(SVS 1)의 개수 및 확인 명령(351)에 대응되는 파라메터에 상응하는 파라메터 레지스터(152)에 설정 값들(SVS 1)을 저장하고, 상기 파라메터에 기초하여 열 어드레스(COL ADD 1) 및 행 어드레스(ROW ADD 1)에 상응하는 메모리 셀에 대해 시작 명령(311)에 상응하는 동작이 수행되도록 비휘발성 메모리 장치(100)를 제어할 수 있다(S160 내지 S170).

[0057] 도 5는 도 3의 파라메터 매핑 테이블(200)의 제1 매핑 케이스를 나타내는 타이밍도이다.

[0058] 열 어드레스(COL ADD 2)는 제1 어드레스(ADD 1; 421) 및 제2 어드레스(ADD 2; 422)를 포함할 수 있다. 행 어드레스(ROW ADD 2)는 제3 어드레스(ADD 3; 431), 제4 어드레스(ADD 4; 432) 및 제5 어드레스(ADD5; 433)를 포함할 수 있다. 설정 값들(SVS 2)은 제1 설정 값(SV 1; 441), 제2 설정 값(SV 2; 442) 및 제3 설정 값(SV 3; 443)을 포함할 수 있다.

[0059] 클럭 카운트(CLK COUNT)가 0의 값을 가질 때, 제어부(150)는 커맨드 라인을 통해서 독출 시작 명령(READ START CMD; 411)을 명령 신호(CMD)로서 수신할 수 있다(S110). 클럭 카운트(CLK COUNT)가 1 내지 5의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 열 어드레스(COL ADD 2) 및 행 어드레스(ROW ADD 2)를 어드레스 신호(ADDR)로서 수신할 수 있다(S120). 클럭 카운트(CLK COUNT)가 6 내지 8의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 설정 값들(SVS 2)을 어드레스 신호(ADDR)로서 수신할 수 있다(S130). 제어부(150)는 설정 값들(SVS 2)을 수신한 이후에, 커맨드 라인을 통해서 독출 확인 명령(READ CONFIRM CMD; 451)을 명령 신호(CMD)로서 수신할 수 있다(S150).

[0060] 제어부(150)는 독출 확인 명령(READ CONFIRM CMD; 451)을 명령 신호(CMD)로서 수신한 이후에, 실행 구간(EXECUTION; 452)동안 파라메터 매핑 테이블(200)에서 독출 시작 명령(411), 설정 값들(SVS 2)의 개수(3) 및 독출 확인 명령(451)에 대응되는 제1 매핑 케이스에 기초하여 제1 설정 값(441)을 제1 상태 독출 전압 레벨(READ VOLTAGE LEVEL 1) 파라메터에 상응하는 파라메터 레지스터(152)에 저장하고, 제2 설정 값(442)을 제2 상태 독출 전압 레벨(READ VOLTAGE LEVEL 2) 파라메터에 상응하는 파라메터 레지스터(152)에 저장하고, 제3 설정 값(443)을 제3 상태 독출 전압 레벨(READ VOLTAGE LEVEL 3) 파라메터에 상응하는 파라메터 레지스터(152)에 저장할 수 있다. 제어부(150)는 파라메터 레지스터(152)에 저장된 파라메터에 기초하여 열 어드레스(COL ADD 2) 및 행 어드레스(ROW ADD 2)에 상응하는 메모리 셀에 대해 독출 동작이 수행되도록 비휘발성 메모리 장치(100)를 제어할 수 있다(S160 내지 S170).

[0061] 도 6는 도 3의 파라메터 매핑 테이블(200)의 제2 매핑 케이스를 나타내는 타이밍도이다.

[0062] 열 어드레스(COL ADD 3)는 제1 어드레스(ADD 1; 521) 및 제2 어드레스(ADD 2; 522)를 포함할 수 있다. 행 어드레스(ROW ADD 3)는 제3 어드레스(ADD 3; 531), 제4 어드레스(ADD 4; 532) 및 제5 어드레스(ADD5; 533)를 포함할 수 있다. 설정 값들(SVS 3)은 제1 설정 값(SV 1; 541)을 포함할 수 있다.

[0063] 클럭 카운트(CLK COUNT)가 0의 값을 가질 때, 제어부(150)는 커맨드 라인을 통해서 독출 시작 명령(READ START CMD; 511)을 명령 신호(CMD)로서 수신할 수 있다(S110). 클럭 카운트(CLK COUNT)가 1 내지 5의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 열 어드레스(COL ADD 3) 및 행 어드레스(ROW ADD 3)를 어드레스 신호(ADDR)로서 수신할 수 있다(S120). 클럭 카운트(CLK COUNT)가 6의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 설정 값들(SVS 3)을 어드레스 신호(ADDR)로서 수신할 수 있다(S130). 제어부(150)는 설정 값들(SVS 3)을 수신한 이후에, 커맨드 라인을 통해서 독출 확인 명령(READ CONFIRM CMD; 551)을 명령 신호(CMD)로서 수신할 수 있다(S150).

[0064] 제어부(150)는 독출 확인 명령(READ CONFIRM CMD; 551)을 명령 신호(CMD)로서 수신한 이후에, 실행 구간(EXECUTION; 552)동안 파라메터 매핑 테이블(200)에서 독출 시작 명령(511), 설정 값들(SVS 3)의 개수(1) 및 독출 확인 명령(551)에 대응되는 제2 매핑 케이스에 기초하여 제1 설정 값(541)을 독출 전압 레벨 테이블 번호(READ VOL LEVEL TABLE NUMBER) 파라메터에 상응하는 파라메터 레지스터(152)에 저장할 수 있다. 제어부(150)는 파라메터 레지스터(152)에 저장된 파라메터에 기초하여 열 어드레스(COL ADD 3) 및 행 어드레스(ROW ADD 3)에 상응하는 메모리 셀에 대해 독출 동작이 수행되도록 비휘발성 메모리 장치(100)를 제어할 수 있다(S160 내지 S170).

[0065] 도 7은 도 3의 파라메터 매핑 테이블(200)의 제3 매핑 케이스를 나타내는 타이밍도이다.

[0066] 열 어드레스(COL ADD 4)는 제1 어드레스(ADD 1; 621) 및 제2 어드레스(ADD 2; 622)를 포함할 수 있다. 행 어드레스(ROW ADD 4)는 제3 어드레스(ADD 3; 631), 제4 어드레스(ADD 4; 632) 및 제5 어드레스(ADD5; 633)를 포함할 수 있다. 설정 값들(SVS 4)은 제1 설정 값(SV 1; 641), 제2 설정 값(SV 2; 642) 및 제3 설정 값(SV 3; 643)을 포함할 수 있다. 데이터(DATA)는 제1 데이터(DTA1; 651) 내지 제N 데이터(DTA N; 652)를 포함할 수 있다.

[0067] 클럭 카운트(CLK COUNT)가 0의 값을 가질 때, 제어부(150)는 커맨드 라인을 통해서 프로그램 시작 명령(PGM START CMD; 611)을 명령 신호(CMD)로서 수신할 수 있다(S110). 클럭 카운트(CLK COUNT)가 1 내지 5의 값을 가

질 때, 제어부(150)는 어드레스 라인을 통해서 열 어드레스(COL ADD 4) 및 행 어드레스(ROW ADD 4)를 어드레스 신호(ADDR)로서 수신할 수 있다(S120). 클럭 카운트(CLK COUNT)가 6 내지 8의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 설정 값들(SVS 4)을 어드레스 신호(ADDR)로서 수신할 수 있다(S130). 클럭 카운트(CLK COUNT)가 9 내지 N+8의 값을 가질 때, 제어부(150)는 데이터 라인을 통해서 데이터(DATAS)를 데이터 신호(DATA)로서 수신할 수 있다(S140). 제어부(150)는 설정 값들(SVS 4)을 수신한 이후에, 커맨드 라인을 통해서 프로그램 확인 명령(PGM CONFIRM CMD; 651)을 명령 신호(CMD)로서 수신할 수 있다(S150).

[0068] 제어부(150)는 프로그램 확인 명령(PGM CONFIRM CMD; 651)을 명령 신호(CMD)로서 수신한 이후에, 실행 구간(EXECUTION; 652)동안 파라메터 매핑 테이블(200)에서 프로그램 시작 명령(611), 설정 값들(SVS 4)의 개수(3) 및 프로그램 확인 명령(651)에 대응되는 제3 매핑 케이스에 기초하여 제1 설정 값(641)을 프로그램 시작 전압 레벨(PGM START VOLTAGE LEVEL) 파라메터에 상응하는 파라메터 레지스터(152)에 저장하고, 제2 설정 값(642)을 프로그램 증가 전압 레벨(PGM INCREASING VOLTAGE LEVEL) 파라메터에 상응하는 파라메터 레지스터(152)에 저장하고, 제3 설정 값(643)을 프로그램 검증 전압 레벨(PGM VERIFYING VOLTAGE LEVEL) 파라메터에 상응하는 파라메터 레지스터(152)에 저장할 수 있다. 제어부(150)는 파라메터 레지스터(152)에 저장된 파라메터에 기초하여 열 어드레스(COL ADD 4) 및 행 어드레스(ROW ADD 4)에 상응하는 메모리 셀에 대해 프로그램 동작이 수행되도록 비휘발성 메모리 장치(100)를 제어할 수 있다(S160 내지 S170).

[0069] 도 8은 도 3의 파라메터 매핑 테이블(200)의 제4 매핑 케이스를 나타내는 타이밍도이다.

[0070] 소거 어드레스(ERASE ADD)는 제1 어드레스(ADD 1; 721), 제2 어드레스(ADD 2; 722) 및 제3 어드레스(ADD 3; 723)를 포함할 수 있다. 설정 값들(ERASE SVS)은 제1 설정 값(SV 1; 731) 및 제2 설정 값(SV 2; 732)을 포함할 수 있다.

[0071] 클럭 카운트(CLK COUNT)가 0의 값을 가질 때, 제어부(150)는 커맨드 라인을 통해서 소거 시작 명령(ERASE START CMD; 711)을 명령 신호(CMD)로서 수신할 수 있다(S110). 클럭 카운트(CLK COUNT)가 1 내지 3의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 소거 어드레스(ERASE ADD)를 어드레스 신호(ADDR)로서 수신할 수 있다(S120). 클럭 카운트(CLK COUNT)가 4 내지 5의 값을 가질 때, 제어부(150)는 어드레스 라인을 통해서 설정 값들(ERASE SVS)을 어드레스 신호(ADDR)로서 수신할 수 있다(S130). 제어부(150)는 설정 값들(ERASE SVS)을 수신한 이후에, 커맨드 라인을 통해서 소거 확인 명령(ERASE CONFIRM CMD; 741)을 명령 신호(CMD)로서 수신할 수 있다(S150).

[0072] 제어부(150)는 소거 확인 명령(ERASE CONFIRM CMD; 741)을 명령 신호(CMD)로서 수신한 이후에, 실행 구간(EXECUTION; 742)동안 파라메터 매핑 테이블(200)에서 소거 시작 명령(711), 설정 값들(ERASE SVS)의 개수(2) 및 소거 확인 명령(741)에 대응되는 제4 매핑 케이스에 기초하여 제1 설정 값(541)을 소거 시작 전압 레벨(ERASE START VOLTAGE LEVEL) 파라메터에 상응하는 파라메터 레지스터(152) 에 저장하고, 제2 설정 값(542)을 최대 소거 루프 횟수(MAXIMUM ERASE LOOP NUMBER) 파라메터에 상응하는 파라메터 레지스터(152)에 저장할 수 있다. 제어부(150)는 파라메터 레지스터(152)에 저장된 파라메터에 기초하여 소거 어드레스(ERASE ADD)에 상응하는 메모리 셀 어레이의 부분에 대해 소거 동작이 수행되도록 비휘발성 메모리 장치(100)를 제어할 수 있다(S160 내지 S170).

[0073] 도 9는 본 발명의 일 실시예에 따른 메모리 시스템을 나타내는 블록도이다.

[0074] 도 9를 참조하면, 메모리 시스템(800)은 메모리 컨트롤러(810) 및 비휘발성 메모리 장치(820)를 포함한다.

[0075] 비휘발성 메모리 장치(820)는 메모리 셀 어레이(821) 및 데이터 입출력 회로(822)를 포함한다.

[0076] 메모리 셀 어레이(821)는 기판 상에 삼차원 구조로 형성될 수 있다. 예를 들어, 메모리 셀 어레이(821)에 포함되는 메모리 셀들은 상기 기판과 수직한 방향으로 형성될 수 있다. 메모리 셀 어레이(821)에 포함되는 상기 메모리 셀들은 상기 기판에 수직한 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평한 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.

[0077] 데이터 입출력 회로(822)는 상기 복수의 비트 라인들을 통해 메모리 셀 어레이(821)에 연결된다. 데이터 입출력 회로(822)는 상기 복수의 비트라인들 중의 적어도 하나를 선택하고, 상기 선택된 적어도 하나의 비트라인에 연결되는 메모리 셀로부터 독출되는 데이터를 메모리 컨트롤러(810)로 출력하고, 메모리 컨트롤러(810)로부터 입력되는 데이터를 상기 선택된 적어도 하나의 비트라인에 연결되는 메모리 셀에 기입할 수 있다.

[0078] 비휘발성 메모리 장치(820)는 소거 동작시 상기 복수의 워드라인들 중에서 상대적으로 상부에 형성되는 워드라

인에는 상대적으로 낮은 전압을 인가하고, 상대적으로 하부에 형성되는 워드라인에는 상대적으로 높은 전압을 인가함으로써 상기 기판으로부터의 높이에 따라 상기 메모리 셀들 사이의 소거 속도 차이를 감소시킬 수 있다. 따라서 소거 동작 수행 이후에 소거 상태에 있는 상기 메모리 셀들의 문턱 전압 산포를 효과적으로 감소시킬 수 있다.

[0079] 비휘발성 메모리 장치(820)는 프로그램 동작시 상기 복수의 워드라인들 중에서 타겟 메모리 셀이 연결되는 선택 워드라인의 높이가 낮을수록 상대적으로 낮은 전압부터 시작하여 단계적으로 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램하고, 상기 선택 워드라인의 높이가 높을수록 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램할 수 있다. 따라서 상기 기판으로부터 상대적으로 높은 위치에 형성되어 프로그램 속도가 상대적으로 느린 메모리 셀들에 대해서는 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 프로그램 동작을 수행함으로써, 비휘발성 메모리 장치(820)의 전체적인 프로그램 속도를 증가시킬 수 있다.

[0080] 비휘발성 메모리 장치(820)는 도 2의 비휘발성 메모리 장치(100)일 수 있고, 메모리 셀 어레이(821)는 도 2의 비휘발성 메모리 장치(100)에 포함되는 메모리 셀 어레이(110)일 수 있고, 데이터 입출력 회로(822)는 도 2의 비휘발성 메모리 장치(100)에 포함되는 데이터 입출력 회로(130)일 수 있다. 비휘발성 메모리 장치(100), 메모리 셀 어레이(110) 및 데이터 입출력 회로(130)에 대하여 도 2를 참조하여 전술하였으므로 설명을 생략한다.

[0081] 메모리 컨트롤러(810)는 비휘발성 메모리 장치(820)를 제어한다. 메모리 컨트롤러(810)는 외부의 호스트와 비휘발성 메모리 장치(820) 사이의 데이터 교환을 제어할 수 있다.

[0082] 메모리 컨트롤러(810)는 중앙 처리 장치(811), 버퍼 메모리(812), 호스트 인터페이스(813) 및 메모리 인터페이스(814)를 포함할 수 있다.

[0083] 중앙 처리 장치(811)는 상기 데이터 교환을 위한 동작을 수행할 수 있다. 버퍼 메모리(812)는 DRAM(Dynamic random access memory), SRAM(Static random access memory), PRAM(Phase random access memory), FRAM(Ferroelectric random access memory), RRAM(Resistive random access memory), 또는 MRAM(Magnetic random access memory)으로 구현될 수 있다.

[0084] 버퍼 메모리(812)는 중앙 처리 장치(811)의 동작 메모리일 수 있다. 실시예에 따라서, 버퍼 메모리(812)는 메모리 컨트롤러(810)의 내부 또는 외부에 위치할 수 있다.

[0085] 호스트 인터페이스(813)는 상기 호스트와 연결되고, 메모리 인터페이스(814)는 비휘발성 메모리 장치(820)와 연결된다. 중앙 처리 장치(811)는 호스트 인터페이스(813)를 통하여 상기 호스트와 통신할 수 있다. 예를 들어, 호스트 인터페이스(813)는 USB(Universal Serial Bus), MMC(Multi-Media Card), PCI-E(Peripheral Component Interconnect-Express), SAS(Serial-attached SCSI), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트와 통신하도록 구성될 수 있다.

[0086] 또한, 중앙 처리 장치(811)는 메모리 인터페이스(814)를 통하여 비휘발성 메모리 장치(820)와 통신할 수 있다.

[0087] 실시예에 따라서, 메모리 컨트롤러(810)는 스타트-업 코드를 저장하는 비휘발성 메모리 장치를 더 포함할 수 있고, 에러 정정을 위한 에러 정정 블록(815)을 더 포함할 수 있다.

[0088] 일 실시예에서, 메모리 컨트롤러(810)는 비휘발성 메모리 장치(820)에 빌트-인(built-in)되어 구현될 수 있다. 메모리 컨트롤러(810)가 빌트-인되어 구현된 NAND 플래시 메모리 장치를 원낸드 메모리 장치(One-NAND memory device)라 명명할 수 있다.

[0089] 메모리 시스템(800)은 메모리 카드(memory card), 솔리드 스테이트 드라이브(solid state drive) 등과 같은 형태로 구현될 수 있다.

[0090] 도 10은 본 발명의 일 실시예에 따른 메모리 카드를 나타내는 블록도이다.

[0091] 도 10을 참조하면, 메모리 카드(900)는 복수의 접속 핀들(910), 메모리 컨트롤러(920) 및 비휘발성 메모리 장치(930)를 포함한다.

[0092] 호스트와 메모리 카드(900) 사이의 신호들이 송수신되도록 복수의 접속 핀들(910)은 상기 호스트에 연결될 수

있다. 복수의 접속 핀들(910)은 클록 핀, 커맨드 핀, 데이터 핀 및/또는 리셋 핀을 포함할 수 있다.

[0093] 메모리 컨트롤러(920)는 상기 호스트로부터 데이터를 수신하고, 상기 수신된 데이터를 비휘발성 메모리 장치(930)에 저장할 수 있다.

[0094] 비휘발성 메모리 장치(930)는 기판상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함한다. 상기 메모리 셀 어레이에 포함되는 메모리 셀들은 상기 기판과 수직한 방향으로 형성될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기판에 수직한 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평한 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.

[0095] 비휘발성 메모리 장치(930)는 소거 동작시 상기 복수의 워드라인들 중에서 상대적으로 상부에 형성되는 워드라인에는 상대적으로 낮은 전압을 인가하고, 상대적으로 하부에 형성되는 워드라인에는 상대적으로 높은 전압을 인가함으로써 상기 기판으로부터의 높이에 따라 상기 메모리 셀들 사이의 소거 속도 차이를 감소시킬 수 있다. 따라서 소거 동작 수행 이후에 소거 상태에 있는 상기 메모리 셀들의 문턱 전압 산포를 효과적으로 감소시킬 수 있다.

[0096] 비휘발성 메모리 장치(930)는 프로그램 동작시 상기 복수의 워드라인들 중에서 타겟 메모리 셀이 연결되는 선택 워드라인의 높이가 낮을수록 상대적으로 낮은 전압부터 시작하여 단계적으로 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램하고, 상기 선택 워드라인의 높이가 높을수록 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램할 수 있다. 따라서 상기 기판으로부터 상대적으로 높은 위치에 형성되어 프로그램 속도가 상대적으로 느린 메모리 셀들에 대해서는 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 프로그램 동작을 수행함으로써, 비휘발성 메모리 장치(1030)의 전체적인 프로그램 속도를 증가시킬 수 있다.

[0097] 비휘발성 메모리 장치(820)는 도 2의 비휘발성 메모리 장치(100)로 구현될 수 있다. 비휘발성 메모리 장치(100)에 대하여 도 2를 참조하여 전술하였으므로 설명을 생략한다.

[0098] 메모리 카드(900)는 멀티미디어 카드(MultiMedia Card; MMC), 임베디드 멀티미디어 카드(embedded MultiMedia Card; eMMC), 하이브리드 임베디드 멀티미디어 카드(hybrid embedded MultiMedia Card; hybrid eMMC), SD(Secure Digital) 카드, 마이크로SD 카드, 메모리 스틱(Memory Stick), ID 카드, PCMCIA(Personal Computer Memory Card International Association) 카드, 칩 카드(Chip Card), USB 카드, 스마트 카드(Smart Card), CF 카드(Compact Flash Card)등과 같은 메모리 카드일 수 있다.

[0099] 실시예에 따라서, 메모리 카드(900)는 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular phone), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠피(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console) 등과 같은 호스트에 장착될 수 있다.

[0100] 도 11은 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.

[0101] 도 11을 참조하면, 솔리드 스테이트 드라이브 시스템(1000)은 호스트(1010) 및 솔리드 스테이트 드라이브(1020)를 포함한다.

[0102] 솔리드 스테이트 드라이브(1020)는 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n) 및 SSD 컨트롤러(1022)를 포함한다.

[0103] 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n)은 솔리드 스테이트 드라이브(1020)의 저장 매체로서 사용된다.

[0104] 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n) 각각은 기판상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함한다. 상기 메모리 셀 어레이에 포함되는 메모리 셀들은 상기 기판과 수직한 방향으로 형성될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기판에 수직한 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평한 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.

[0105] 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n) 각각은 소거 동작시 상기 복수의 워드라인들 중에서 상대적으로 상부에 형성되는 워드라인에는 상대적으로 낮은 전압을 인가하고, 상대적으로 하부에 형성되는

워드라인에는 상대적으로 높은 전압을 인가함으로써 상기 기판으로부터의 높이에 따라 상기 메모리 셀들 사이의 소거 속도 차이를 감소시킬 수 있다. 따라서 소거 동작 수행 이후에 소거 상태에 있는 상기 메모리 셀들의 문턱 전압 산포를 효과적으로 감소시킬 수 있다.

[0106] 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n) 각각은 프로그램 동작시 상기 복수의 워드라인들 중에서 타겟 메모리 셀이 연결되는 선택 워드라인의 높이가 낮을수록 상대적으로 낮은 전압부터 시작하여 단계적으로 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램하고, 상기 선택 워드라인의 높이가 높을수록 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램할 수 있다. 따라서 상기 기판으로부터 상대적으로 높은 위치에 형성되어 프로그램 속도가 상대적으로 느린 메모리 셀들에 대해서는 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 프로그램 동작을 수행함으로써, 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n) 각각의 전체적인 프로그램 속도를 증가시킬 수 있다.

[0107] 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n) 각각은 도 2의 비휘발성 메모리 장치(100)로 구현될 수 있다. 비휘발성 메모리 장치(100)에 대하여 도 2를 참조하여 전술하였으므로 설명을 생략한다.

[0108] SSD 컨트롤러(1022)는 복수의 채널들(CH1, CH2, ..., CHn)을 통해 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n)과 각각 연결된다.

[0109] SSD 컨트롤러(1022)는 신호 커넥터(1024)를 통해 호스트(1010)와 신호(SGL)를 송수신한다. 여기에서, 신호(SGL)에는 커맨드, 어드레스, 데이터 등이 포함될 수 있다. SSD 컨트롤러(1022)는 호스트(1010)의 커맨드에 따라 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n)에 데이터를 쓰거나 복수의 비휘발성 메모리 장치들(1023-1, 1023-2, ..., 1023-n)로부터 데이터를 읽어낸다.

[0110] 솔리드 스테이트 드라이브(1020)는 보조 전원 장치(1026)를 더 포함할 수 있다. 보조 전원 장치(1026)는 전원 커넥터(1025)를 통해 호스트(1010)로부터 전원(PWR)을 입력받아 SSD 컨트롤러(1020)에 전원을 공급할 수 있다. 한편, 보조 전원 장치(1026)는 솔리드 스테이트 드라이브(1020) 내에 위치할 수도 있고, 솔리드 스테이트 드라이브(1020) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(1026)는 메인 보드에 위치하고, 솔리드 스테이트 드라이브(1020)에 보조 전원을 제공할 수도 있다.

[0111] 도 12는 본 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.

[0112] 도 12를 참조하면, 모바일 시스템(1100)은 어플리케이션 프로세서(1110), 통신(Connectivity)부(1120), 사용자 인터페이스(1130), 비휘발성 메모리 장치(NVM)(1140), 휘발성 메모리 장치(VM)(1150) 및 파워 서플라이(1160)를 포함한다.

[0113] 실시예에 따라, 모바일 시스템(1100)은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 시스템일 수 있다.

[0114] 어플리케이션 프로세서(1110)는 인터넷 브라우저, 게임, 동영상 등을 제공하는 어플리케이션들을 실행할 수 있다. 실시예에 따라, 어플리케이션 프로세서(1110)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 어플리케이션 프로세서(1110)는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 실시예에 따라, 어플리케이션 프로세서(1110)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.

[0115] 통신부(1120)는 외부 장치와 무선 통신 또는 유선 통신을 수행할 수 있다. 예를 들어, 통신부(1120)는 이더넷(Ethernet) 통신, 근거리 자기장 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신, 범용 직렬 버스(Universal Serial Bus; USB) 통신 등을 수행할 수 있다. 예를 들어, 통신부(1120)는 베이스밴드 칩 셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.

[0116] 비휘발성 메모리 장치(1140)는 모바일 시스템(1100)을 부팅하기 위한 부트 이미지를 저장할 수 있다.

[0117] 비휘발성 메모리 장치(1140)는 기판상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함한다. 상기 메모리 셀

어레이에 포함되는 메모리 셀들은 상기 기판과 수직한 방향으로 형성될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기판에 수직한 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평한 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.

[0118] 비휘발성 메모리 장치(1140)는 소거 동작시 상기 복수의 워드라인들 중에서 상대적으로 상부에 형성되는 워드라인에는 상대적으로 낮은 전압을 인가하고, 상대적으로 하부에 형성되는 워드라인에는 상대적으로 높은 전압을 인가함으로써 상기 기판으로부터의 높이에 따라 상기 메모리 셀들 사이의 소거 속도 차이를 감소시킬 수 있다. 따라서 소거 동작 수행 이후에 소거 상태에 있는 상기 메모리 셀들의 문턱 전압 산포를 효과적으로 감소시킬 수 있다.

[0119] 비휘발성 메모리 장치(1140)는 프로그램 동작시 상기 복수의 워드라인들 중에서 타겟 메모리 셀이 연결되는 선택 워드라인의 높이가 낮을수록 상대적으로 낮은 전압부터 시작하여 단계적으로 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램하고, 상기 선택 워드라인의 높이가 높을수록 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 상기 선택 워드라인에 연결되는 상기 타겟 메모리 셀을 프로그램할 수 있다. 따라서 상기 기판으로부터 상대적으로 높은 위치에 형성되어 프로그램 속도가 상대적으로 느린 메모리 셀들에 대해서는 상대적으로 높은 전압부터 시작하여 단계적으로 상기 스텝 레벨만큼 증가하는 프로그램 전압을 인가하여 프로그램 동작을 수행함으로써, 비휘발성 메모리 장치(1140)의 전체적인 프로그램 속도를 증가시킬 수 있다.

[0120] 비휘발성 메모리 장치(1140)는 도 2의 비휘발성 메모리 장치(100)로 구현될 수 있다. 비휘발성 메모리 장치(100)에 대하여 도 2를 참조하여 전술하였으므로 설명을 생략한다.

[0121] 휘발성 메모리 장치(1150)는 어플리케이션 프로세서(1110)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다.

[0122] 사용자 인터페이스(1130)는 키패드, 터치 스크린과 같은 하나 이상의 입력 장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다.

[0123] 파워 서플라이(1160)는 모바일 시스템(1100)의 동작 전압을 공급할 수 있다.

[0124] 또한, 실시예에 따라, 모바일 시스템(1100)은 이미지 프로세서를 더 포함할 수 있고, 메모리 카드(Memory Card), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard DiskDrive; HDD), 씨디롬(CD-ROM) 등과 같은 저장 장치를 더 포함할 수 있다.

[0125] 모바일 시스템(1100) 또는 모바일 시스템(1100)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Waffle Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.

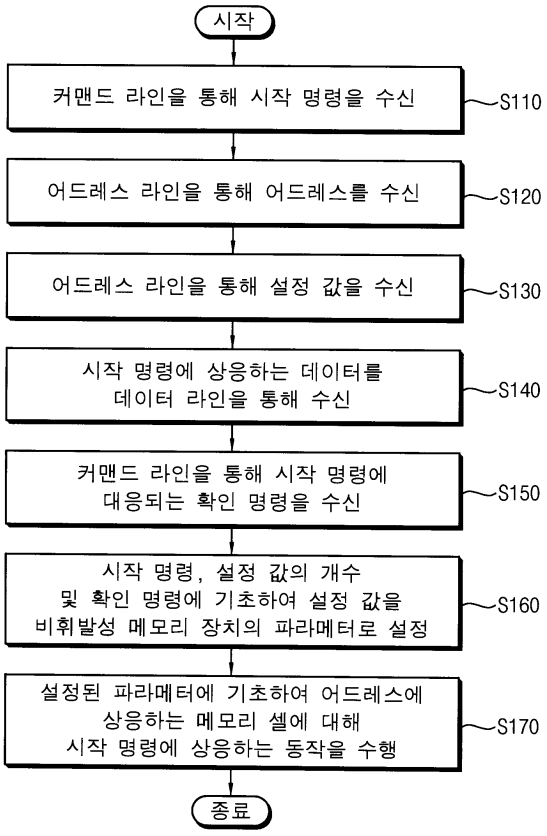
산업상 이용가능성

[0126] 본 발명은 비휘발성 메모리 장치를 구비하는 임의의 전자 장치에 유용하게 이용될 수 있다. 예를 들어, 본 발명은 비휘발성 메모리 장치를 구비하는 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등에 적용될 수 있다.

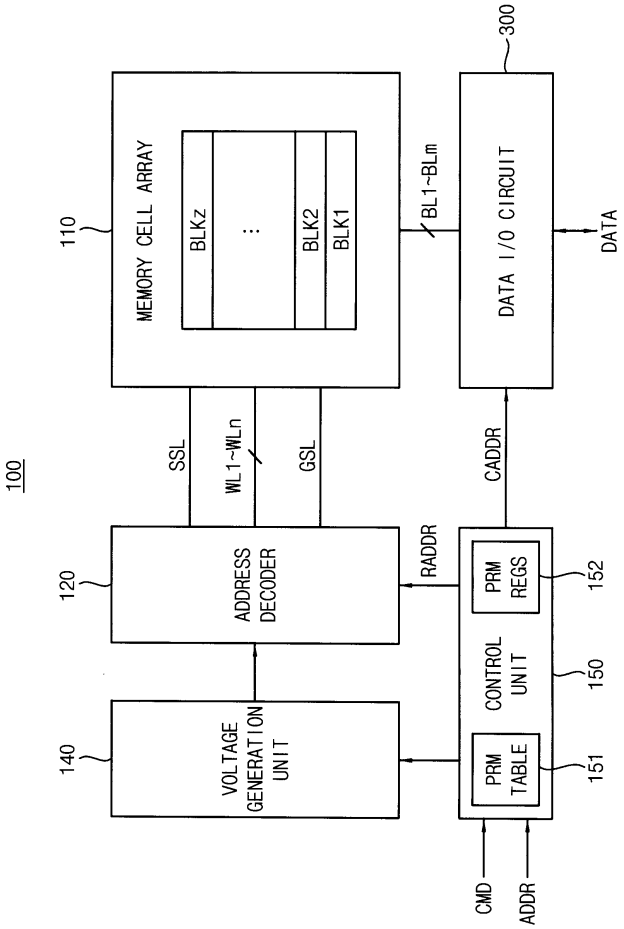
[0127] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

도면1


시작
커맨드 라인을 통해 시작 명령을 수신
S110
어드레스 라인을 통해 어드레스를 수신
S120
어드레스 라인을 통해 설정 값을 수신
S130
시작 명령에 상응하는 데이터를
데이터 라인을 통해 수신
S140
커맨드 라인을 통해 시작 명령에
대응되는 확인 명령을 수신
S150
시작 명령, 설정 값의 개수
및 확인 명령에 기초하여 설정 값을
비휘발성 메모리 장치의 파라메터로 설정
S160
설정된 파라메터에 기초하여 어드레스에
상응하는 메모리 셀에 대해
시작 명령에 상응하는 동작을 수행
S170
종료

도면2

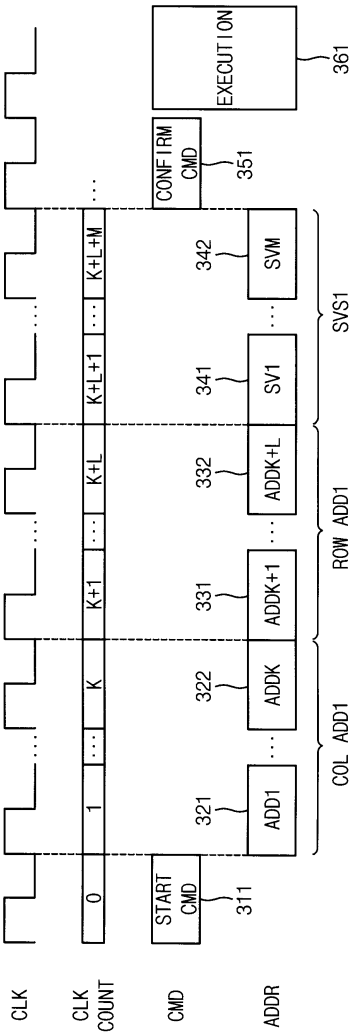

100
110
MEMORY CELL ARRAY
BLKz
BLK2
BLK1
BL1~BLm
300
DATA I/O CIRCUIT
DATA
SSL
WL1~WLn
GSL
CADDR
120
ADDRESS DECODER
RADDR
PRM REGS
152
CONTROL UNIT
150
140
VOLTAGE GENERATION UNIT
PRM TABLE
151
CMD
ADDR

도면3

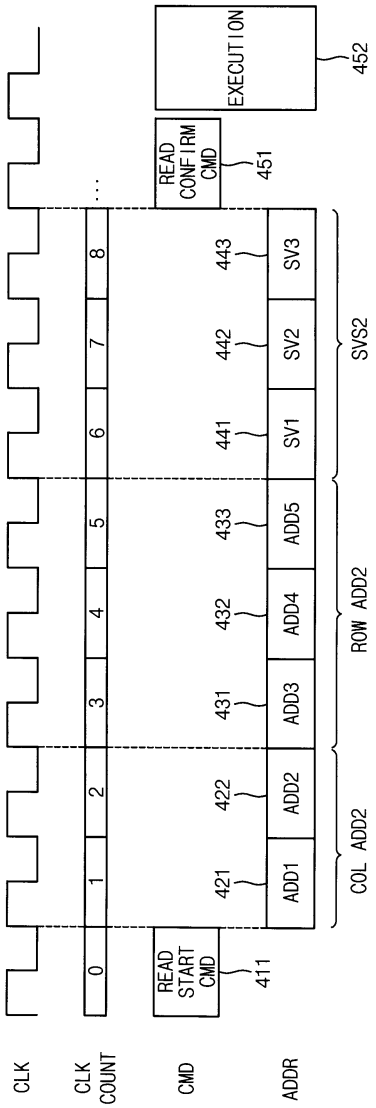
200

START CMD	SV NO	CONFIRM CMD	USAGE OF SV1	USAGE OF SV2	USAGE OF SV3
READ START CMD	3	READ CONFIRM CMD	READ VOLTAGE LEVEL1	READ VOLTAGE LEVEL2	READ VOLTAGE LEVEL3
READ START CMD	1	READ CONFIRM CMD	READ VOL LEVEL TABLE NUMBER	-	-
PGM START CMD	3	PGM CONFIRM CMD	PGM START VOLTAGE LEVEL	PGM INCREASING VOLTAGE LEVEL	PGM VERIFYING VOLTAGE LEVEL
ERASE START CMD	2	ERASE CONFIRM CMD	ERASE START VOLTAGE LEVEL	MAXIMUM ERASE LOOP NUMBER	-

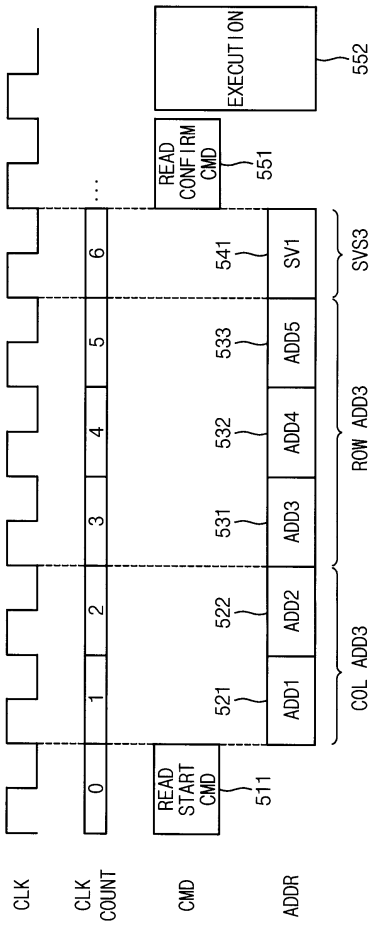
도면4


CLK
CLK COUNT
CMD
ADDR
0
1
K
K+1
K+L
K+L+1
K+L+M
START CMD
311
ADD1
321
ADDK
322
ADDK+1
331
ADDK+L
332
SV1
341
SVM
342
CONFIRM CMD
351
EXECUTION
361
COL ADD1
ROW ADD1
SVS1

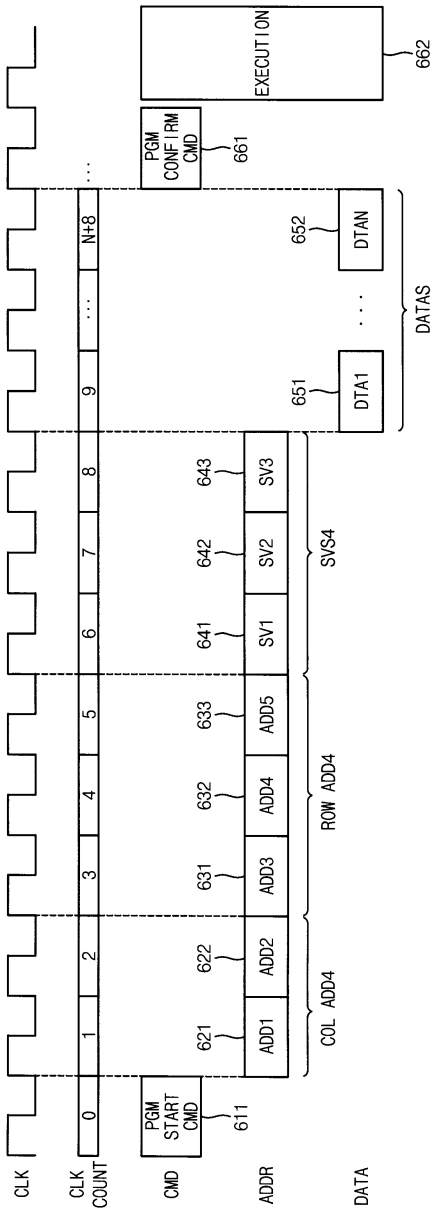
도면5


CLK
CLK COUNT
CMD
ADDR
0
1
2
3
4
5
6
7
8
READ START CMD
411
ADD1
ADD2
ADD3
ADD4
ADD5
SV1
SV2
SV3
421
422
431
432
433
441
442
443
COL ADD2
ROW ADD2
SVS2
READ CONFIRM CMD
451
EXECUTION
452

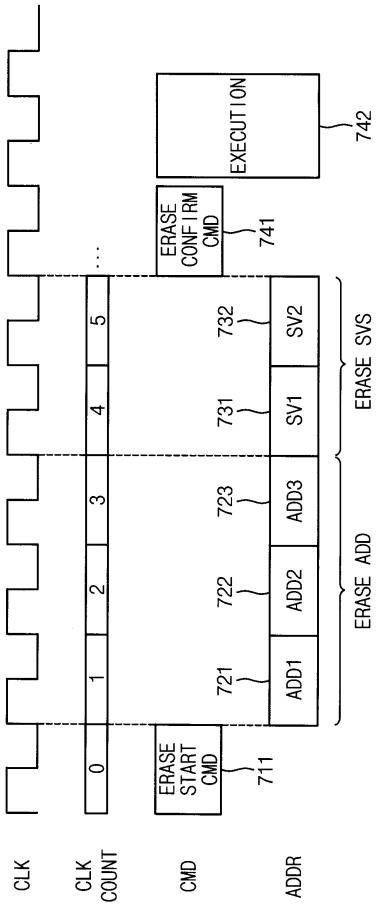
도면6


CLK
CLK COUNT
CMD
ADDR
0
1
2
3
4
5
6
...
READ START CMD
511
READ CONFIRM CMD
551
EXECUTION
552
521
522
531
532
533
541
ADD1
ADD2
ADD3
ADD4
ADD5
SV1
COL ADD3
ROW ADD3
SVS3

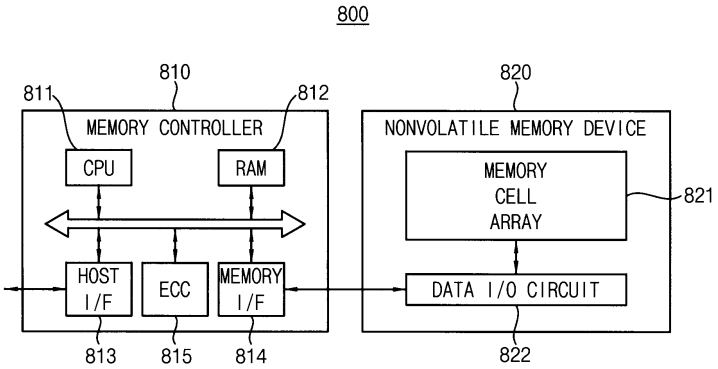
도면7


CLK
CLK COUNT
CMD
ADDR
DATA
0
1
2
3
4
5
6
7
8
9
...
N+8
PGM START CMD
611
PGM CONFIRM CMD
661
EXECUTION
662
ADD1
ADD2
ADD3
ADD4
ADD5
SV1
SV2
SV3
621
622
631
632
633
641
642
643
COL ADD4
ROW ADD4
SVS4
DTA1
DTAN
651
652
DATAS

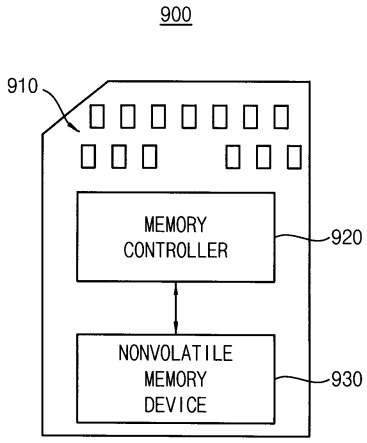
도면8


EXECUTION
742
ERASE CONFIRM CMD
741
ERASE START CMD
711
SV2
SV1
ADD3
ADD2
ADD1
732
731
723
722
721
ERASE SVS
ERASE ADD
0
1
2
3
4
5
CLK
CLK COUNT
CMD
ADDR

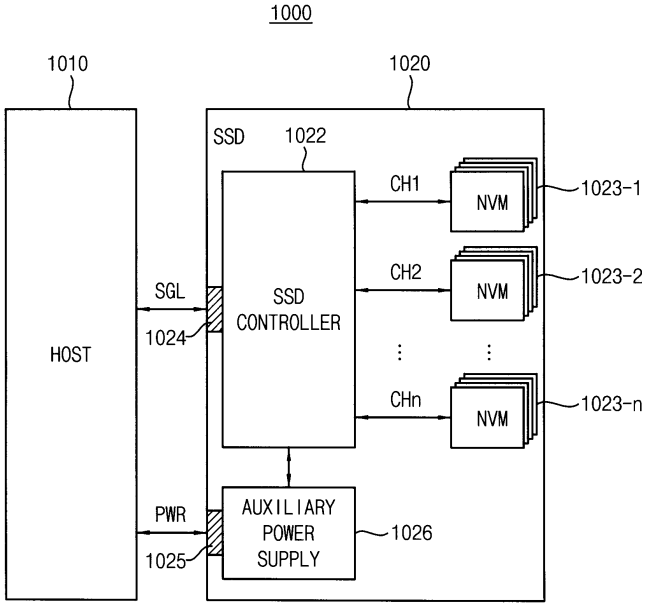
도면9


800
810
811
812
MEMORY CONTROLLER
CPU
RAM
HOST I/F
ECC
MEMORY I/F
813
815
814
820
NONVOLATILE MEMORY DEVICE
MEMORY CELL ARRAY
821
DATA I/O CIRCUIT
822

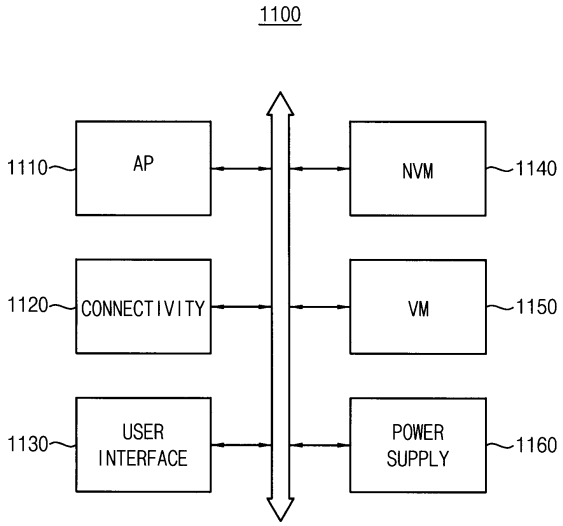
도면10


900
910
MEMORY CONTROLLER
920
NONVOLATILE MEMORY DEVICE
930

도면11


1000
1010
1020
HOST
SSD
1022
SSD CONTROLLER
CH1
CH2
CHn
NVM
1023-1
1023-2
1023-n
SGL
1024
PWR
1025
AUXILIARY POWER SUPPLY
1026

도면12


1100
1110
AP
NVM
1140
1120
CONNECTIVITY
VM
1150
1130
USER INTERFACE
POWER SUPPLY
1160