



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0059328
(43) 공개일자 2023년05월03일

(51) 국제특허분류(Int. Cl.)
G01R 31/317 (2006.01) G01R 31/3185 (2006.01)
(52) CPC특허분류
G01R 31/31721 (2013.01)
G01R 31/31727 (2013.01)
(21) 출원번호 10-2021-0143402
(22) 출원일자 2021년10월26일
심사청구일자 2021년10월26일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
강성호
서울특별시 마포구 양화로 45, 101동 2102호(서교동, 메세나폴리스)
박종호
서울특별시 관악구 보라매로 62, 102동 404호(봉천동, 보라매삼성아파트)
(74) 대리인
특허법인우인

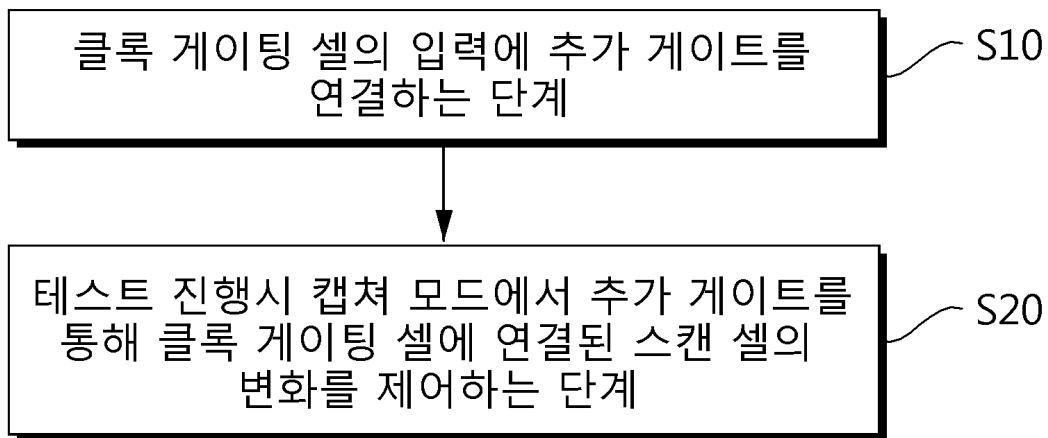
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 로직 비스트 캡처 전력 감소 회로 및 방법

(57) 요약

본 실시예들은 클록 게이팅 셀에 게이트를 추가하고 일부 스캔 셀을 제어하는 방식을 통해 캡처 모드에서 순간 전력과 평균 전력을 감소시킬 수 있는 전력 감소 회로 및 방법을 제공한다.

대표도 - 도3



(52) CPC특허분류

G01R 31/318552 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415173183
과제번호	20012010
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	지능형 반도체를 위한 테스트 회로 설계 기술(2/3)
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

전력 감소 회로에 의한 캡처 전력 감소 방법에 있어서,
클록 게이팅 셀의 입력에 추가 게이트를 연결하는 단계;
테스트 진행시 캡처 모드에서 상기 추가 게이트를 통해 상기 클록 게이팅 셀에 연결된 스캔 셀의 변화를 제어하는 단계를 포함하는 캡처 전력 감소 방법.

청구항 2

제1항에 있어서,
상기 전력 감소 회로는 로직 비스트(logic BIST) 환경에 적용되는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 3

제1항에 있어서,
상기 스캔 셀의 변화를 제어하는 단계는,
테스트 패턴에서 고장 검출에 필요없는 것에 해당되는 클록 게이팅 셀을 차단하는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 4

제1항에 있어서,
상기 스캔 셀의 변화를 제어하는 단계는,
테스트 패턴의 고장을 분석하며, 상기 테스트 패턴을 복수의 영역으로 구분하고, 각각의 영역에서 발견되는 고장을 그룹 단위로 정의하는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 5

제1항에 있어서,
상기 스캔 셀의 변화를 제어하는 단계는,
상기 클록 게이팅 셀의 고장을 분석하며, 각각의 클록 게이팅 셀에서 생성되는 동일한 클록을 사용하는 스캔 셀의 팬인콘(fan-in cone)에 해당하는 고장을 조사하여 해당하는 클록 게이팅 셀의 고장 목록으로 저장하는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 6

제1항에 있어서,
상기 스캔 셀의 변화를 제어하는 단계는,
상기 클록 게이팅 셀의 그룹화를 통해 테스트 패턴 영역마다 고장 검출율이 가장 낮은 클록 게이팅 셀을 선택하는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 7

제6항에 있어서,
상기 스캔 셀의 변화를 제어하는 단계는,
상기 테스트 패턴 영역마다 발견되는 고장과 상기 클록 게이팅 셀의 고장 목록을 비교하고, 겹치는 고장의 개수

를 기준으로 상기 클록 게이팅 셀에 대한 그룹을 배정하는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 8

제7항에 있어서,

상기 꺾치는 고장의 개수가 가장 적은 그룹이 두 개 이상이면, 그룹에 포함된 클록 게이팅 셀의 개수가 가장 적은 그룹으로 배치하는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 9

제1항에 있어서,

상기 스캔 셀의 변화를 제어하는 단계는,

테스트 진행시 선택된 클록 게이팅 셀을 차단하는 신호를 수신하고, 차단이 필요한 패턴 영역에서 게이팅 신호가 1에서 0으로 변경되고, 해당하는 클록 게이팅 셀에서 생성되는 클록이 0으로 변경되는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 10

제9항에 있어서,

상기 스캔 셀의 변화를 제어하는 단계는,

차단하는 클록 게이팅 셀의 개수는 미리 설정된 피크 캡처 전력에 관한 임계치에 따라 정해지며, 상기 임계치를 만족할 때까지 차단할 클록 게이팅 셀의 개수를 증가시키는 것을 특징으로 하는 캡처 전력 감소 방법.

청구항 11

전력 감소 회로에 있어서,

입력 신호에 따라 출력 클록 신호를 출력하는 클록 게이팅 셀;

상기 클록 게이팅 셀의 출력에 연결된 스캔 셀;

상기 클록 게이팅 셀의 입력에 연결된 추가 게이트를 포함하는 전력 감소 회로.

청구항 12

제11항에 있어서,

상기 추가 게이트의 입력 게이팅 신호 및 입력 제어 신호가 AND 연산을 하는 상기 추가 게이트를 통과하고, 상기 추가 게이트의 출력이 상기 클록 게이팅 셀의 상기 입력 신호로 입력되는 것을 특징으로 하는 전력 감소 회로.

청구항 13

제12항에 있어서,

상기 클록 게이팅 셀의 상기 입력 신호로 제1 입력 신호 및 제2 입력 신호가 입력되고, 상기 제1 입력 신호 및 상기 제2 입력 신호는 상기 클록 게이팅 셀의 OR 게이트를 통과하고, 상기 OR 게이트의 출력과 입력된 클록 신호는 상기 클록 게이팅 셀의 AND 게이트에 입력되어 상기 출력 클록 신호의 출력 여부가 결정되는 것을 특징으로 하는 전력 감소 회로.

청구항 14

제13항에 있어서,

상기 추가 게이트는 제1 추가 AND 게이트 및 제2 추가 AND 게이트를 포함하며,

상기 입력 게이팅 신호 및 제1 입력 제어 신호가 상기 제1 추가 AND 게이트를 통과하고 상기 제1 추가 AND 게이트를 통과한 신호가 상기 클록 게이팅 셀에 상기 제1 입력 신호로 입력되고,

상기 입력 게이팅 신호 및 제2 입력 제어 신호가 상기 제2 추가 AND 게이트를 통과하고 상기 제2 추가 AND 게이트를 통과한 신호가 상기 클록 게이팅 셀에 상기 제2 입력 신호로 입력되는 것을 특징으로 하는 전력 감소 회로.

청구항 15

제11항에 있어서,

상기 전력 감소 회로는 제1 그룹 회로 및 제2 그룹 회로를 포함하고,

상기 제1 그룹 회로는 제1 클록 게이팅 셀, 상기 제1 클록 게이팅 셀의 출력에 연결된 제1 스캔 셀, 상기 제1 클록 게이팅 셀의 입력에 연결된 제1 추가 게이트를 포함하고,

상기 제2 그룹 회로는 제2 클록 게이팅 셀, 상기 제2 클록 게이팅 셀의 출력에 연결된 제2 스캔 셀, 상기 제2 클록 게이팅 셀의 입력에 연결된 제2 추가 게이트를 포함하고,

상기 전력 감소 회로는 상기 제1 추가 게이트 및 상기 제2 추가 게이트를 제어하여 상기 제1 스캔 셀 및 상기 제2 스캔 셀의 동작을 조절하는 것을 특징으로 하는 전력 감소 회로.

발명의 설명

기술 분야

[0001] 본 발명이 속하는 기술 분야는 클록 게이팅 셀을 이용한 전력 감소 회로 및 방법에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 로직 비스트(logic BIST)에서 테스트를 진행할 때 스캔 체인에 데이터를 이동하는 쉬프트 모드에서의 전력 감소에 대한 기술은 많이 존재하지만 조합 논리 회로에서 스캔 셀로 값을 가져오는 캡처 모드에서 전력 감소에 대한 연구는 상대적으로 부족한 실정이다. 이전의 캡처 모드에서 전력 감소를 위한 기술은 큰 하드웨어와 더 긴 테스트 시간이 필요하므로 테스트 비용을 증가시키는 문제가 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) KR 10-1643776 (2016.07.28)

(특허문헌 0002) KR 10-1293445 (2013.07.30)

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 클록 게이팅 셀에 게이트를 추가하고 일부 스캔 셀을 제어하는 방식을 통해 캡처 모드에서 순간 전력과 평균 전력을 감소시키는데 주된 목적이 있다.

[0006] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0007] 본 실시예의 일 측면에 의하면 전력 감소 회로에 의한 캡처 전력 감소 방법에 있어서, 클록 게이팅 셀의 입력에 추가 게이트를 연결하는 단계; 테스트 진행시 캡처 모드에서 상기 추가 게이트를 통해 상기 클록 게이팅 셀에 연결된 스캔 셀의 변화를 제어하는 단계를 포함하는 캡처 전력 감소 방법을 제공한다.

[0008] 상기 전력 감소 회로는 로직 비스트(logic BIST) 환경에 적용될 수 있다.

- [0009] 상기 스캔 셀의 변화를 제어하는 단계는 테스트 패턴에서 고장 검출에 필요없는 것에 해당되는 클록 게이팅 셀을 차단할 수 있다.
- [0010] 상기 스캔 셀의 변화를 제어하는 단계는 테스트 패턴의 고장을 분석하며, 상기 테스트 패턴을 복수의 영역으로 구분하고, 각각의 영역에서 발견되는 고장을 그룹 단위로 정의할 수 있다.
- [0011] 상기 스캔 셀의 변화를 제어하는 단계는 상기 클록 게이팅 셀의 고장을 분석하며, 각각의 클록 게이팅 셀에서 생성되는 동일한 클록을 사용하는 스캔 셀의 팬인콘(fan-in cone)에 해당하는 고장을 조사하여 해당하는 클록 게이팅 셀의 고장 목록으로 저장할 수 있다.
- [0012] 상기 스캔 셀의 변화를 제어하는 단계는 상기 클록 게이팅 셀의 그룹화를 통해 테스트 패턴 영역마다 고장 검출율이 가장 낮은 클록 게이팅 셀을 선택할 수 있다.
- [0013] 상기 스캔 셀의 변화를 제어하는 단계는 상기 테스트 패턴 영역마다 발견되는 고장과 상기 클록 게이팅 셀의 고장 목록을 비교하고, 겹치는 고장의 개수를 기준으로 상기 클록 게이팅 셀에 대한 그룹을 배정할 수 있다.
- [0014] 상기 겹치는 고장의 개수가 가장 적은 그룹이 두 개 이상이면, 그룹에 포함된 클록 게이팅 셀의 개수가 가장 적은 그룹으로 배치할 수 있다.
- [0015] 상기 스캔 셀의 변화를 제어하는 단계는 테스트 진행시 선택된 클록 게이팅 셀을 차단하는 신호를 수신하고, 차단이 필요한 패턴 영역에서 게이팅 신호가 1에서 0으로 변경되고, 해당하는 클록 게이팅 셀에서 생성되는 클록이 0으로 변경될 수 있다.
- [0016] 상기 스캔 셀의 변화를 제어하는 단계는 차단하는 클록 게이팅 셀의 개수는 미리 설정된 피크 캡처 전력에 관한 임계치에 따라 정해지며, 상기 임계치를 만족할 때까지 차단할 클록 게이팅 셀의 개수를 증가시킬 수 있다.
- [0017] 본 실시예의 다른 측면에 의하면 전력 감소 회로에 있어서, 입력 신호에 따라 출력 클록 신호를 출력하는 클록 게이팅 셀; 상기 클록 게이팅 셀의 출력에 연결된 스캔 셀; 상기 클록 게이팅 셀의 입력에 연결된 추가 게이트를 포함하는 전력 감소 회로를 제공한다.
- [0018] 상기 추가 게이트의 입력 게이팅 신호 및 입력 제어 신호가 AND 연산을 하는 상기 추가 게이트를 통과하고, 상기 추가 게이트의 출력이 상기 클록 게이팅 셀의 상기 입력 신호로 입력될 수 있다.
- [0019] 상기 클록 게이팅 셀의 상기 입력 신호로 제1 입력 신호 및 제2 입력 신호가 입력되고, 상기 제1 입력 신호 및 상기 제2 입력 신호는 상기 클록 게이팅 셀의 OR 게이트를 통과하고, 상기 OR 게이트의 출력과 입력된 클록 신호는 상기 클록 게이팅 셀의 AND 게이트에 입력되어 상기 출력 클록 신호의 출력 여부가 결정될 수 있다.
- [0020] 상기 추가 게이트는 제1 추가 AND 게이트 및 제2 추가 AND 게이트를 포함하며, 상기 입력 게이팅 신호 및 제1 입력 제어 신호가 상기 제1 추가 AND 게이트를 통과하고 상기 제1 추가 AND 게이트를 통과한 신호가 상기 클록 게이팅 셀에 상기 제1 입력 신호로 입력되고, 상기 입력 게이팅 신호 및 제2 입력 제어 신호가 상기 제2 추가 AND 게이트를 통과하고 상기 제2 추가 AND 게이트를 통과한 신호가 상기 클록 게이팅 셀에 상기 제2 입력 신호로 입력될 수 있다.
- [0021] 상기 전력 감소 회로는 제1 그룹 회로 및 제2 그룹 회로를 포함하고, 상기 제1 그룹 회로는 제1 클록 게이팅 셀, 상기 제1 클록 게이팅 셀의 출력에 연결된 제1 스캔 셀, 상기 제1 클록 게이팅 셀의 입력에 연결된 제1 추가 게이트를 포함하고, 상기 제2 그룹 회로는 제2 클록 게이팅 셀, 상기 제2 클록 게이팅 셀의 출력에 연결된 제2 스캔 셀, 상기 제2 클록 게이팅 셀의 입력에 연결된 제2 추가 게이트를 포함하고, 상기 전력 감소 회로는 상기 제1 추가 게이트 및 상기 제2 추가 게이트를 제어하여 상기 제1 스캔 셀 및 상기 제2 스캔 셀의 동작을 조절할 수 있다.

발명의 효과

- [0022] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 클록 게이팅 셀에 게이트를 추가하고 일부 스캔 셀을 제어하는 방식을 통해 캡처 모드에서 순간 전력과 평균 전력을 감소시킬 수 있는 효과가 있다.
- [0023] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

- [0024] 도 1은 회로에 삽입된 클록 게이팅 셀을 예시한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 전력 감소 회로를 예시한 도면이다.
- 도 3은 본 발명의 다른 실시예에 따른 전력 감소 방법을 예시한 흐름도이다.
- 도 4는 테스트 패턴에서의 고장 분석을 예시한 도면이다.
- 도 5는 클록 게이팅 셀의 고장 분석을 예시한 도면이다.
- 도 6은 테스트 패턴에서의 그룹화를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.
- [0026] 테스트시 정상 동작(functional mode)보다 더 많은 전력을 소비하고 회로의 크기가 증가함에 따라 소비 전력이 더 증가한다. 저전력 테스트의 중요성이 강조되고 있으며, 스캔 테스트에서 캡처 모드나 쉬프트 모드에서 발생하는 순간 전력은 테스트 신뢰성에 문제를 발생시킬 수 있다.
- [0027] 일반적인 스캔 테스트에서의 저전력 테스트도 중요하지만 자율주행과 같은 새로운 기술의 수요가 증가로 인한 로직 비스트(Logic BIST(Built-in Self-Test))의 사용이 증가하기 때문에 로직 비스트에서의 저전력 테스트가 강조되고 있다.
- [0028] 로직 비스트는 의사 난수 패턴을 사용하여 패턴을 임의로 생성하기 어렵기 때문에 기존의 스캔 테스트에서 사용했던 저전력 테스트 방식을 그대로 적용하는 것이 곤란하다.
- [0029] 기존의 로직 비스트 환경에서 적은 하드웨어의 추가와 테스트 시간을 감소시키면서 동시에 테스트 소비 전력을 감소시키는 방식이 필요하다.
- [0030] 본 실시예는 기능적인 동작에서 전력 소모를 감소하기 위해 삽입되어 있는 클록 게이팅 셀(clock gating cell)을 이용하고, 효율적인 파워 감소를 위해 선택되는 스캔 셀에 삽입되는 회로 구조와 스캔 셀을 분석 및 그룹화하는 동작을 수행한다.
- [0031] 본 실시예는 클록 게이팅 셀의 입력 신호에 추가적인 게이트를 연결하여 테스트 진행시 캡처 모드에서의 일부 스캔 셀 변화를 차단한다. 이때 차단되는 스캔 셀들은 테스트 패턴의 구역마다 변경되며, 가장 고장 전파와 연관이 없는 스캔 셀들이 차단을 통해 테스트 커버리지 감소를 최소화하여 신뢰성에 영향이 없도록 한다.
- [0032] 본 실시예를 통해 적은 하드웨어의 증가와 테스트 시간과 테스트 신뢰성을 유지하면서 캡처 모드에서의 순간 전력과 평균 전력을 감소시킬 수 있다.
- [0033] 본 실시예는 기존의 테스트 전력 감소를 위한 다른 기술이 적용된 이후에도 추가적으로 진행할 수 있으며, 이에 따라 어떤 로직 비스트가 적용된 회로에서 캡처 모드에서의 전력 소모 감소가 가능하다.
- [0034] 도 1은 회로에 삽입된 클록 게이팅 셀을 예시한 도면이다.
- [0035] 대부분의 회로는 기능적인 동작에서 전력 감소를 위해 스캔 셀이 필요 없을 때 해당 스캔 셀의 전력 소모를 줄이는 클록 게이팅 셀(clock gating cell)이 삽입된다.
- [0036] 클록 게이팅 셀의 동작은 클록 게이팅 셀의 입력인 TE(Test enable) 신호와 EN(function enable) 신호의 OR 게이트의 결과로 결정된다. TE 신호는 테스트 진행시 쉬프트 모드에서 항상 1로 유지되어 클록 게이팅 셀이 스캔 셀들을 차단하지 않아 값을 이동할 수 있도록 하는 신호이다. EN 신호는 동작 모드에서 클록 게이팅 셀이 연결된 스캔 셀들이 사용되지 않는 스캔 셀인 경우 0을 유지하여 클록 게이팅 셀과 연결된 스캔 셀의 클록을 0으로 유지하여 동작하지 않도록 한다.
- [0037] 도 2는 본 발명의 일 실시예에 따른 전력 감소 회로를 예시한 도면이다.
- [0038] 전력 감소 회로는 클록 게이팅 셀(110), 스캔 셀(120), 추가 게이트(130)를 포함한다.
- [0039] 클록 게이팅 셀(110)은 입력 신호에 따라 출력 클록 신호를 출력한다. 스캔 셀(120)은 클록 게이팅 셀의 출력에

연결된다. 추가 게이트(130)는 클록 게이팅 셀의 입력에 연결된다.

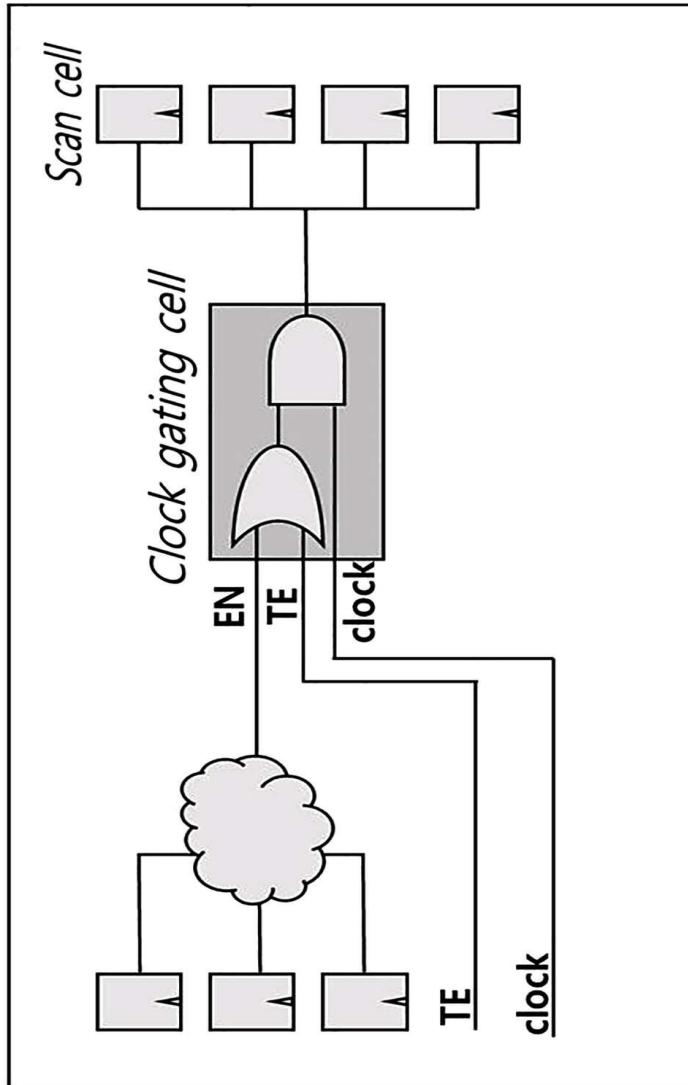
- [0040] 추가 게이트의 입력 게이팅 신호 및 입력 제어 신호가 AND 연산을 하는 추가 게이트를 통과하고, 추가 게이트의 출력이 클록 게이팅 셀의 입력 신호로 입력될 수 있다.
- [0041] 클록 게이팅 셀의 입력 신호로 제1 입력 신호 및 제2 입력 신호가 입력되고, 제1 입력 신호 및 제2 입력 신호는 클록 게이팅 셀의 OR 게이트를 통과하고, OR 게이트의 출력과 입력된 클록 신호는 클록 게이팅 셀의 AND 게이트에 입력되어 출력 클록 신호의 출력 여부가 결정될 수 있다.
- [0042] 추가 게이트(130)는 제1 추가 AND 게이트(131) 및 제2 추가 AND 게이트(132)를 포함한다. 입력 게이팅 신호 및 제1 입력 제어 신호가 제1 추가 AND 게이트를 통과하고 제1 추가 AND 게이트를 통과한 신호가 클록 게이팅 셀에 제1 입력 신호로 입력될 수 있다. 입력 게이팅 신호 및 제2 입력 제어 신호가 제2 추가 AND 게이트를 통과하고 제2 추가 AND 게이트를 통과한 신호가 클록 게이팅 셀에 제2 입력 신호로 입력될 수 있다.
- [0043] 전력 감소 회로는 제1 그룹 회로 및 제2 그룹 회로를 포함할 수 있다.
- [0044] 제1 그룹 회로는 제1 클록 게이팅 셀(110), 제1 클록 게이팅 셀의 출력에 연결된 제1 스캔 셀(120), 제1 클록 게이팅 셀의 입력에 연결된 제1 추가 게이트(130)를 포함할 수 있다.
- [0045] 제2 그룹 회로는 제2 클록 게이팅 셀(210), 제2 클록 게이팅 셀의 출력에 연결된 제2 스캔 셀(220), 제2 클록 게이팅 셀의 입력에 연결된 제2 추가 게이트(230)를 포함할 수 있다.
- [0046] 전력 감소 회로는 제1 추가 게이트(130) 및 제2 추가 게이트(230)를 제어하여 제1 스캔 셀 및 제2 스캔 셀의 동작을 조절할 수 있다.
- [0047] 전력 감소 회로는 삽입되어 있는 클록 게이팅 셀을 파악하여 테스트 모드에서도 사용한다.
- [0048] 회로에는 여러 클록 게이팅 셀이 들어가고 각각의 클록 게이팅 셀에서 만들어진 클록은 동시에 여러 스캔 셀의 클록 신호로 사용된다. 테스트시 특정 패턴에서 고장 검출에 가장 필요 없는 클록 게이팅 셀을 차단하여 클록 게이팅 셀에 종속되어 있는 스캔 셀의 변화를 제어한다.
- [0049] 클록 게이팅 셀의 TE와 EN 신호에 모두 AND 게이트를 추가하고 하나의 입력을 게이팅 신호로 연결한다. 이때 게이팅 신호는 쉬프트 모드나 일반 캡처 모드에서는 1을 유지하여 회로의 특성에 따라 스캔 셀의 값을 변화하도록 하고 차단이 필요한 패턴 구역에서 그 값을 0으로 변경한다. 이러한 제어 방식을 통해 적은 하드웨어 오버헤드로 스캔 셀 변화의 제어가 가능하다.
- [0050] 도 3은 본 발명의 다른 실시예에 따른 전력 감소 방법을 예시한 흐름도이다.
- [0051] 캡처 전력 감소 방법은 전력 감소 회로에 의해 수행될 수 있다. 전력 감소 회로는 로직 비스트(logic BIST) 환경에 적용될 수 있다.
- [0052] 캡처 전력 감소 방법은 클록 게이팅 셀의 입력에 추가 게이트를 연결하는 단계(S10), 테스트 진행시 캡처 모드에서 추가 게이트를 통해 클록 게이팅 셀에 연결된 스캔 셀의 변화를 제어하는 단계(S20)를 포함한다.
- [0053] 스캔 셀의 변화를 제어하는 단계는 테스트 패턴에서 고장 검출에 필요없는 것에 해당되는 클록 게이팅 셀을 차단할 수 있다.
- [0054] 스캔 셀의 변화를 제어하는 단계는 테스트 패턴의 고장을 분석하며, 테스트 패턴을 복수의 영역으로 구분하고, 각각의 영역에서 발견되는 고장을 그룹 단위로 정의할 수 있다.
- [0055] 스캔 셀의 변화를 제어하는 단계는 클록 게이팅 셀의 고장을 분석하며, 각각의 클록 게이팅 셀에서 생성되는 동일한 클록을 사용하는 스캔 셀의 팬인콘(fan-in cone)에 해당하는 고장을 조사하여 해당하는 클록 게이팅 셀의 고장 목록으로 저장할 수 있다.
- [0056] 스캔 셀의 변화를 제어하는 단계는 클록 게이팅 셀의 그룹화를 통해 테스트 패턴 영역마다 고장 검출율이 가장 낮은 클록 게이팅 셀을 선택할 수 있다.
- [0057] 스캔 셀의 변화를 제어하는 단계는 테스트 패턴 영역마다 발견되는 고장과 클록 게이팅 셀의 고장 목록을 비교하고, 겹치는 고장의 개수를 기준으로 클록 게이팅 셀에 대한 그룹을 배정할 수 있다.
- [0058] 겹치는 고장의 개수가 가장 적은 그룹이 두 개 이상이면, 그룹에 포함된 클록 게이팅 셀의 개수가 가장 적은 그룹으로 배치할 수 있다.

- [0059] 스캔 셀의 변화를 제어하는 단계는 테스트 진행시 선택된 클록 게이팅 셀을 차단하는 신호를 수신하고, 차단이 필요한 패턴 영역에서 게이팅 신호가 1에서 0으로 변경되고, 해당하는 클록 게이팅 셀에서 생성되는 클록이 0으로 변경될 수 있다.
- [0060] 스캔 셀의 변화를 제어하는 단계는 차단하는 클록 게이팅 셀의 개수는 미리 설정된 피크 캡처 전력에 관한 임계치에 따라 정해지며, 임계치를 만족할 때까지 차단할 클록 게이팅 셀의 개수를 증가시킬 수 있다.
- [0061] 도 4는 테스트 패턴에서의 고장 분석을 예시한 도면이다.
- [0062] 캡처 전력 감소 방법은 N개의 그룹을 설정한 뒤 로직 비스트에서 의사 난수 패턴으로 인해 생성되는 테스트 패턴을 N개의 구역으로 나눈다. 그 후 각 구역에서의 발견되는 고장을 조사한 뒤 해당 구역에서만 발견되는 고장을 그 그룹의 고장(unique fault)으로 정의한다. 도 4는 N이 4인 경우를 예시한다.
- [0063] 도 5는 클록 게이팅 셀의 고장 분석을 예시한 도면이다.
- [0064] 캡처 전력 감소 방법은 각각의 클록 게이팅 셀에서 생성되는 같은 클록을 사용하는 스캔 셀들의 팬인콘(fan-in cone)에 해당하는 고장을 조사하여 해당 클록 게이팅 셀의 고장 목록으로 저장한다. 이 때 fan-in cone은 스캔 셀에서 스캔 셀까지로 정의한다.
- [0065] 도 6은 테스트 패턴에서의 그룹화를 예시한 도면이다.
- [0066] 캡처 전력 감소 방법은 각 클록 게이팅 셀의 고장 목록과 각각의 패턴 그룹의 고장을 비교하여 겹치는 고장의 숫자를 조사한다. 클록 게이팅 셀 1부터 차례대로 그룹을 배정하며 이 때 겹치는 고장의 개수가 적은 순서로 배치한다. 만약 겹치는 고장의 개수가 가장 적은 그룹이 두 개 이상 존재하면 그 그룹에 현재 포함되어 있는 클록 게이팅 셀의 개수가 가장 적은 그룹으로 배치된다.
- [0067] 각 그룹에 속해져 있는 클록 게이팅 셀들은 그 구역의 패턴에서 게이팅 신호가 0으로 유지되어 클록 게이팅 셀에서 생성되는 클록이 0으로 유지된다.
- [0068] 로직 비스트를 사용하는 회로에서 테스트시 평균 전력, 순간 전력을 감소시켜 테스트 동작에 의해 발생하는 열을 줄여 테스트의 신뢰성을 증가시킨다. 또한 추가되는 하드웨어의 크기가 작고 테스트 시간에도 변함이 없어 테스트 비용을 증가시키지 않으면서 저전력 테스트가 가능하다.
- [0069] 전력 감소 회로는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.
- [0070] 전력 감소 회로는 하드웨어적 요소가 마련된 컴퓨팅 디바이스 또는 서버에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스 또는 서버는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.
- [0071] 도 3에서는 각각의 과정을 순차적으로 실행하는 것으로 기재하고 있으나 이는 예시적으로 설명한 것에 불과하고, 이 분야의 기술자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 도 3에 기재된 순서를 변경하여 실행하거나 또는 하나 이상의 과정을 병렬적으로 실행하거나 다른 과정을 추가하는 것으로 다양하게 수정 및 변형하여 적용 가능할 것이다.
- [0072] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.
- [0073] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와

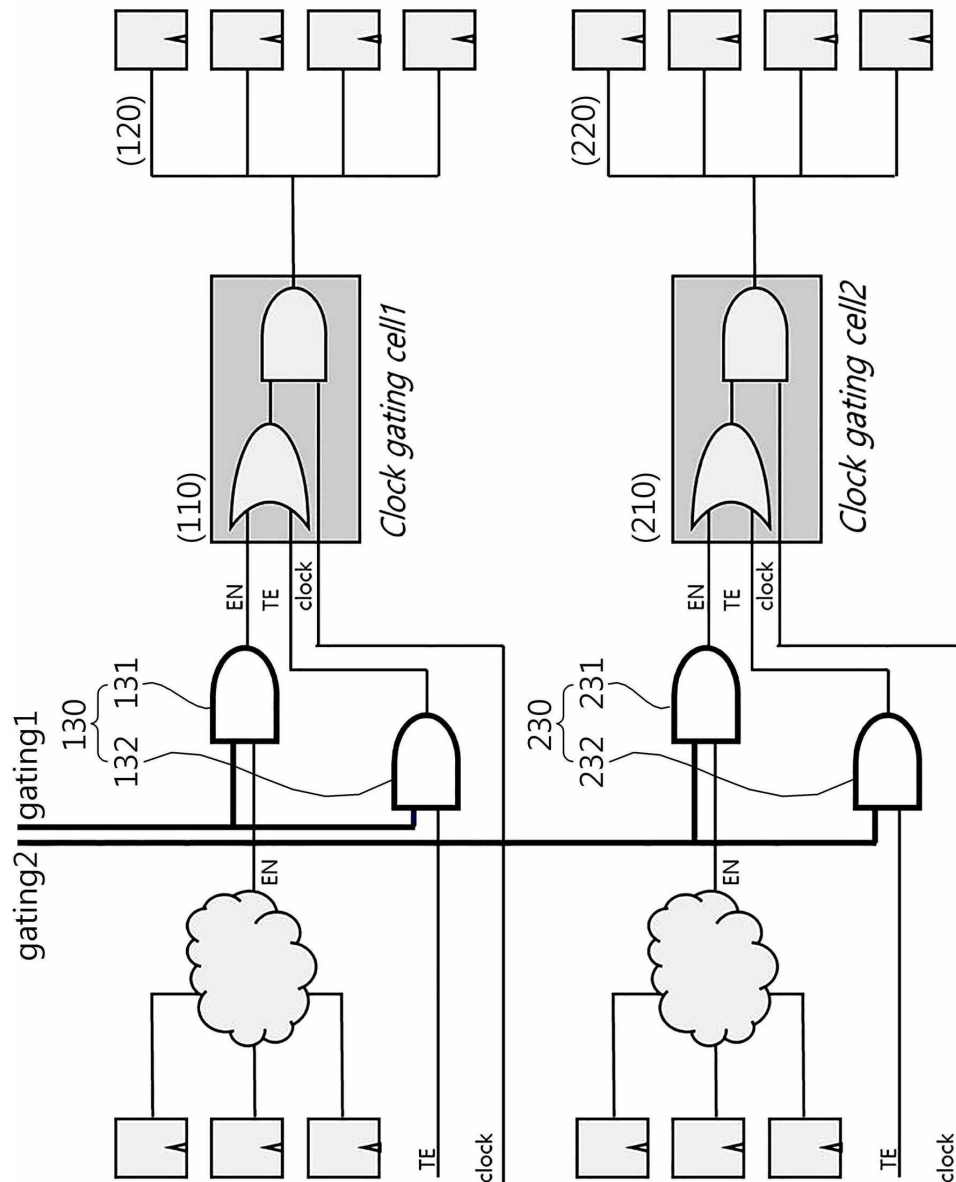
동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

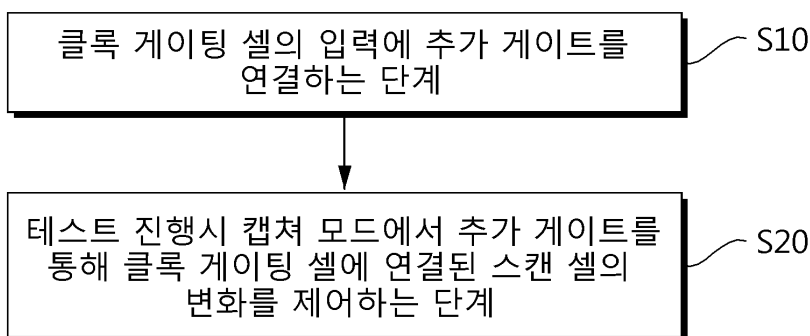
도면1



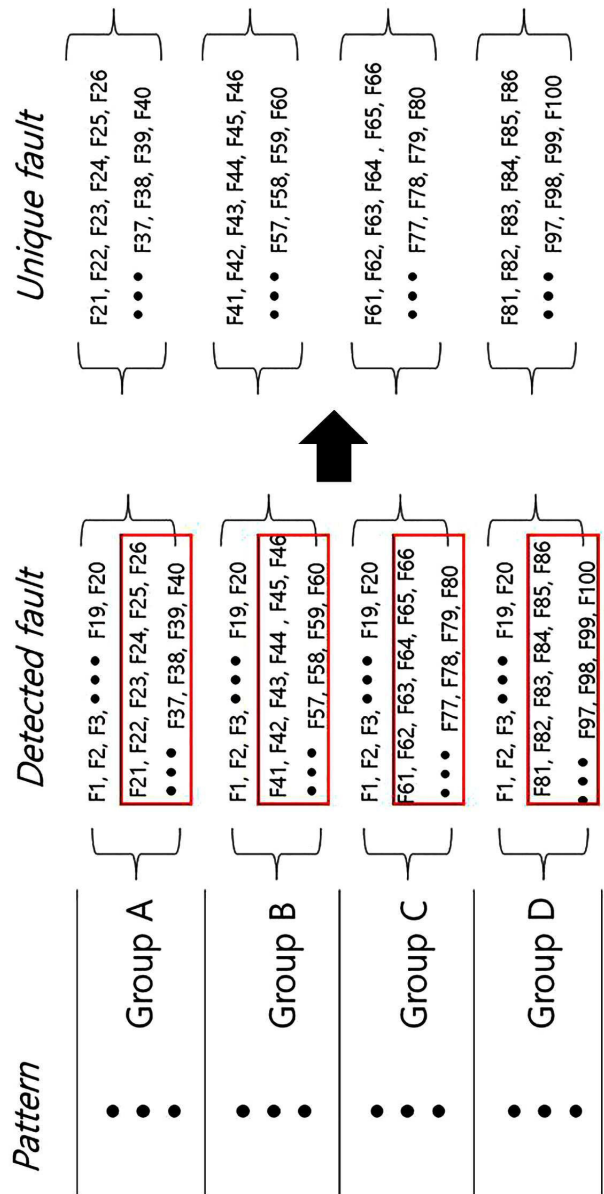
도면2



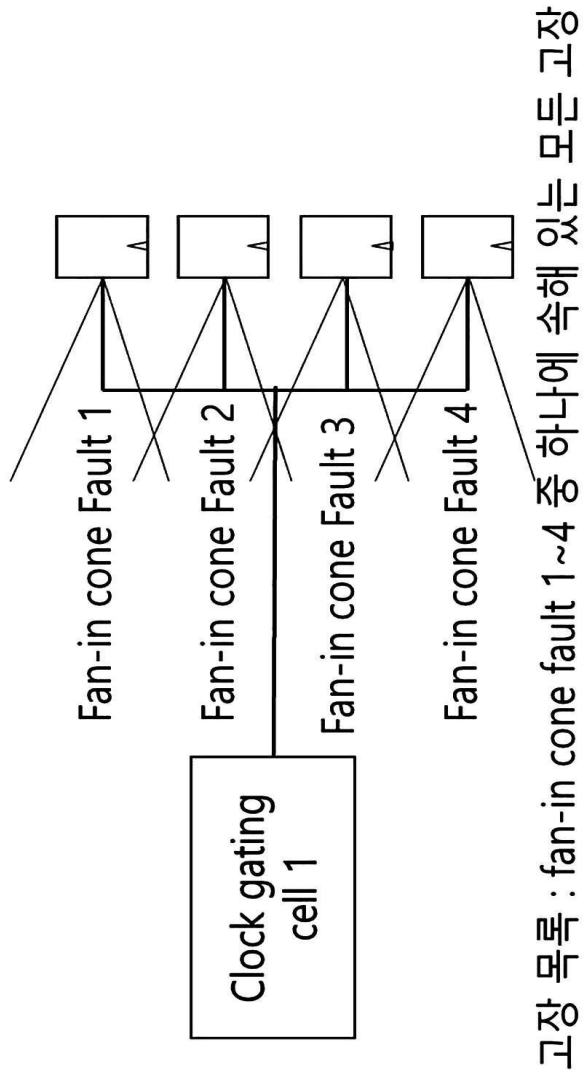
도면3



도면4



도면5



도면6

