(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0079577
(43) 공개일자 2023년06월07일

(51) 국제특허분류(Int. Cl.)
H03K 3/03 (2006.01) *H03K 5/00* (2014.01)
H03K 5/135 (2006.01)
(52) CPC특허분류
H03K 3/0315 (2013.01)
H03K 5/135 (2013.01)
(21) 출원번호 10-2021-0166440
(22) 출원일자 2021년11월29일
심사청구일자 2021년11월29일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김태욱
서울특별시 서대문구 연희로20길 33
장준영
서울특별시 서대문구 연세로 50, 제3공학관 509호
(74) 대리인
권성현, 유광철, 백두진, 강일신, 김정연

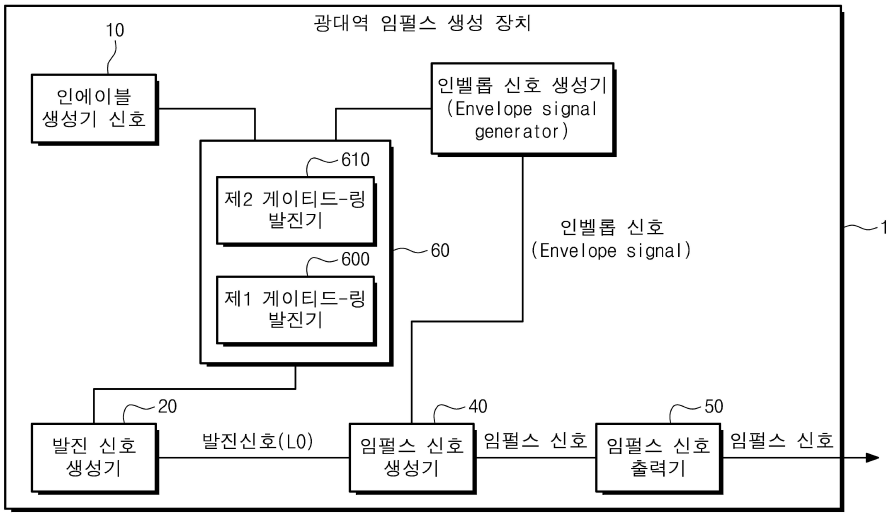
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **광대역 임펄스 생성 장치**

(57) 요 약

본 발명인 광대역 임펄스 생성 장치는 직렬 연결되고 인에이블신호에 따라 동작하며 순환 구조를 가지는 복수의 지연소자를 포함하는 복수의 게이티드 링 발진기, 인에이블신호에 기초하여 복수의 지연소자의 출력신호의 펄스 갯수를 카운팅하고 소정의 타겟임펄스구간에서 발진신호를 생성하는 발진신호생성기, 인에이블 신호 및 복수의 지연소자의 출력신호를 기반으로 서로 지연기간을 가지는 복수의 인벨롭신호를 생성하는 인벨롭신호생성기 및 복수의 인벨롭신호와 발진신호를 기반으로 타겟임펄스구간에 해당하는 임펄스신호를 생성하는 임펄스신호출력기를 포함한다.

대 표 도



(52) CPC특허분류
H03K 2005/00071 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711126437
과제번호 2017-0-00418-005
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 ICT융합산업혁신기술개발(R&D)
연구과제명 초고속 샘플링 기법을 이용한 시간도메인 인공지능 레이다 SoC (System On a Chip) 설계 연구
기 여 율 1/1
과제수행기관명 연세대학교 산학협력단
연구기간 2021.01.01 ~ 2021.12.31

명 세 서

청구범위

청구항 1

직렬 연결되고 인에이블신호에 따라 동작하며 순환 구조를 가지는 복수의 지연소자를 포함하는 복수의 게이티드 링 발진기;

상기 인에이블신호에 기초하여 상기 복수의 지연소자의 출력신호의 펄스갯수를 카운팅하고 소정의 타겟임펄스구간에서 발진신호를 생성하는 발진신호생성기;

상기 인에이블 신호 및 상기 복수의 지연소자의 출력신호를 기반으로 서로 지연기간을 가지는 복수의 인벨롭신호를 생성하는 인벨롭신호생성기; 및

상기 복수의 인벨롭신호와 상기 발진신호를 기반으로 상기 타겟임펄스구간에 해당하는 임펄스신호를 생성하는 임펄스신호출력기를 포함하는,

광대역 임펄스 생성 장치.

청구항 2

제1 항에 있어서,

상기 발진신호생성기는,

상기 발진신호의 제1 기준펄스갯수를 미리 저장하는 제1 레지스터장치;

제1 게이티드 링 발진기에 포함된 복수의 제1 지연소자의 출력단에 연결되어 상기 출력신호의 펄스갯수의 합을 카운팅하여 상기 제1 기준펄스갯수와 비교하는 제1 카운터장치;

상기 복수의 제1 지연소자의 입력단과 상기 출력단에 연결되어 상기 입력단으로 인가되는 입력신호와 상기 출력신호를 논리곱하여 서브발진신호를 생성하는 복수의 제1 AND게이트; 및

상기 복수의 제1 AND게이트에 연결되어 상기 서브발진신호를 논리합하여 상기 발진신호를 생성하는 제1 OR게이트를 포함하는,

광대역 임펄스 생성 장치.

청구항 3

제2 항에 있어서,

상기 발진신호생성기는,

상기 제1 게이티드 링 발진기의 입력단 및 상기 제1 카운터장치에 연결되고, 상기 제1 카운터장치에서 출력되는 제1 제어신호에 기초하여 상기 인에이블신호를 상기 복수의 제1 지연소자에 인가하는 제1 입력AND게이트를 더 포함하고,

상기 제1 제어신호는 제1 인에이블제어신호 및 제1 디스에이블제어신호를 포함하는,

광대역 임펄스 생성 장치.

청구항 4

제3 항에 있어서,

상기 제1 카운터장치는,

상기 출력신호의 상기 펄스갯수가 상기 제1 기준펄스갯수보다 작은 경우, 상기 인에이블신호가 상기 복수의 제1 지연소자에 인가되도록 제1 인에이블제어신호를 상기 제1 입력AND게이트에 인가하는,

광대역 임펄스 생성 장치.

청구항 5

제3 항에 있어서,

상기 제1 카운터장치는,

상기 출력신호의 상기 펄스갯수가 상기 제1 기준펄스갯수보다 크거나 같은 경우, 상기 인에이블신호가 상기 복수의 제1 지연소자에 인가되지 않도록 제1 디스에이블제어신호를 상기 제1 입력AND게이트에 인가하는,

광대역 임펄스 생성 장치.

청구항 6

제1 항에 있어서,

상기 제1 지연소자는 인버터소자이고,

상기 제1 게이티드 링 발진기는,

상기 복수 개의 인버터소자 사이에 적어도 하나의 제1 스위치 및 적어도 하나의 제1 커패시터를 더 포함하는,

광대역 임펄스 생성 장치.

청구항 7

제2 항에 있어서,

상기 복수의 제1 지연소자는,

상기 인에이블신호의 위상을 반대로 변경하고, 제1 펄스주기만큼 상기 인에이블신호를 지연시켜 제1 출력신호를 생성하고,

상기 제1 출력신호의 위상을 반대로 변경하고, 상기 제1 펄스주기만큼 상기 제1 출력신호를 지연시켜 제2 출력신호를 생성하고,

상기 제2 출력신호의 위상을 반대로 변경하고, 상기 제1 펄스주기만큼 상기 제2 출력신호를 지연시켜 제3 출력신호를 생성하고,

상기 제1 펄스주기는 상기 지연기간의 절반인,

광대역 임펄스 생성 장치.

청구항 8

제7 항에 있어서,

상기 복수의 제1 AND게이트는,

상기 인에이블신호와 상기 제1 출력신호를 상기 논리곱하여 제1 서브발진신호를 생성하고,

상기 제1 출력신호와 상기 제2 출력신호를 상기 논리곱하여 제2 서브발진신호를 생성하고,

상기 제2 출력신호와 제3 출력신호를 상기 논리곱하여 제3 서브발진신호를 생성하는,

광대역 임펄스 생성 장치.

청구항 9

제8 항에 있어서,

상기 제1 OR게이트는,

상기 제1 내지 제3 서브발진신호를 상기 논리합하여 상기 발진신호를 생성하는,

광대역 임펄스 생성 장치.

청구항 10

제1 항에 있어서,

상기 인벨롭신호생성기는,

상기 출력신호의 펄스갯수의 합인 제2 기준펄스갯수를 미리 저장하는 제2 레지스터장치;

제2 게이티드 링 발진기에 포함된 복수의 제2 지연소자의 출력단에 연결되어 상기 출력신호의 펄스갯수의 합을 카운팅하여 상기 제2 기준펄스갯수와 비교하고,

상기 지연간격을 가지며 출력되는 복수의 카운팅제어신호를 생성하고, 상기 복수의 카운팅제어신호에 기초하여 복수의 인벨롭신호출력기의 셋제어신호 및 리셋제어신호를 생성하는 제2 카운터장치; 및

상기 제2 카운터장치에 연결되어 상기 셋제어신호 및 상기 리셋제어신호에 기초하여 상기 복수의 인벨롭신호를 생성하는 복수의 인벨롭신호출력기를 포함하는,

광대역 임펄스 생성 장치.

청구항 11

제10 항에 있어서,

상기 제2 카운터장치는,

상기 카운팅제어신호 중 첫번째 펄스인 제1 카운팅제어펄스의 라이징 엣지와 폴링 엣지를 기반으로 셋제어신호를 생성하는,

광대역 임펄스 생성 장치.

청구항 12

제11 항에 있어서,

상기 제2 카운터장치는,

상기 카운팅제어신호 중 마지막 펄스인 제3 카운팅제어펄스의 라이징 엣지와 폴링 엣지를 기반으로 셋제어신호를 생성하는,

광대역 임펄스 생성 장치.

청구항 13

제12 항에 있어서,

상기 복수의 인벨롭신호출력기는,

상기 제1 카운팅제어펄스가 라이징한 시점부터 상기 제3 카운팅제어펄스가 폴링한 시점까지 소정의 전압레벨로 지속되는 상기 복수의 인벨롭신호를 출력하는,

광대역 임펄스 생성 장치.

청구항 14

제10 항에 있어서,

상기 인벨롭신호생성기는,

상기 제2 게이티드 링 발진기의 입력단 및 상기 제2 카운터장치에 연결되고, 상기 제2 카운터장치에서 출력되는 제어신호에 기초하여 상기 인에이블 신호를 상기 복수의 제2 지연소자에 인가하는 제2 입력AND게이트를 더 포함하는,

광대역 임펄스 생성 장치.

청구항 15

제14 항에 있어서,

상기 제2 카운터장치는,

상기 출력신호의 펄스갯수가 상기 제2 기준펄스갯수보다 작은 경우, 상기 인에이블 신호가 상기 복수의 제2 지연소자에 인가되도록 제2 인에이블제어신호를 상기 제2 입력AND게이트에 인가하는,

광대역 임펄스 생성 장치.

청구항 16

제14 항에 있어서,

상기 제2 카운터장치는,

상기 출력신호의 펄스갯수가 상기 제2 기준펄스갯수보다 크거나 같은 경우, 상기 인에이블 신호가 상기 복수의 제2 지연소자에 인가되지 않도록 제2 디스인에이블제어신호를 상기 제2 입력AND게이트에 인가하는,

광대역 임펄스 생성 장치.

청구항 17

제1 항에 있어서,

상기 임펄스신호출력기는,

상기 발진신호 및 상기 복수의 인벨롭신호 중 어느 하나의 인벨롭신호가 각각 인가되는 복수의 로직게이트;

상기 복수의 로직게이트에 연결되는 제1 트랜지스터; 및

상기 복수의 로직게이트에 연결되며 상기 제1 트랜지스터에 병렬접속된 제2 트랜지스터를 포함하는,

광대역 임펄스 생성 장치.

청구항 18

제17 항에 있어서,

상기 로직게이트는,

상기 인벨롭신호가 인가되는 제1 인버터소자;

상기 제1 인버터소자를 경유한 상기 인벨롭신호가 인가되는 제2 인버터소자;

상기 발진신호 및 상기 제1 내지 제2 인버터소자를 경유한 상기 인벨롭신호가 인가되는 NAND게이트; 및

상기 발진신호 및 상기 제2 인버터소자를 경유한 상기 인벨롭신호가 인가되는 NOR게이트를 포함하는,

광대역 임펄스 생성 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 게이티드-링 오실리에이터(Gated ring oscillator) 구조를 이용한 저전력 광대역 임펄스 생성 장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 광대역 임펄스 생성장치는 오실리에이터(Oscillator)에서 발생하는 국부발진신호(LO 신호)와 임펄스 신호의 모양을 결정하는 인벨롭신호를 혼합기(Mixer)에서 곱하여 생성할 수 있다. 한편, 임펄스 신호는 특정 시간 동안만 신호가 발생하고, 그 외의 시간에는 신호가 없이 유지된다.

[0003] 다만, 광대역 임펄스 생성장치에 포함된 오실리에이터는 지속하여 동작을 하여 임펄스 신호가 필요 없는 시간동안에도 국부발진신호(LO)신호가 생성될 수 있다. 이로 인해 과도한 소비전력이 발생할 수 있다.

[0004] 또한, 오실리에이터에서 발생하는 국부발진신호(LO신호)와 인벨롭신호 사이에 발생하는 상(Phase)차이를 제거하고 동기화를 수행하기 위하여 추가의 장비가 필요하다.

[0005] 이에, 임펄스 신호가 필요한 시간에만 국부발진신호 및 인벨롭신호를 생성하여 소비전력을 감소시키고, 서로 간의 동기화를 수행하여 상(Phase) 차이를 제거하기 위한 기술이 필요한 실정이다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는 게이티드-링 오실리에이터 구조를 이용하여 국부발진신호 및 인벨롭신호를 생성하고, 이에 기초하여 임펄스신호를 생성하는 광대역 임펄스 생성 장치를 제공하기 위함이다.

[0007] 또한, 본 발명이 해결하고자 하는 기술적 과제는 국부발진신호와 인벨롭신호를 동기화시켜 상(Phase)차이를 제거하기 위한 광대역 임펄스 생성장치를 제공하기 위함이다.

과제의 해결 수단

[0008] 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치는 직렬 연결되고 인에이블신호에 따라 동작하며 순환 구조를 가지는 복수의 지연소자를 포함하는 복수의 게이티드 링 발진기, 인에이블신호에 기초하여 복수의 지연소자의 출력신호의 펄스갯수를 카운팅하고 소정의 타겟임펄스구간에서 발진신호를 생성하는 발진신호생성기, 인에이블 신호 및 복수의 지연소자의 출력신호를 기반으로 서로 지연기간을 가지는 복수의 인벨롭신호를 생성하는 인벨롭신호생성기 및 복수의 인벨롭신호와 발진신호를 기반으로 타겟임펄스구간에 해당하는 임펄스신호를 생성하는 임펄스신호출력기를 포함한다.

[0009] 또한, 본 발명의 한 실시예에 따른 발진신호생성기는, 발진신호의 제1 기준펄스갯수를 미리 저장하는 제1 레지스터장치, 제1 게이티드 링 발진기에 포함된 복수의 제1 지연소자의 출력단에 연결되어 출력신호의 펄스갯수의 합을 카운팅하여 제1 기준펄스갯수와 비교하는 제1 카운터장치, 복수의 제1 지연소자의 입력단과 출력단에 연결되어 입력단으로 인가되는 입력신호와 출력신호를 논리곱하여 서브발진신호를 생성하는 복수의 제1 AND게이트 및 복수의 제1 AND게이트에 연결되어 서브발진신호를 논리합하여 발진신호를 생성하는 제1 OR게이트를 포함한다.

[0010] 또한, 본 발명의 한 실시예에 따른 발진신호생성기는, 제1 게이티드 링 발진기의 입력단 및 제1 카운터장치에 연결되고, 제1 카운터장치에서 출력되는 제어신호에 기초하여 인에이블신호를 복수의 제1 지연소자에 인가하는 제1 입력AND게이트를 더 포함하고, 제1 제어신호는 제1 인에이블제어신호 및 제1 디스에이블제어신호를 포함한다.

[0011] 또한, 본 발명의 한 실시예에 따른 제1 카운터장치는, 출력신호의 펄스갯수가 제1 기준펄스갯수보다 작은 경우, 인에이블신호가 복수의 제1 지연소자에 인가되도록 제1 인에이블제어신호를 제1 입력AND게이트에 인가한다.

[0012] 또한, 본 발명의 한 실시예에 따른 제1 카운터장치는, 출력신호의 펄스갯수가 제1 기준펄스갯수보다 크거나 같은 경우, 인에이블신호가 복수의 제1 지연소자에 인가되지 않도록 제1 디스에이블제어신호를 제1 입력AND게이트에 인가한다.

[0013] 또한, 본 발명의 한 실시예에 따른 제1 지연소자는 인버터소자이고, 게이티드 링 발진기는, 복수 개의 인버터소자 사이에 적어도 하나의 제1 스위치 및 적어도 하나의 제1 커패시터를 더 포함한다.

[0014] 또한, 본 발명의 한 실시예에 따른 복수의 제1 지연소자는, 인에이블신호의 위상을 반대로 변경하고, 제1 펄스주기만큼 인에이블신호를 지연시켜 제1 출력신호를 생성하고, 제1 출력신호의 위상을 반대로 변경하고, 제1 펄스주기만큼 제1 출력신호를 지연시켜 제2 출력신호를 생성하고, 제2 출력신호의 위상을 반대로 변경하고, 제1 펄스주기만큼 제2 출력신호를 지연시켜 제3 출력신호를 생성하고, 제1 펄스주기는 지연기간의 절반이다.

[0015] 또한, 본 발명의 한 실시예에 따른 복수의 제1 AND게이트는, 인에이블신호와 제1 출력신호를 논리곱하여 제1 서브발진신호를 생성하고, 제1 출력신호와 제2 출력신호를 논리곱하여 제2 서브발진신호를 생성하고, 제2 출력신호와 제3 출력신호를 논리곱하여 제3 서브발진신호를 생성한다.

[0016] 또한, 본 발명의 한 실시예에 따른 제1 OR게이트는, 제1 내지 제3 서브발진신호를 논리합하여 발진신호를 생성한다.

[0017] 또한, 본 발명의 한 실시예에 따른 인벨롭신호생성기는, 출력신호의 펄스갯수의 합인 제2 기준펄스갯수를 미리 저장하는 제2 레지스터장치, 제2 게이티드 링 발진기에 포함된 복수의 제2 지연소자의 출력단에 연결되어 출력신호의 펄스갯수의 합을 카운팅하여 제2 기준펄스갯수와 비교하고, 지연간격을 가지며 출력되는 복수의 카운팅제어신호를 생성하고, 복수의 카운팅제어신호에 기초하여 복수의 인벨롭신호출력기의 셋제어신호 및 리셋제어신호를 생성하는 제2 카운터장치 및 제2 카운터장치에 연결되어 셋제어신호 및 리셋제어신호에 기초하여 복수의 인벨롭신호를 생성하는 복수의 인벨롭신호출력기를 포함한다.

[0018] 또한, 본 발명의 한 실시예에 따른 제2 카운터장치는, 카운팅제어신호 중 첫번째 펄스인 제1 카운팅제어펄스의 라이징 엣지와 폴링 엣지를 기반으로 셋제어신호를 생성한다.

[0019] 또한, 본 발명의 한 실시예에 따른 제2 카운터장치는, 카운팅제어신호 중 마지막 펄스인 제3 카운팅제어펄스의 라이징 엣지와 폴링 엣지를 기반으로 셋제어신호를 생성한다.

[0020] 또한, 본 발명의 한 실시예에 따른 복수의 인벨롭신호출력기는, 제1 카운팅제어펄스가 라이징한 시점부터 제3 카운팅제어펄스가 폴링한 시점까지 소정의 전압레벨로 지속되는 복수의 인벨롭신호를 출력한다.

[0021] 또한, 본 발명의 한 실시예에 따른 인벨롭신호생성기는, 제2 게이티드 링 발진기의 입력단 및 제2 카운터장치에 연결되고, 제2 카운터장치에서 출력되는 제어신호에 기초하여 인에이블 신호를 복수의 제2 지연소자에 인가하는 제2 입력AND게이트를 더 포함한다.

[0022] 또한, 본 발명의 한 실시예에 따른 제2 카운터장치는, 출력신호의 펄스갯수가 제2 기준펄스갯수보다 작은 경우, 인에이블 신호가 복수의 제2 지연소자에 인가되도록 제2 인에이블제어신호를 제2 입력AND게이트에 인가한다.

[0023] 또한, 본 발명의 한 실시예에 따른 제2 카운터장치는, 출력신호의 펄스갯수가 제2 기준펄스갯수보다 크거나 같은 경우, 인에이블 신호가 복수의 제2 지연소자에 인가되지 않도록 제2 디스인에이블제어신호를 제2 입력AND게이트에 인가한다.

[0024] 또한, 본 발명의 한 실시예에 따른 임펄스신호출력기는, 발진신호 및 복수의 인벨롭신호 중 어느 하나의 인벨롭신호가 각각 인가되는 복수의 로직게이트, 복수의 로직게이트에 연결되는 제1 트랜지스터 및 복수의 로직게이트에 연결되며 제1 트랜지스터에 병렬접속된 제2 트랜지스터를 포함한다.

[0025] 또한, 본 발명의 한 실시예에 따른 로직게이트는, 인벨롭신호가 인가되는 제1 인버터소자, 제1 인버터소자를 경유한 인벨롭신호가 인가되는 제2 인버터소자, 발진신호 및 제1 내지 제2 인버터소자를 경유한 인벨롭신호가 인가되는 NAND게이트 및 발진신호 및 제2 인버터소자를 경유한 인벨롭신호가 인가되는 NOR게이트를 포함한다.

발명의 효과

[0026] 본 발명에 따른 광대역 임펄스 생성 장치는 게이티드-링 오실리에이터 구조를 이용하여 국부발진신호 및 인벨롭신호를 생성하고, 이에 기초하여 임펄스 신호를 생성할 수 있다.

[0027] 또한, 본 발명에 따른 광대역 임펄스 생성 장치는 임펄스 신호가 필요한 시간에만 국부발진신호(LO신호) 및 인벨롭신호를 생성하여 소비전력을 감소시킬 수 있다.

[0028] 또한, 본 발명에 따른 광대역 임펄스 생성 장치는 국부발진신호와 인벨롭신호를 동기화시켜 상(Phase)차이를 제거할 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치를 나타내는 도면이다.

도 2는 본 발명의 한 실시예에 따른 발진신호생성기와 게이티드-링 발진기를 나타내는 도면이다.

도 3은 본 발명의 한 실시예에 따른 발진신호를 생성하는 과정을 나타낸 파형도이다.

도 4는 본 발명의 한 실시예에 따른 인벨롭신호생성기와 게이티드-링 발진기를 나타내는 도면이다.

도 5는 본 발명의 한 실시예에 따른 인벨롭신호를 생성하는 과정을 나타낸 파형도이다.

도 6은 본 발명의 한 실시예에 따른 임펄스신호생성기를 나타내는 도면이다.

도 7은 본 발명의 한 실시예에 따른 로직게이트를 나타내는 도면이다.

도 8은 본 발명의 한 실시예에 따른 임펄스신호를 생성하는 과정을 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.

[0031] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에서도 사용할 수 있다.

[0032] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.

[0033] 또한, 설명에서 "동일하다"라고 표현한 것은, "실질적으로 동일하다"는 의미일 수 있다. 즉, 통상의 지식을 가진 자가 동일하다고 납득할 수 있을 정도의 동일함일 수 있다. 그 외의 표현들도 "실질적으로"가 생략된 표현들일 수 있다.

[0034] 도 1은 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치를 나타내는 도면이다.

[0035] 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치(1)는 인에이블신호생성기(10), 발진신호생성기(20), 인벨롭신호생성기(30), 임펄스신호생성기(40), 임펄스신호출력기(50), 및 게이티드-링 발진기(60)를 포함한다.

[0036] 인에이블신호생성기(10)는 인에이블신호(IS1, 도 2 참고)를 생성하여 게이티드-링 발진기(60)에 인가할 수 있다. 인에이블신호생성기(10)에서 생성된 인에이블신호(IS1)는 게이티드-링 발진기(60)에 인가되고, 이에 기초하여 발진신호생성기(20)에서 발진신호(LO신호)를 생성할 수 있다. 또한, 인벨롭신호생성기(30)에서 인벨롭신호(Envelope Signal)를 생성할 수 있다. 인에이블신호생성기(10)에서 생성된 1 개의 인에이블신호(IS1)가 게이티드-링 발진기(60)를 경유하여 발진신호생성기(20) 및 인벨롭신호생성기(30)에 공통적으로 인가되므로, 발진신호(LO) 및 인벨롭신호는 동기화되어 상(Phase) 차이가 발생하지 않을 수 있다.

[0037] 인에이블신호생성기(10)에서 생성된 인에이블신호(IS1)는 제1 게이티드-링 발진기(600)에 인가될 수 있다. 인에이블신호생성기(10)에서 생성된 인에이블신호(IS1)는 제2 게이티드-링 발진기(610)에 인가될 수 있다.

[0038] 발진신호생성기(20)는 제1 게이티드-링 발진기(600)와 연결될 수 있다. 발진신호생성기(20)는 제1 게이티드-링 발진기(600)에 인가된 인에이블신호(IS1) 및 제1 게이티드-링 발진기(600)의 제1 출력신호를 기반으로 임펄스 생성 기간(또는, 타겟임펄스기간) 동안 소정의 개수의 펄스를 가지는 발진신호(또는, LO신호)를 생성할 수 있다.

[0039] 발진신호생성기(20)는 제1 게이티드-링 발진기(600)에서 출력되는 제1 출력신호의 펄스 개수를 카운팅 할 수 있다. 발진신호생성기(20)는 제1 게이티드-링 발진기(600)에서 출력되는 제1 출력신호의 펄스개수의 합과 미리 저장된 제1 기준펄스개수를 비교할 수 있다.

[0040] 발진신호생성기(20)는 제1 게이티드-링 발진기(600)에서 출력되는 제1 출력신호의 펄스 개수가 미리 저장된 제1 기준펄스개수에 도달한 경우, 제1 게이티드-링 발진기(600)에 의한 제1 출력신호의 출력을 중단하는 제어신호를 출력할 수 있다. 발진신호생성기(20)는 제1 게이티드-링 발진기(600)에서 출력되는 제1 출력신호의 펄스 개수가 미리 저장된 제1 기준펄스개수에 도달하지 않은 경우, 제1 게이티드-링 발진기(600)에 의한 제1 출력신호의 출력을 지속하는 제어신호를 출력할 수 있다.

[0041] 발진신호생성기(20)는 발진신호(또는, LO신호)를 임펄스 신호를 생성하기 위한 임펄스신호생성기(40)에 인가할 수 있다.

[0042] 발진신호생성기(20)가 인에이블신호(IS1) 및 게이티드-링 발진기(60)의 제1 출력신호를 기반으로 발진신호(LO신호)를 생성하는 과정은 아래, 도 2 내지 도 3에서 구체적으로 설명하기로 한다.

[0043] 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(610)와 연결될 수 있다. 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(610)에 인가된 인에이블신호(IS1) 및 제2 게이티드-링 발진기(610)의 제2 출력신호를 기반으로 소정의 기간동안 소정의 전압레벨을 가지는 복수의 인벨롭신호를 생성할 수 있다.

[0044] 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(610)에서 출력되는 제2 출력신호의 펄스 개수를 카운팅 할 수 있다. 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(610)에서 출력되는 제2 출력신호의 펄스 개수의 합과 미리 저장된 제2 기준펄스개수를 비교할 수 있다.

[0045] 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(600)에서 출력되는 제2 출력신호의 펄스 개수가 미리 저장된 제2 기준펄스개수에 도달한 경우, 제2 게이티드-링 발진기(610)에 의한 제2 출력신호의 출력을 중단하는 제어신호를 출력할 수 있다. 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(610)에서 출력되는 제2 출력신호의 펄스 개수가 미리 저장된 제2 기준펄스개수에 도달하지 않은 경우, 제2 게이티드-링 발진기(610)에 의한 제2 출력신호의 출력을 지속하는 제어신호를 출력할 수 있다.

[0046] 인벨롭신호생성기(30)는 복수의 인벨롭신호를 임펄스 신호를 생성하기 위한 임펄스신호생성기(40)에 인가할 수 있다.

[0047] 인벨롭신호생성기(30)는 인에이블신호(IS1) 및 제2 게이티드-링 발진기(610)의 제2 출력신호를 기반으로 복수의 인벨롭신호를 생성하는 과정은 아래, 도 4 내지 도 5에서 구체적으로 설명하기로 한다.

[0048] 임펄스신호생성기(40)는 인벨롭신호생성기(30)에서 생성한 복수의 인벨롭신호와 발진신호생성기(20)에서 생성한 발진신호(LO신호)를 기반으로 타겟임펄스기간동안 소정의 개수의 펄스를 가지는 임펄스 신호를 생성할 수 있다.

[0049] 임펄스신호생성기(40)가 복수의 인벨롭신호와 발진신호를 기반으로 임펄스 신호를 생성하는 과정은 아래, 도 6 내지 도 8에서 구체적으로 설명하기로 한다.

[0050] 게이티드-링 발진기(60)는 제1 게이티드-링 발진기(600) 및 제2 게이티드-링 발진기(610)를 포함한다. 제1 게이티드-링 발진기(600)는 직렬로 연결된 복수의 제1 지연소자(D1a, D2a, D3a, 도 2 참고), 복수의 제1 지연소자(D1a, D2a, D3a) 사이에 적어도 하나의 제1 스위치(S1a, S2a, S3a, 도 2 참고) 및 적어도 하나의 제1 커패시터(C1a, C2a, C3a, 도 2 참고)를 포함한다.

[0051] 제2 게이티드-링 발진기(610)는 직렬로 연결된 복수의 제2 지연소자(D1b, D2b, D3b, 도 4 참고) 및 복수의 제2 지연소자(D1b, D2b, D3b) 사이에 적어도 하나의 제2 스위치(S1b, S2b, S3b, 도 4 참고) 및 적어도 하나의 제2 커패시터(C1b, C2b, C3b, 도 4 참고)를 포함한다.

[0052] 제1 게이티드-링 발진기(600)는 인에이블신호생성기(10)에서 인가된 인에이블신호(IS1)의 위상을 변경하고 소정의 지연기간만큼 지연시킨 제1 출력신호를 생성할 수 있다. 제1 게이티드-링 발진기(600)는 인에이블신호(IS1) 및 제1 출력신호를 발진신호생성기(20)에 인가할 수 있다.

[0053] 제1 게이티드-링 발진기(600)가 인에이블신호(IS1)의 위상을 변경하고 제1 출력신호를 생성하는 과정은 아래, 도 2 내지 도 3에서 구체적으로 설명하기로 한다.

[0054] 제2 게이티드-링 발진기(610)는 인에이블신호생성기(10)에서 인가된 인에이블신호(IS1)의 위상을 변경하고 소정의 지연기간만큼 지연시킨 제2 출력신호를 생성할 수 있다. 제2 게이티드-링 발진기(610)는 인에이블신호(IS1) 및 제2 출력신호를 인벨롭신호생성기(30)에 인가할 수 있다.

[0055] 제2 게이티드-링 발진기(610)가 인에이블신호(IS1)의 위상을 변경하고 제2 출력신호를 생성하는 과정은 아래, 도 4 내지 도 5에서 구체적으로 설명하기로 한다.

[0056] 도 2는 본 발명의 한 실시예에 따른 발진신호생성기와 제1 게이티드-링 발진기를 나타내는 도면이다. 도 3은 본 발명의 한 실시예에 따른 발진신호를 생성하는 과정을 나타낸 파형도이다.

[0057] 이하, 도 2 및 도 3을 함께 참고하여 발진신호생성기(20) 및 제1 게이티드-링 발진기(600)에서 발진신호(LO신호)를 생성하는 과정을 설명한다.

[0058] 도 2를 참고하면 제1 게이티드-링 발진기(600)는 3개의 제1 지연소자(D1a, D2a, D3a)를 포함하는 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 또는, 제1 게이티드-링 발진기(600)는 복수 개의 제1 지연소자를 포함할 수 있다.

[0059] 도 2를 참고하면, 제1 게이티드-링 발진기(600)는 직렬로 연결된 복수의 제1 지연소자(D1a, D2a, D3a), 복수의 제1 지연소자(D1a, D2a, D3a) 사이에 적어도 하나의 제1 스위치(S1a, S2a, S3a) 및 적어도 하나의 제1 커패시터(C1a, C2a, C3a)를 포함한다.

[0060] 제1 게이티드-링 발진기(600)는 인에이블신호생성기(10)에서 인가된 인에이블신호(IS1)가 인가된 경우 턴-온되

어 동작을 한다. 제1 게이티드-링 발진기(300)는 인에이블신호생성기(10)에서 인에이블신호(IS1)가 인가되지 않는 경우 턴-오프되어 동작을 하지 않는다.

[0061] 즉, 제1 게이티드-링 발진기(300)는 제1a 지연소자(D1a)의 입력단과 제3a 지연소자(D3a)의 출력단이 연결된 링(ring) 형태이며, 인에이블신호생성기(10)에서 인에이블신호(IS1)가 인가된 경우에만 턴-온되어 동작하는 게이티드(gated) 형태이다.

[0062] 제1 게이티드-링 발진기(600)는 인에이블신호생성기(10)에서 인에이블신호(IS1)가 인가된 경우 턴-온되고, 인에이블신호(IS1)에 기초하여 제1 출력신호(DIS1, DIS2, DIS3)를 생성할 수 있다. 제1 게이티드-링 발진기(300)는 출력신호(DIS1, DIS2, DIS3)를 발진신호생성기(20)의 제1 카운터장치(22)에 인가할 수 있다.

[0063] 도 2 및 도 3을 함께 참고하면, 제1a 지연소자(D1a)는 인에이블신호(IS1)의 위상을 반대(180도)로 변경하고, 제1 지연기간(DT)만큼 인에이블신호(IS1)를 지연시켜 제11 출력지연신호(DIS1)를 생성할 수 있다. 제2a 지연소자(D2a)는 제11 출력지연신호(DIS1)의 위상을 반대(180도)로 변경하고, 제1 지연기간(DT)만큼 제11 출력지연신호(DIS1)를 지연시켜 제12 출력지연신호(DIS2)를 생성할 수 있다. 제3a 지연소자(D3a)는 제12 출력지연신호(DIS2)의 위상을 반대(180도)로 변경하고 제1 지연기간(DT)만큼 제12 출력지연신호(DIS2)를 지연시켜 제13 출력지연신호(DIS3)를 생성할 수 있다.

[0064] 구체적으로 제1a 지연소자(D1a)를 예로 들어 설명하면, 인에이블신호(IS1)는 제1a 지연소자(D1a)(또는, 인버터 소자)를 거치면서 위상이 반대(180도)로 변경될 수 있다. 또한, 제1a 지연소자(D1a)와 제2 지연소자(D2a) 사이에 연결된 제1a 스위치(SW1a)의 동작에 따라서 위상이 반대(180도)로 변경된 인에이블신호(IS1)는 제1a 스위치(SW1a)의 턴-온/턴-오프 간격(또는, 제1 지연기간(DT))동안 제1a 커패시터(C1a)에 저장될 수 있다.

[0065] 결론적으로, 제1a 지연소자(D1a), 제1 스위치(S1a), 및 제1a 커패시터(C1a)는 인에이블신호(IS1)의 위상을 반대(180도)로 변경하고 제1 지연기간(DT)만큼 지연시켜 제11 출력신호(DIS1)를 생성할 수 있다. 제12 출력신호 내지 제12 출력신호(DIS2, DIS3)를 생성하는 과정은 상기 제11 출력신호(DIS1)와 실질적으로 동일하므로 중복되는 설명은 생략하기로 한다.

[0066] 발진신호생성기(20)는 제1a 입력AND게이트(AND1a), 제1 레지스터장치(21), 제1 카운터장치(22), 복수의 제1 AND게이트(AND2a, AND3a, AND4a), 제1 OR게이트(OR1a)를 포함한다.

[0067] 제1a 입력AND게이트(AND1a)는 제1 게이티드-링 발진기(600)에 연결되어 인에이블신호(IS1)를 제1 게이티드-링 발진기(600)에 인가할 수 있다. 제1 입력AND게이트(AND1a)는 제1 카운터장치(22)에서 제공된 제1 제어신호에 기초하여 인에이블신호(IS1)를 제1 게이티드-링 발진기(600)에 인가할 수 있다.

[0068] 구체적으로 제1 인에이블제어신호(enconsig1)가 인가되는 경우, 제1a 입력AND게이트(AND1a)는 인에이블신호(IS1)를 제1 게이티드-링 발진기(600)에 인가할 수 있다. 제1 디스에이블제어신호(disconsig1)가 인가되는 경우, 제1 입력AND게이트(AND1a)는 인에이블신호(IS1)를 제1 게이티드-링 발진기(600)에 인가하지 않을 수 있다.

[0069] 제1 레지스터장치(21)는 발진신호생성기(20)에서 출력되는 발진신호(LO신호)의 펄스 개수의 합인 제1 기준펄스개수를 미리 저장할 수 있다. 제1 기준펄스개수는 사용자에 의해 임의로 설정될 수 있으며, 제1 기준펄스개수는 제1 게이티드-링 발진기(600)에 포함된 제1 지연소자의 개수와 동일할 수 있다.

[0070] 제1 카운터장치(22)는 제1a 내지 제3a 지연소자(D1a, D2a, D3a)의 출력단에 연결될 수 있다. 제1 카운터장치(22)는 제1a 내지 제1a 지연소자(D1a, D2a, D3a)의 제11 내지 제13 출력신호(DIS1, DIS2, DIS3)의 펄스개수를 카운팅할 수 있다. 제1 카운터장치(22)는 제11 내지 제13 출력신호(DIS1, DIS2, DIS3)의 펄스개수의 합과 미리 저장된 제1 기준펄스개수를 비교할 수 있다.

[0071] 제1 카운터장치(22)는 제11 내지 제13 출력신호(DIS1, DIS2, DIS3)의 펄스개수의 합이 미리 저장된 제1 기준펄스갯수보다 작은 경우, 제1 인에이블제어신호(enconsig1)를 제1a 입력AND게이트(AND1a)에 인가할 수 있다.

[0072] 제1 카운터장치(22)는 제11 내지 제13 출력신호(DIS1, DIS2, DIS3)의 펄스개수의 합이 미리 저장된 제1 기준펄스갯수보다 크거나 같은 경우, 제1 디스에이블제어신호(disconsig1)를 제1 입력AND게이트(AND1a)에 인가할 수 있다.

[0073] 제1a AND게이트(AND1a)는 제1a 지연소자(D1a)의 입력단 및 출력단에 연결될 수 있다. 제1a AND게이트(AND1a)는 인에이블신호(IS1) 및 제11 출력신호(DIS1)를 논리곱하여 제1 서브발진신호(LO1)를 생성할 수 있다.

[0074] 도 3을 참고하면, 제1 서브발진신호(LO1)는 인에이블신호(IS1)가 라이징하는 시점에서 라이징엣지가 발생할 수 있다. 제1 서브발진신호(LO1)는 제11 출력신호(DIS1)가 폴링하는 시점에서 폴링엣지가 발생할 수 있다.

[0075] 제1 서브발진신호(LO1)는 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점 사이에는 소정의 하이전압레벨을 가지며 일정하게 유지된다. 제1 서브발진신호(LO1)의 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생한 이후 시점에는 로우전압레벨을 가지며 일정하게 유지될 수 있다.

[0076] 제2 내지 제3 서브발진신호(LO2, LO3)가 생성되는 과정은 상기 제1 서브발진신호(LO1)와 실질적으로 유사하거나 동일하므로 중복되는 설명은 생략하기로 한다.

[0077] 제1 OR게이트(OR1a)는 제1a 내지 제3a AND게이트(AND1a, AND2a, AND3a)에 연결될 수 있다. 제1 OR게이트(OR1a)는 제1 내지 제3 서브발진신호(LO1, LO2, LO3)를 논리합하여 타겟임펄스기간동안 3개의 펄스를 가지는 발진신호(LO신호)를 생성할 수 있다.

[0078] 제1 OR게이트(OR1a)에서 생성된 발진신호(LO신호)는 제1 게이티드-링 발진기(600)에 포함된 지연소자의 개수와 동일한 3개의 펄스를 가지며, 상기 3개의 펄스 각각은 상기 제1 지연기간(DT)을 펄스주기로 가진다.

[0079] 제1 OR게이트(OR1a)는 합성한 발진신호(LO신호)는 임펄스신호생성기(40)로 제공할 수 있다.

[0080] 도 2 내지 도 3에서 상술한 바와 같이, 본 발명의 한 실시예에 따른 발진신호생성기(20)는 생성하고자 하는 발진신호(LO신호)의 제1 기준펄스개수를 미리 저장할 수 있다. 발진신호생성기(20)는 제1 게이티드-링 발진기(600)에서 생성된 출력신호의 펄스 개수를 실시간으로 카운팅하고 미리저장된 기준펄스개수에 도달한 경우, 제1 게이티드-링 발진기(600)에서 출력신호의 생성을 중단시킬 수 있다.

[0081] 위 과정을 통하여 발진신호생성기(20)는 타겟임펄스기간에서만 사용자에 의해 설정된 펄스개수를 가지는 발진신호(LO)신호를 생성할 수 있고, 이후 임펄스 신호를 생성하는 과정에서 소비전력을 감소시킬 수 있다.

[0082] 도 4는 본 발명의 한 실시예에 따른 인벨롭신호생성기와 게이티드-링 발진기를 나타내는 도면이다. 도 5는 본 발명의 한 실시예에 따른 인벨롭신호를 생성하는 과정을 나타낸 파형도이다.

[0083] 이하, 도 4 및 도 5를 함께 참고하여 인벨롭신호생성기(3) 및 제2 게이티드-링 발진기(610)에서 복수의 인벨롭신호를 생성하는 과정을 설명한다.

[0084] 도 4를 참고하면 제2 게이티드-링 발진기(610)는 3개의 제2 지연소자(D1b, D2b, D3b)를 포함하는 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 제2 게이티드-링 발진기(610)는 복수 개의 제2 지연소자를 포함할 수 있다.

[0085] 도 4를 참고하면, 제2 게이티드-링 발진기(610)는 직렬로 연결된 복수의 제2 지연소자(D1b, D2b, D3b), 및 복수의 제2 지연소자(D1b, D2b, D3b) 사이에 적어도 하나의 제2 스위치(S1b, S2b, S3b) 및 적어도 하나의 제2 커패시터(C1b, C2b, C3b)를 포함한다.

[0086] 제2 게이티드-링 발진기(610)는 인에이블신호생성기(10)에서 인가된 인에이블신호(IS1)가 인가되는 경우, 턴-온되어 동작을 한다. 제2 게이티드-링 발진기(610)는 인에이블신호생성기(10)에서 인에이블신호(IS1)가 인가되지 않는 경우 턴-오프되어 동작을 하지 않는다.

[0087] 즉, 제2 게이티드-링 발진기(610)는 제1b 지연소자(D1b)의 입력단과 제3b 지연소자(D3b)의 출력단이 연결된 링(ring) 형태이며, 인에이블신호생성기(10)에서 인에이블신호(IS1)가 인가된 경우에만 턴-온되어 동작하는 게이티드(gated) 형태이다.

[0088] 제2 게이티드-링 발진기(610)는 인에이블신호생성기(10)에서 인에이블신호(IS1)가 인가된 경우 턴-온되고, 인에이블신호(IS1)에 기초하여 제2 출력신호(DIS1', DIS2', DIS3')를 생성할 수 있다. 제2 게이티드-링 발진기(610)는 제2 출력신호(DIS1', DIS2', DIS3')를 인벨롭신호생성기(30)의 제2 카운터장치(31)에 인가할 수 있다.

[0089] 제2 게이티드-링 발진기(610)에서 생성되는 제2 출력신호(DIS1', DIS2', DIS3')는 제1 게이티드-링 발진기(600)에서 생성되는 제1 출력신호(DIS1, DIS2, DIS3)와 동일한 신호에 해당하므로 제2 출력신호(DIS1', DIS2', DIS3')의 파형도는 생략하기로 한다.

[0090] 또한, 제2 출력신호(DIS1', DIS2', DIS3')를 생성하는 과정은 도 2에서 상술한 제1 출력신호(DIS1, DIS2, DIS3)와 실질적으로 동일하므로 중복되는 설명은 생략하기로 한다.

[0091] 인벨롭신호생성기(30)는 제1b 입력AND게이트(AND1b), 제2 레지스터장치(31), 제2 카운터장치(32), 복수의 인벨롭신호출력기(33(1), 33(2), 쩜, 33(m))를 포함한다.

[0092] 제1b 입력AND게이트(AND1b)는 제2 게이티드-링 발진기(610)에 연결될 수 있다. 제1b 입력AND게이트(AND1b)는 제2 카운터장치(32)에서 제공된 제2 제어신호에 기초하여 인에이블신호(IS1)를 제2 게이티드-링 발진기(610)에 인가할 수 있다.

[0093] 구체적으로, 제2 인에이블제어신호(enconsig2)가 인가되는 경우, 제1b 입력AND게이트(AND1b)는 인에이블신호(IS1)를 제2 게이티드-링 발진기(610)에 인가할 수 있다. 제2 디스에이블제어신호(disconsig2)가 인가되는 경우, 제1b 입력AND게이트(AND1b)는 인에이블신호(IS1)를 제2 게이티드-링 발진기(610)에 인가하지 않을 수 있다.

[0094] 제2 레지스터장치(31)는 제2 게이티드-링 발진기(610)에서 출력되는 제2 출력신호(DIS1', DIS2', DIS3')의 펄스개수의 합인 제2 기준펄스개수를 미리 저장할 수 있다. 제2 기준펄스개수는 사용자에 의해 임의로 설정될 수 있으며, 제2 기준펄스개수는 제2 게이티드-링 발진기(610)에 포함된 제2 지연소자의 개수와 동일할 수 있다.

[0095] 제2 카운터장치(32)는 제1b 내지 제3b 지연소자(D1b, D2b, D3b)의 출력단에 연결될 수 있다. 제2 카운터장치(32)는 제1b 내지 제3b 지연소자(D1b, D2b, D3b)의 제21 내지 제23 출력신호(DIS1', DIS2', DIS3')의 펄스개수를 카운팅할 수 있다. 제2 카운터장치(32)는 제21 내지 제23 출력신호(DIS1', DIS2', DIS3')의 펄스개수의 합과 미리 저장된 제2 기준펄스개수를 비교할 수 있다.

[0096] 제2 카운터장치(32)는 제21 내지 제23 출력신호(DIS1', DIS2', DIS3')의 펄스개수의 합이 미리 저장된 제2 기준펄스개수보다 작은 경우, 제2 인에이블제어신호(enconsig2)를 제1b 입력AND게이트(AND1b)에 인가할 수 있다.

[0097] 제2 카운터장치(32)는 제21 내지 제23 출력신호(DIS1', DIS2', DIS3')의 펄스개수의 합이 미리 저장된 제2 기준펄스개수보다 크거나 같은 경우, 제2 디스에이블제어신호(disconsig2)를 제1b 입력AND게이트(AND1b)에 인가할 수 있다.

[0098] 도 4 및 도 5를 함께 참고하면, 제2 카운터장치(32)는 제21 내지 제23 출력신호(DIS1', DIS2', DIS3')의 펄스개수의 합과 동일한 펄스개수를 가지고, 제2 지연기간(2DT)을 가지며 출력되는 복수의 카운팅제어신호(Csig1, Csig2, 쩜, Csigm)를 생성할 수 있다.

[0099] 제2 카운터장치(32)는 복수의 인벨롭신호출력기(33(1), 33(2), 쩜, 33(m))가 동작을 시작하는 시점인 셋시점 및 동작을 중지하는 리셋시점을 설정할 수 있다.

[0100] 제2 카운터장치(32)는 복수의 카운팅제어신호, 셋시점, 및 리셋시점에 기초하여 복수의 인벨롭신호출력기(33(1), 33(2), 쩜, 33(m))의 시작동작을 제어하는 셋제어신호(SET1, SET2, 쩜, SETm) 및 복수의 인벨롭신호출력기(33(1), 33(2), 쩜, 33(m))의 중지동작을 제어하는 리셋제어신호(RESET1, RESET2, 쩜, RESETm)를 생성할 수 있다.

[0101] 제2 카운터장치(32)는 복수의 카운팅제어신호 중 첫번째 펄스인 제1 카운팅제어펄스 및 마지막 펄스인 제3 카운팅제어펄스의 라이징엣지와 폴링엣지를 기반으로 복수의 셋제어신호(SET1, SET2, 쩜, SETm)를 생성할 수 있다.

[0102] 도 5를 참고하면, 제1 셋제어신호(SET1)는 제1 카운팅제어펄스(csig1)가 라이징하는 시점에서 라이징엣지가 발생할 수 있다. 제1 셋제어신호(SET1)는 제1 카운팅제어펄스(csig1)가 폴링하는 시점에서 폴링엣지가 발생할 수 있다.

[0103] 제1 셋제어신호(SET1)는 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점 사이에는 소정의 하이전압을 가지며 일정하게 유지된다. 제1 셋제어신호(SET1)는 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생한 이후시점에는 로우전압레벨을 가지며 일정하게 유지될 수 있다.

[0104] 제1 리셋제어신호(RESET1)는 제3 카운팅제어펄스(cig 3)가 라이징하는 시점에서 라이징엣지가 발생할 수 있다. 제1 리셋제어신호(RESET1)는 제3 카운팅제어펄스(csig3)가 폴링하는 시점에서 폴링엣지가 발생할 수 있다.

[0105] 제1 리셋제어신호(RESET1)는 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점 사이에는 소정의 하이전압을 가지며 일정하게 유지될 수 있다. 제1 리셋제어신호(RESET1)는 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생한 이후시점에는 로우전압레벨을 가지며 일정하게 유지될 수 있다.

[0106] 제2 내지 제m 셋제어신호(SET2, 쩜, SETm) 및 제2 내지 제m 리셋제어신호(RESET2, 쩜, RESETm)를 생성하는 과

정은 상기 제1 셋제어신호(SET1) 및 제1 리셋제어신호(RESET1)와 실질적으로 유사하거나 동일하므로 중복되는 설명은 생략하기로 한다.

[0107] 복수의 인벨롭신호출력기(33(1), 쩐, 33(m))는 복수의 셋제어신호(SET1, 쩐, SET m) 및 복수의 리셋제어신호(RESET1, 쩐, RESETm)에 기초하여 복수의 인벨롭신호(ENV1, 쩐, ENVm)를 생성할 수 있다.

[0108] 이하, 제1 인벨롭신호출력기(33(1)) 및 제2 인벨롭신호출력기(33(2)를 예로 들어 설명하기로 한다.

[0109] 제1 인벨롭신호출력기(33(1))는 제1 셋제어신호(SET1) 및 제1 리셋제어신호(RESET1)에 기초하여 제1 인벨롭신호(ENV1)를 생성할 수 있다. 구체적으로,

[0110] 제1 인벨롭신호(ENV1)는 제1 셋제어신호(SET1)가 라이징하는 시점에서 라이징엣지가 발생할 수 있다. 제1 인벨롭신호(ENV1)는 제1 리셋제어신호(RESET)가 라이징하는 시점에서 폴링엣지가 발생할 수 있다.

[0111] 제1 인벨롭신호(ENV1)는 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점 사이에 소정의 하이전압을 가지며 일정하게 유지된다. 제1 인벨롭신호(ENV1)는 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생한 이후 시점에는 로우전압레벨을 가지며 일정하게 유지될 수 있다.

[0112] 제1 내지 제m 인벨롭신호(ENV1, ENV2, 쩐, ENVm)은 서로 제2 지연기간(2DT)을 가지며 출력될 수 있다. 제2 내지 제m 인벨롭신호(ENV2, ENV3, 쩐, ENVm)의 생성과정은 상술한 제1 인벨롭신호(ENV1)와 실질적으로 동일하므로 중복된 설명은 생략하기로 한다.

[0113] 제1 내지 제m 인벨롭신호출력기(33(1), 33(2), 쩐, 33(m))는 제1 내지 제m 인벨롭신호(ENV1, ENV2, 쩐, ENVm)를 임펄스신호생성기(40)로 제공할 수 있다.

[0114] 도 4 내지 도 5에서 상술한 바와 같이, 본 발명의 한 실시예에 따른 제2 게이티드-링 발진기(610) 및 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(610)에서 출력하는 제2 출력신호의 펄스 개수의 합인 제2 기준펄스개수를 미리저장할 수 있다. 인벨롭신호생성기(30)는 제2 게이티드-링 발진기(610)에서 생성된 출력신호의 펄스개수를 실시간으로 카운팅하고, 합이 미리저장된 제2 기준펄스개수에 도달한 경우, 제2 게이티드-링 발진기(610)에서 제2 출력신호의 생성을 중단시킬 수 있다.

[0115] 이에 기초하여, 인벨롭신호생성기(30)는 제2 출력신호에 기초하여 소정의 시간동안 소정의 전압레벨로 지속되는 복수의 인벨롭신호를 생성할 수 있고, 이후 임펄스 신호를 생성하는 과정에서 소비전력을 감소시킬 수 있다.

[0116] 도 6은 본 발명의 한 실시예에 따른 임펄스신호생성기를 나타내는 도면이다. 도 7은 본 발명의 한 실시예에 따른 로직게이트를 나타내는 도면이다.

[0117] 이하, 도 6 및 도 7을 함께 참고하여 본 발명의 한 실시예에 따른 발진신호(LO) 및 복수의 인벨롭신호를 이용하여 임펄스 신호를 생성하는 과정을 설명한다.

[0118] 본 발명의 한 실시예에 따른 임펄스신호생성기(40)는 복수의 로직게이트(400(1), 400(2), 쩐, 400(m)), 제1 트랜지스터(또는 피모스(PMOS)), 및 제2 트랜지스터(또는, 엔모스(NMOS))를 포함한다.

[0119] 제1 내지 제m 로직게이트(400(1), 400(2), 쩐, 400(m))에는 발진신호생성기(20)에서 생성된 발진신호(LO)신호가 공통적으로 인가된다. 제1 내지 제m 로직게이트(400(1), 400(2), 쩐, 400(m))에는 인벨롭신호생성기(30)에서 생성된 제1 내지 제m 인벨롭신호(ENV1, 쩐, ENVm)가 인가된다.

[0120] 도 6을 참고하면, 제1 로직게이트(400(1))는 제1 인버터(INV1), 제2 인버터(INV2), NAND게이트, 및 NOR게이트를 포함한다.

[0121] 발진신호생성기(20)에서 생성된 발진신호(LO신호)는 제1 로직게이트(400(1))의 NAND게이트 및 NOR게이트에 공통적으로 인가된다. 제1 인벨롭신호출력기(30(1))에서 출력된 제1 인벨롭신호(ENV1)는 제1 내지 제2 인버터(INV1, INV2)를 거쳐 NAND게이트로 인가된다. 제1 인벨롭출력기(30(1))에서 출력된 제1 인벨롭신호(ENV1)는 제2 인버터(INV2)를 거쳐 NOR게이트로 인가된다.

[0122] 발진신호생성기(20)에서 생성된 발진신호(LO신호)는 제1 로직게이트(400(1))의 NAND게이트 및 NOR게이트에 공통적으로 인가된다. 제m 인벨롭신호출력기(30(m))에서 출력된 제m 인벨롭신호(ENVm)는 제1 내지 제2 인버터(INV1, INV2)를 거쳐 NAND게이트로 인가된다. 제m 인벨롭출력기(30(m))에서 출력된 제m 인벨롭신호(ENVm)는 제2 인버터(INV2)를 거쳐 NOR게이트로 인가된다.

[0123] 제1 내지 제m 로직게이트(400(1), 쩐, 400(m))을 경유한 임펄스신호는 제1 트랜지스터(또는, PMOS) 및 제2 트랜

지스터(또는, NMOS)의 동작에 따라서 외부로 출력될 수 있다.

[0124] 도 8은 본 발명의 한 실시예에 따른 임펄스신호를 생성하는 과정을 나타내는 파형도이다.

[0125] 도 8을 참고하면, 본 발명의 한 실시예에 따른 발진신호(또는, LO신호)는 타겟임펄스기간(Ndt) 동안 제1 게이티드-링 발진기(600)에 구비된 지연소자의 개수에 따라서 소정의 개수(n개)의 펄스를 가진다.

[0126] 또한, 본 발명의 한 실시예에 따른 복수의 인벨롭신호(ENV1, ENV2, 쩓, ENVn)는 제2 게이티드-링 발진기(610)에 구비된 지연소자의 개수에 따라서 소정의 기간동안 소정의 전압레벨로 지속되는 펄스를 가진다.

[0127] 임펄스신호는 발진신호와 복수의 인벨롭신호에 의해서 생성되며, 발진신호가 생성되는 기간인 타겟임펄스기간(Ndt)동안에만 생성된다. 또한, 임펄스신호는 발진신호를 구성하는 펄스의 주기와 동일한 주기를 가지는 펄스로 구성된다.

[0128] 예를 들어, 임펄스 신호는 발진신호와 마찬가지로 소정의 개수(n개)의 펄스를 가진다. 이때, 복수의 인벨롭신호(ENV1, ENV2, 쩓, ENVn)를 합산한 합산인벨롭신호의 형태에 대응하여 발진신호(LO신호)의 형태가 변경되어 임펄스 신호가 생성될 수 있다.

[0129] 도 8에서 상술한 바와 같이, 본 발명의 한 실시예에 따른 임펄스신호는 발진신호와 복수의 인벨롭신호에 의해서 생성될 수 있다. 이때, 발진신호는 사용자에 의해서 배치된 지연소자의 개수에 따라서 타겟임펄스기간동안에만 소정의 개수를 가지는 펄스로 구성될 수 있다. 또한, 사용자에 의해서 배치된 지연소자의 개수에 따라서 복수의 인벨롭신호의 개수가 결정될 수 있다. 사용자에 의해서 설정된 발진신호 및 복수의 인벨롭신호를 이용하여 임펄스신호를 생성하므로 소비전력을 감소시킬 수 있다.

[0130] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0131] 1: 광대역 임펄스 생성 장치

10: 입력신호생성기

20: 발진신호생성기

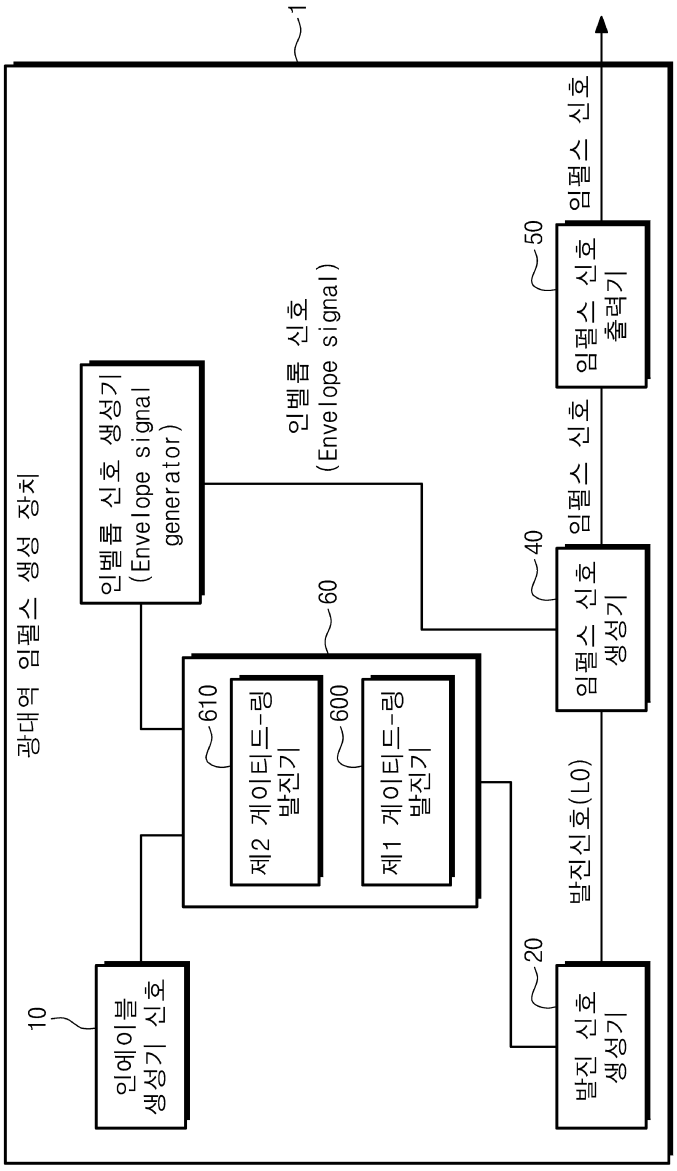
30: 인벨롭신호생성기

40: 임펄스신호생성기

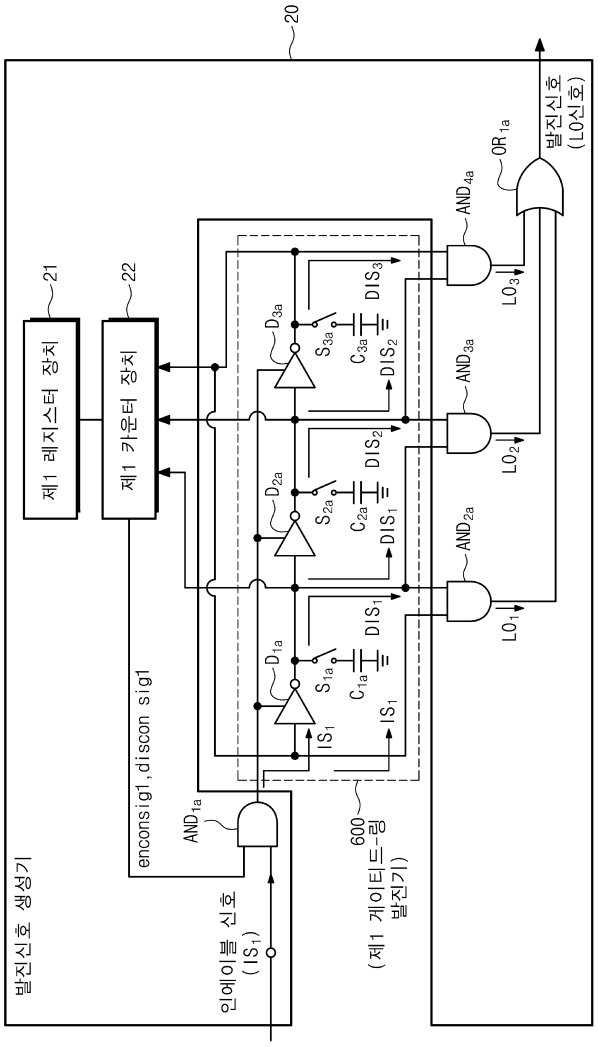
50: 임펄스신호출력기

도면

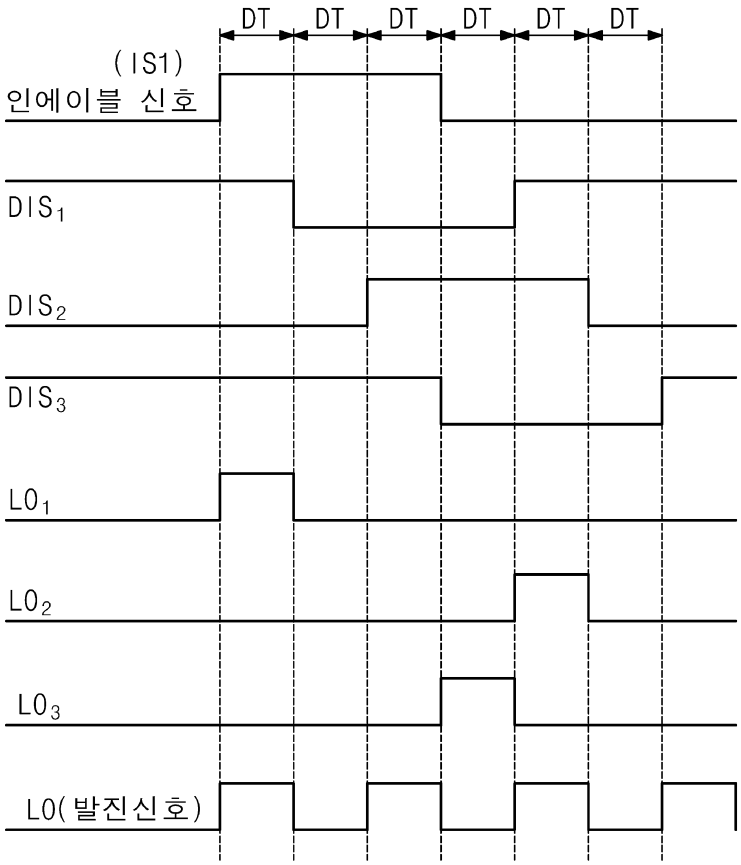
도면1


1
광대역 임펄스 생성 장치
인벨롭 신호 생성기
(Envelope signal generator)
인벨롭 신호
(Envelope signal)
60
610
제2 게이티드-링 발진기
600
제1 게이티드-링 발진기
10
인에이블 생성기 신호
20
발진 신호 생성기
발진신호(LO)
40
임펄스 신호 생성기
임펄스 신호
50
임펄스 신호 출력기
임펄스 신호

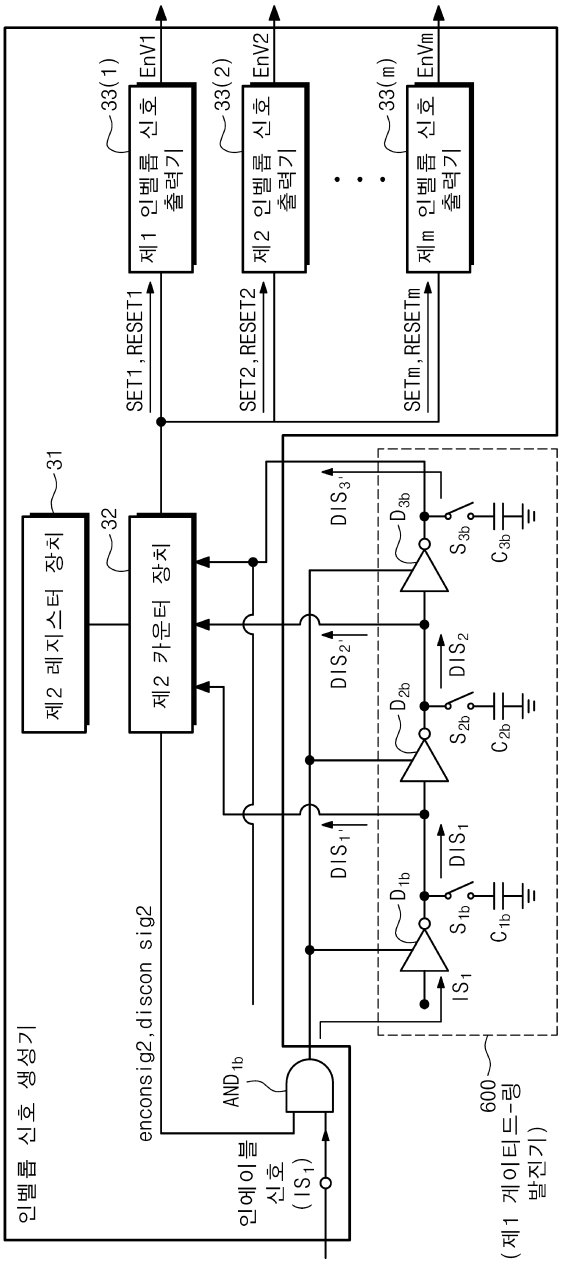
도면2


20
21
22
제1 레지스터 장치
제1 카운터 장치
enconsig1,discon sig1
발진신호 생성기
인에이블 신호
(IS_1)
AND_{1a}
600
(제1 게이티드-링 발진기)
D_{1a}
S_{1a}
C_{1a}
DIS_1
IS_1
D_{2a}
S_{2a}
C_{2a}
DIS_2
D_{3a}
S_{3a}
C_{3a}
DIS_3
AND_{2a}
AND_{3a}
AND_{4a}
LO_1
LO_2
LO_3
OR_{1a}
발진신호
(LO신호)

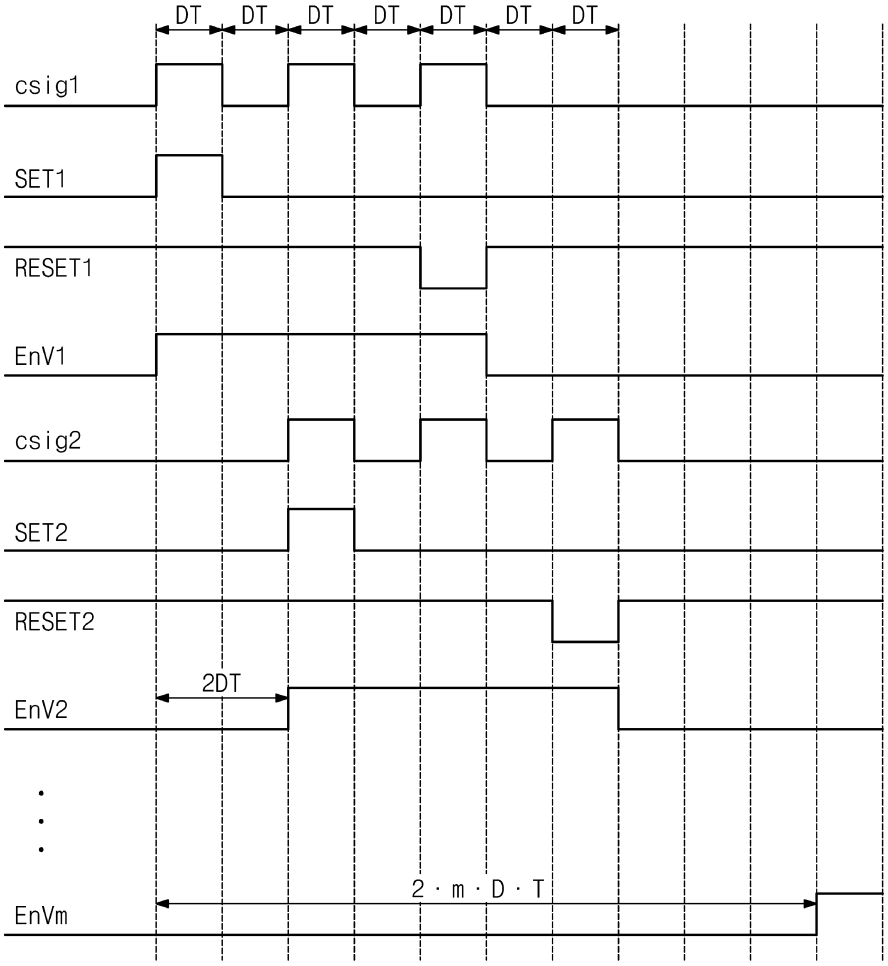
도면3



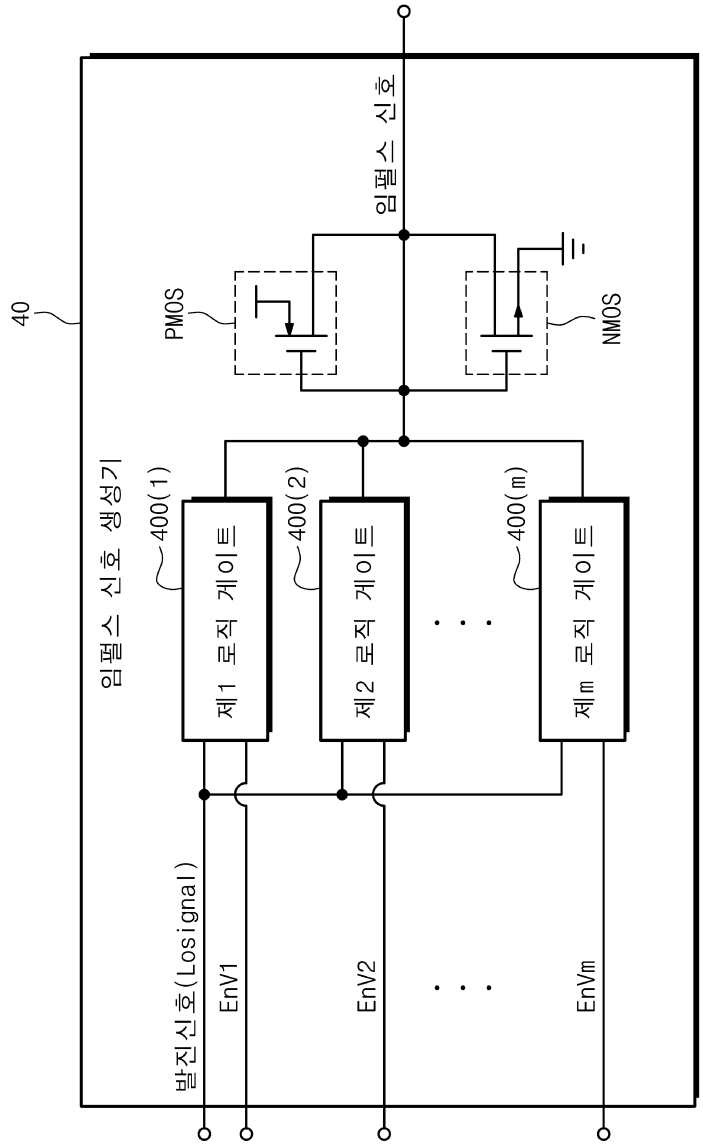
도면4


인벨롭 신호 생성기
제2 레지스터 장치
31
제2 카운터 장치
32
enconsig2, discon sig2
인에이블 신호 (IS_1)
AND_{1b}
33(1)
제1 인벨롭 신호 출력기
EnV1
SET1, RESET1
33(2)
제2 인벨롭 신호 출력기
EnV2
SET2, RESET2
33(m)
제m 인벨롭 신호 출력기
EnVm
SETm, RESETm
$DIS_{3'}$
$DIS_{2'}$
$DIS_{1'}$
D_{3b}
D_{2b}
D_{1b}
S_{3b}
S_{2b}
S_{1b}
C_{3b}
C_{2b}
C_{1b}
DIS_2
DIS_1
IS_1
600
(제1 게이티드-링 발진기)

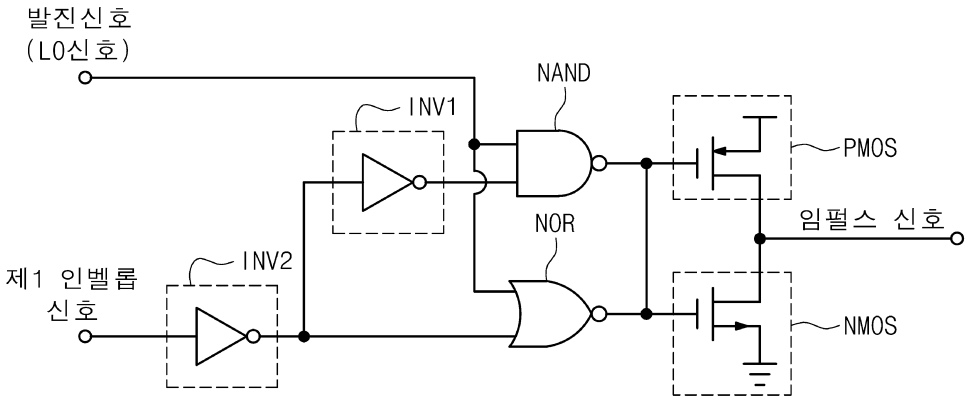
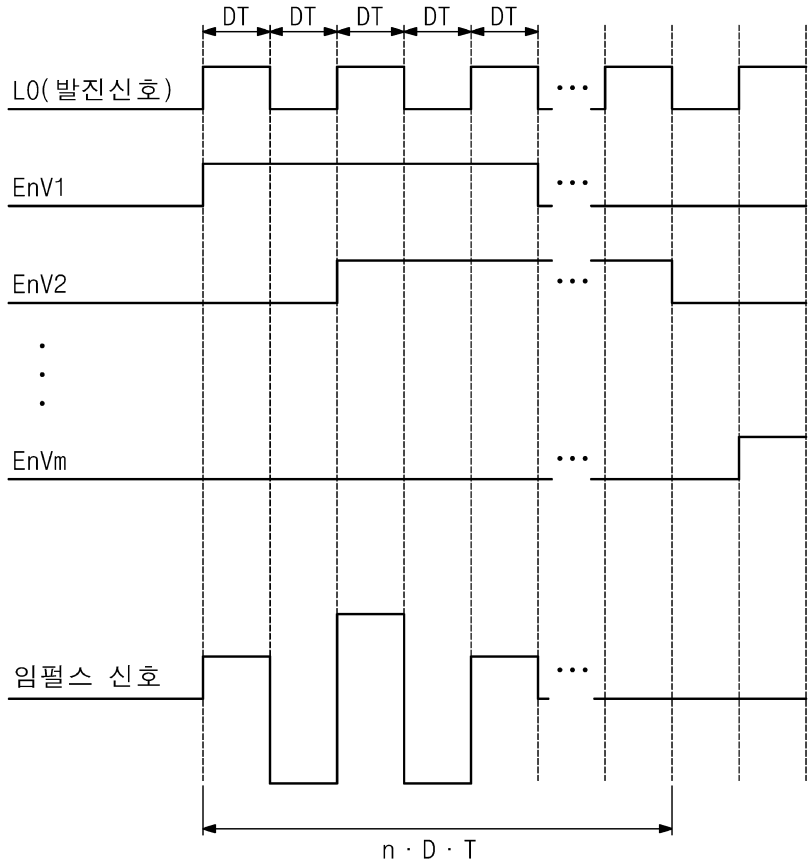
도면5


DT
DT
DT
DT
DT
DT
DT
csig1
SET1
RESET1
EnV1
csig2
SET2
RESET2
2DT
EnV2
2 · m · D · T
EnVm

도면6


40
PMOS
NMOS
임펄스 신호
임펄스 신호 생성기
400(1)
400(2)
400(m)
제1 로직 게이트
제2 로직 게이트
제m 로직 게이트
발진신호(Losignal)
EnV1
EnV2
EnVm

도면7


발진신호
(LO신호)
INV1
NAND
PMOS
임펄스 신호
NOR
INV2
제1 인벨롭
신호
NMOS

도면8