



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0081226  
(43) 공개일자 2023년06월07일

(51) 국제특허분류(Int. Cl.)  
H01L 29/26 (2006.01) G06N 3/063 (2023.01)  
H01L 29/66 (2006.01)  
(52) CPC특허분류  
H01L 29/26 (2013.01)  
G06N 3/063 (2013.01)  
(21) 출원번호 10-2021-0169091  
(22) 출원일자 2021년11월30일  
심사청구일자 2021년11월30일

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
여중석  
인천광역시 연수구 컨벤시아대로130번길 100,  
1806동 2503호(송도동, 송도 더샵 그린워크 3차)  
박상현  
인천광역시 연수구 아트센터대로 131(송도동)  
(74) 대리인  
특허법인우인

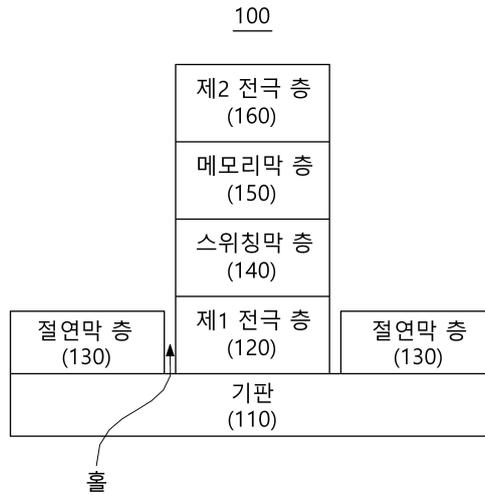
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 뉴로모픽 소자 및 이의 제조 방법

(57) 요약

본 발명의 바람직한 실시예에 따른 뉴로모픽 소자 및 이의 제조 방법은, 선택기(selector)와 메모리(memory)를 같은 원소 구성을 가지며 다른 조성으로 이루어진 물질을 이용함으로써, 단일 공정에서 연속적으로 뉴로모픽 소자를 제작할 수 있고, 공정 단계를 줄일 수 있다.

대표도 - 도3



(52) CPC특허분류

**H01L 29/66969** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711133832
과제번호	10080625
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D, 정보화)
연구과제명	초고속 / 저에너지 멀티레벨 메모리/시냅스 소자 개발
기여율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2021.01.01 ~ 2021.12.31

---

## 명세서

### 청구범위

#### 청구항 1

기판 위에 형성되는 제1 전극 층;

상기 제1 전극 층이 형성된 상기 기판 위에 형성되며, 상기 제1 전극 층을 노출시키는 홀을 포함하는 절연막 층;

상기 홀 내에서 노출된 상기 제1 전극 층 위에 형성되는 스위칭막 층;

상기 스위칭막 층 위에 형성되는 메모리막 층; 및

상기 메모리막 층 위에 형성되는 제2 전극 층;

을 포함하며,

상기 스위칭막 층 및 상기 메모리막 층은,

반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질로 이루어지고, 상기 스위칭막 층의 상기 칼코겐 특성 원소의 조성비와 상기 메모리막 층의 상기 칼코겐 특성 원소의 조성비가 서로 상이한,

뉴로모픽 소자.

#### 청구항 2

제1항에서,

상기 스위칭막 층의 상기 칼코겐 특성 원소의 농도는,

상기 메모리막 층의 상기 칼코겐 특성 원소의 농도보다 큰,

뉴로모픽 소자.

#### 청구항 3

제1항에서,

상기 반도체 특성 원소는,

저마늄(Ge), 실리콘(Si), 안티모니(Sb), 비소(As), 갈륨(Ga) 및 알루미늄(Al) 중 하나이며,

상기 칼코겐 특성 원소는,

텔루륨(Te), 산소(O), 황(S), 셀레늄(Se), 폴로늄(Po) 및 리버모륨(Lv) 중 하나인,

뉴로모픽 소자.

#### 청구항 4

제1항에서,

상기 스위칭막 층 및 상기 메모리막 층으로 이루어지는 물질막 층이 상기 제1 전극 층과 상기 제2 전극 층 사이에 복수개 존재하는,

뉴로모픽 소자.

#### 청구항 5

제1항에서,

상기 스위칭막 층 및 상기 메모리막 층 사이에 위치하여, 상기 스위칭막 층과 상기 메모리막 층 사이의 원소 이

동을 방지하는 분리막 층;  
을 더 포함하는 뉴로모픽 소자.

#### 청구항 6

제1항에서,  
상기 스위칭막 층 및 상기 메모리막 층 사이에 위치하는 제3 전극 층;  
을 더 포함하는 뉴로모픽 소자.

#### 청구항 7

기판 위에 제1 전극 층을 형성하는 단계;  
상기 제1 전극 층이 형성된 상기 기판 위에 절연막 층을 형성하는 단계;  
상기 절연막 층에서 상기 제1 전극 층을 노출시키는 홀을 형성하는 단계;  
상기 홀 내에서 노출된 상기 제1 전극 층 위에 스위칭막 층을 형성하는 단계;  
상기 스위칭막 층 위에 메모리막 층을 형성하는 단계; 및  
상기 메모리막 층 위에 제2 전극 층을 형성하는 단계;  
를 포함하며,  
상기 스위칭막 층 및 상기 메모리막 층은,  
반도체 특성 원소 및 칼코젠 특성 원소의 조합으로 이루어진 물질로 이루어지고, 상기 스위칭막 층의 상기 칼코젠 특성 원소의 조성비와 상기 메모리막 층의 상기 칼코젠 특성 원소의 조성비가 서로 상이한,  
뉴로모픽 소자의 제조 방법.

#### 청구항 8

제7항에서,  
상기 스위칭막 층의 상기 칼코젠 특성 원소의 농도는,  
상기 메모리막 층의 상기 칼코젠 특성 원소의 농도보다 큰,  
뉴로모픽 소자의 제조 방법.

#### 청구항 9

제7항에서,  
상기 반도체 특성 원소는,  
저마늄(Ge), 실리콘(Si), 안티모니(Sb), 비소(As), 갈륨(Ga) 및 알루미늄(Al) 중 하나이며,  
상기 칼코젠 특성 원소는,  
텔루륨(Te), 산소(O), 황(S), 셀레늄(Se), 폴로늄(Po) 및 리버모륨(Lv) 중 하나인,  
뉴로모픽 소자의 제조 방법.

#### 청구항 10

제7항에서,  
상기 스위칭막 층 및 상기 메모리막 층으로 이루어지는 물질막 층이 상기 제1 전극 층과 상기 제2 전극 층 사이에 복수개 존재하도록, 상기 스위칭막 층 형성 단계와 상기 메모리막 층 형성 단계를 복수회 수행하는,  
뉴로모픽 소자의 제조 방법.

**청구항 11**

제7항에서,

상기 스위칭막 층과 상기 메모리막 층 사이의 원소 이동을 방지하는 분리막 층을 상기 스위칭막 층 위에 형성하는 단계;

를 더 포함하며,

상기 메모리막 층 형성 단계는,

상기 분리막 층 위에 상기 메모리막 층을 형성하는 것으로 이루어지는,

뉴로모픽 소자의 제조 방법.

**청구항 12**

제7항에서,

제3 전극 층을 상기 스위칭막 층 위에 형성하는 단계;

를 더 포함하며,

상기 메모리막 층 형성 단계는,

상기 제3 전극 층 위에 상기 메모리막 층을 형성하는 것으로 이루어지는,

뉴로모픽 소자의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 뉴로모픽 소자 및 이의 제조 방법에 관한 것으로서, 더욱 상세하게는 같은 원소 계열의 물질로 제작한 선택 소자와 메모리 소자를 적층한 cross-point 구조를 이용하여 집적도 문제와 성능을 개선한 뉴로모픽 메모리에 관한 것이다.

**배경 기술**

[0002] 3D 크로스-포인트(cross-point) 구조를 이용하여 집적도 문제와 성능을 획기적으로 개선한 새로운 세대의 뉴로모픽 메모리는 1S-1R 구조를 통해 스니크 전류(sneak current) 및 전압 감쇄(voltage decay) 문제를 해결할 수 있으나, 스위치(switch)와 메모리(memory)의 소재가 서로 달라 다른 공정을 요구하므로 여전히 소자의 아키텍처 디자인, 공정의 복잡도 및 공정 비용이 주요한 문제로 존재한다. 포인트 어레이(array)가 N개의 레이어(layer)를 필요로 하면, N+1번의 마스크 스텝(masking step)이 필요하며, 크로스-포인트 셀 크기(cell size) 역시 N+1번의 마스크 스텝 및 리소그래피 공정(lithography process)을 통해 결정된다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 이루고자 하는 목적은, 선택기(selector)와 메모리(memory)를 같은 원소 구성을 가지며 다른 조성으로 이루어진 물질을 이용하는, 뉴로모픽 소자 및 이의 제조 방법을 제공하는 데 있다.

[0004] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

**과제의 해결 수단**

[0005] 상기의 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자는, 기판 위에 형성되는 제1 전극 층; 상기 제1 전극 층이 형성된 상기 기판 위에 형성되며, 상기 제1 전극 층을 노출시키는 홀을 포함하는 절

연막 층; 상기 홀 내에서 노출된 상기 제1 전극 층 위에 형성되는 스위칭막 층; 상기 스위칭막 층 위에 형성되는 메모리막 층; 및 상기 메모리막 층 위에 형성되는 제2 전극 층;을 포함하며, 상기 스위칭막 층 및 상기 메모리막 층은, 반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질로 이루어지고, 상기 스위칭막 층의 상기 칼코겐 특성 원소의 조성비와 상기 메모리막 층의 상기 칼코겐 특성 원소의 조성비가 서로 상이하다.

[0006] 여기서, 상기 스위칭막 층의 상기 칼코겐 특성 원소의 농도는, 상기 메모리막 층의 상기 칼코겐 특성 원소의 농도보다 클 수 있다.

[0007] 여기서, 상기 반도체 특성 원소는, 저마늄(Ge), 실리콘(Si), 안티모니(Sb), 비소(As), 갈륨(Ga) 및 알루미늄(Al) 중 하나이며, 상기 칼코겐 특성 원소는, 텔루륨(Te), 산소(O), 황(S), 셀레늄(Se), 폴로늄(Po) 및 리버모륨(Lv) 중 하나일 수 있다.

[0008] 여기서, 상기 스위칭막 층 및 상기 메모리막 층으로 이루어지는 물질막 층이 상기 제1 전극 층과 상기 제2 전극 층 사이에 복수개 존재할 수 있다.

[0009] 여기서, 상기 스위칭막 층 및 상기 메모리막 층 사이에 위치하여, 상기 스위칭막 층과 상기 메모리막 층 사이의 원소 이동을 방지하는 분리막 층을 더 포함할 수 있다.

[0010] 여기서, 상기 스위칭막 층 및 상기 메모리막 층 사이에 위치하는 제3 전극 층을 더 포함할 수 있다.

[0012] 상기의 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자의 제조 방법은, 기판 위에 제1 전극 층을 형성하는 단계; 상기 제1 전극 층이 형성된 상기 기판 위에 절연막 층을 형성하는 단계; 상기 절연막 층에서 상기 제1 전극 층을 노출시키는 홀을 형성하는 단계; 상기 홀 내에서 노출된 상기 제1 전극 층 위에 스위칭막 층을 형성하는 단계; 상기 스위칭막 층 위에 메모리막 층을 형성하는 단계; 및 상기 메모리막 층 위에 제2 전극 층을 형성하는 단계;를 포함하며, 상기 스위칭막 층 및 상기 메모리막 층은, 반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질로 이루어지고, 상기 스위칭막 층의 상기 칼코겐 특성 원소의 조성비와 상기 메모리막 층의 상기 칼코겐 특성 원소의 조성비가 서로 상이하다.

[0013] 여기서, 상기 스위칭막 층의 상기 칼코겐 특성 원소의 농도는, 상기 메모리막 층의 상기 칼코겐 특성 원소의 농도보다 클 수 있다.

[0014] 여기서, 상기 반도체 특성 원소는, 저마늄(Ge), 실리콘(Si), 안티모니(Sb), 비소(As), 갈륨(Ga) 및 알루미늄(Al) 중 하나이며, 상기 칼코겐 특성 원소는, 텔루륨(Te), 산소(O), 황(S), 셀레늄(Se), 폴로늄(Po) 및 리버모륨(Lv) 중 하나일 수 있다.

[0015] 여기서, 상기 스위칭막 층 및 상기 메모리막 층으로 이루어지는 물질막 층이 상기 제1 전극 층과 상기 제2 전극 층 사이에 복수개 존재하도록, 상기 스위칭막 층 형성 단계와 상기 메모리막 층 형성 단계를 복수회 수행할 수 있다.

[0016] 여기서, 상기 스위칭막 층과 상기 메모리막 층 사이의 원소 이동을 방지하는 분리막 층을 상기 스위칭막 층 위에 형성하는 단계를 더 포함하며, 상기 메모리막 층 형성 단계는, 상기 분리막 층 위에 상기 메모리막 층을 형성하는 것으로 이루어질 수 있다.

[0017] 여기서, 제3 전극 층을 상기 스위칭막 층 위에 형성하는 단계를 더 포함하며, 상기 메모리막 층 형성 단계는, 상기 제3 전극 층 위에 상기 메모리막 층을 형성하는 것으로 이루어질 수 있다.

### 발명의 효과

[0018] 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자 및 이의 제조 방법에 의하면, 선택기(selector)와 메모리(memory)를 같은 원소 구성을 가지며 다른 조성으로 이루어진 물질을 이용함으로써, 단일 공정에서 연속적으로 뉴로모픽 소자를 제작할 수 있고, 공정 단계를 줄일 수 있다.

[0019] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

### 도면의 간단한 설명

[0020] 도 1은 본 발명의 바람직한 실시예에 따른 선택 소자 특성과 메모리 소자 특성을 나타내는 물질을 설명하기 위

한 도면이다.

도 2는 도 1에 도시한 물질의 사용 예시를 설명하기 위한 도면이다.

도 3은 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자의 일례를 설명하기 위한 도면이다.

도 4는 도 3에 도시한 뉴로모픽 소자의 다른 예를 설명하기 위한 도면으로, 스위칭막 층 및 메모리막 층으로 이루어지는 물질막 층이 복수개 존재하는 경우를 나타낸다.

도 5는 도 3에 도시한 뉴로모픽 소자의 또 다른 예를 설명하기 위한 도면으로, 스위칭막 층 및 메모리막 층 사이에 분리막 층이 위치하는 경우를 나타낸다.

도 6은 도 3에 도시한 뉴로모픽 소자의 또 다른 예를 설명하기 위한 도면으로, 스위칭막 층 및 메모리막 층 사이에 제3 전극 층이 위치하는 경우를 나타낸다.

도 7은 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자의 제조 방법을 설명하기 위한 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0022] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0023] 본 명세서에서 "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0024] 본 명세서에서 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0025] 본 명세서에서, "가진다", "가질 수 있다", "포함한다" 또는 "포함할 수 있다" 등의 표현은 해당 특징(예: 수치, 기능, 동작, 또는 부품 등의 구성요소)의 존재를 가리키며, 추가적인 특징의 존재를 배제하지 않는다.
- [0026] 또한, 본 명세서에 기재된 '~부'라는 용어는 소프트웨어 또는 FPGA(field-programmable gate array) 또는 ASIC과 같은 하드웨어 구성요소를 의미하며, '~부'는 어떤 역할들을 수행한다. 그렇지만 '~부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로코드, 회로, 데이터 구조들 및 변수들을 포함한다. 구성요소들과 '~부'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부'들로 결합되거나 추가적인 구성요소들과 '~부'들로 더 분리될 수 있다.
- [0028] 이하에서 첨부한 도면을 참조하여 본 발명에 따른 뉴로모픽 소자 및 이의 제조 방법의 바람직한 실시예에 대해 상세하게 설명한다.

- [0031] 본 발명에 따른 선택 소자 특성과 메모리 소자 특성을 나타내는 물질
- [0032] 먼저, 도 1 및 도 2를 참조하여 본 발명의 바람직한 실시예에 따른 선택 소자 특성과 메모리 소자 특성을 나타내는 물질에 대하여 설명한다.
- [0033] 도 1은 본 발명의 바람직한 실시예에 따른 선택 소자 특성과 메모리 소자 특성을 나타내는 물질을 설명하기 위한 도면이고, 도 2는 도 1에 도시한 물질의 사용 예시를 설명하기 위한 도면이다.
- [0034] 도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 물질(10)은 선택 소자 특성과 메모리 소자 특성을 나타낼 수 있다.
- [0035] 여기서, 선택 소자 특성은 문턱 스위칭 선택 소자 물질에서 이용되는 전기적 특성을 나타낸다.
- [0036] 그리고, 메모리 소자 특성은 상변화 메모리 소자 물질에서 이용되는 전기적 특성을 나타낸다.
- [0037] 이를 위해, 본 발명에 따른 물질(10)은 반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질일 수 있다.
- [0038] 여기서, 반도체 특성 원소는 저마늄(Ge), 실리콘(Si), 안티모니(Sb), 비소(As), 갈륨(Ga) 및 알루미늄(Al) 중 하나일 수 있다. 바람직하게는, 본 발명에 따른 반도체 특성 원소는 저마늄(Ge)일 수 있다.
- [0039] 그리고, 칼코겐 특성 원소는 텔루륨(Te), 산소(O), 황(S), 셀레늄(Se), 폴로늄(Po) 및 리버모륨(Lv) 중 하나일 수 있다. 바람직하게는, 본 발명에 따른 칼코겐 특성 원소는 텔루륨(Te)일 수 있다.
- [0040] 예컨대, 본 발명에 따른 물질(10)은 "저마늄(Ge)-텔루륨(Te)"일 수 있다.
- [0041] 즉, 본 발명에 따른 물질(10)은 텔루륨(Te) 등과 같은 칼코겐 특성 원소의 농도에 따라 전기적 특성이 변화될 수 있다. 반도체 특성 원소의 농도를 "농도 A"라 하고, 칼코겐 특성 원소의 농도를 "농도 B"라고 하면, 물질(10)의 칼코겐 특성 원소의 농도인 "농도 B"의 함량에 따라 전기적 특성이 변화(문턱 스위칭 선택 소자 특성 ↔ 상변화 메모리 소자 특성)되게 된다. 여기서, "농도 A"와 "농도 B"의 합은 "1"이다. 보다 자세히 설명하면, 물질(10)의 칼코겐 특성 원소의 농도인 "농도 B"의 함량이 감소함에 따라, "문턱 스위칭 선택 소자 특성"에서 "상변화 메모리 소자 특성"으로 전기적 특성이 변화되게 된다.
- [0042] 예컨대, 도 2를 참조하면, 물질(10)의 칼코겐 특성 원소의 농도인 "농도 B"가  $0.4 < \text{농도 B} < 0.7$ 인 "물질막 A"는 "전기적 신호에 의해 저항 상태가 변화하며 메모리 특성을 나타내는 상변화 메모리 소자 물질막"으로서의 전기적 특성을 나타낼 수 있다. 이에 반면, 물질(10)의 칼코겐 특성 원소의 농도인 "농도 B"가  $0.75 < \text{농도 B} < 0.9$ 인 "물질막 B"는 "전기적 신호에 의해 저항 상태가 변화하며 스위칭 특성을 나타내는 문턱 스위칭 소자 물질막"으로서의 전기적 특성을 나타낼 수 있다.
- [0044] 이와 같이, 본 발명에 따른 물질(10)은 저마늄(Ge) 등과 같은 반도체 특성 원소와 텔루륨(Te) 등과 같은 칼코겐 특성 원소의 조합으로 이루어진 물질일 수 있다. 이와 같은 물질(10)을 통해 상변화 메모리 소자 물질과 문턱 스위칭 소자 물질을 구현할 수 있다.
- [0047] 본 발명에 따른 뉴로모픽 소자
- [0048] 그러면, 도 3 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자에 대하여 설명한다.
- [0049] 도 3은 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자의 일례를 설명하기 위한 도면이고, 도 4는 도 3에 도시한 뉴로모픽 소자의 다른 예를 설명하기 위한 도면으로, 스위칭막 층 및 메모리막 층으로 이루어지는 물질막 층이 복수개 존재하는 경우를 나타내며, 도 5는 도 3에 도시한 뉴로모픽 소자의 또 다른 예를 설명하기 위한 도면으로, 스위칭막 층 및 메모리막 층 사이에 분리막 층이 위치하는 경우를 나타내고, 도 6은 도 3에 도시한 뉴로모픽 소자의 또 다른 예를 설명하기 위한 도면으로, 스위칭막 층 및 메모리막 층 사이에 제3 전극 층이 위치하는 경우를 나타낸다.
- [0050] 도 3을 참조하면, 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자(100)는 선택기(selector)와 메모리(memor

y)를 같은 원소 구성을 가지며 다른 조성으로 이루어진 물질을 이용한다.

- [0051] 즉, 본 발명에 따른 뉴로모픽 소자(100)는 본 발명에 따른 물질(10)을 이용한 상변화 메모리 소자 물질막과 문턱 스위칭 소자 물질막을 포함함으로써, 멀티 레벨 코딩을 구현할 수 있다.
- [0052] 이를 위해, 뉴로모픽 소자(100)는 기관(110), 제1 전극 층(120), 절연막 층(130), 스위칭막 층(140), 메모리막 층(150) 및 제2 전극 층(160)을 포함할 수 있다.
- [0053] 제1 전극 층(120)은 기관(110) 위에 형성될 수 있다.
- [0055] 절연막 층(130)은 제1 전극 층(120)이 형성된 기관(110) 위에 형성되며, 제1 전극 층(120)을 노출시키는 홀(hole)을 포함할 수 있다.
- [0057] 스위칭막 층(140)은 홀 내에서 노출된 제1 전극 층(120) 위에 형성될 수 있다.
- [0058] 여기서, 스위칭막 층(140)은 반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질로 이루어질 수 있다.
- [0060] 메모리막 층(150)은 스위칭막 층(140) 위에 형성될 수 있다.
- [0061] 여기서, 메모리막 층(150)은 반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질로 이루어질 수 있다.
- [0063] 이때, 스위칭막 층(140)과 메모리막 층(150)은 스위칭막 층(140)의 칼코겐 특성 원소의 조성비와 메모리막 층(150)의 칼코겐 특성 원소의 조성비가 서로 상이할 수 있다. 즉, 스위칭막 층(140)의 칼코겐 특성 원소의 농도는 메모리막 층(150)의 칼코겐 특성 원소의 농도보다 클 수 있다. 예컨대, 스위칭막 층(140)의 칼코겐 특성 원소의 농도는 메모리막 층(150)의 칼코겐 특성 원소의 농도보다 크면서 0.75보다 크고 0.9보다 작을 수 있고, 메모리막 층(150)의 칼코겐 특성 원소의 농도는 스위칭막 층(140)의 칼코겐 특성 원소의 농도보다 작으면서 0.4보다 크고 0.7보다 작을 수 있다.
- [0065] 제2 전극 층(160)은 메모리막 층(150) 위에 형성될 수 있다.
- [0067] 한편, 본 발명에 따른 뉴로모픽 소자(100)는 도 4에 도시된 바와 같이, 스위칭막 층(140) 및 메모리막 층(150)으로 이루어지는 물질막 층이 제1 전극 층(120)과 제2 전극 층(160) 사이에 복수개 존재할 수 있다.
- [0069] 또한, 본 발명에 따른 뉴로모픽 소자(100)는 도 5에 도시된 바와 같이, 스위칭막 층(140) 및 메모리막 층(150) 사이에 위치하여, 스위칭막 층(140)과 메모리막 층(150) 사이의 원소 이동을 방지하는 분리막 층(170)을 더 포함할 수 있다.
- [0070] 여기서, 분리막 층(170)은 산화 방지를 위해 비산화물계 물질을 포함할 수 있다.
- [0072] 또한, 본 발명에 따른 뉴로모픽 소자(100)는 도 6에 도시된 바와 같이, 스위칭막 층(140) 및 메모리막 층(150) 사이에 위치하는 제3 전극 층(180)을 더 포함할 수 있다.
- [0073] 여기서, 제3 전극 층(180)은 독립적 어드레싱(addressing)을 위한 제3 전극을 구성할 수 있다.

- [0076] 본 발명에 따른 뉴로모픽 소자의 제조 방법
- [0077] 그러면, 도 7을 참조하여 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자의 제조 방법에 대하여 설명한다.
- [0078] 도 7은 본 발명의 바람직한 실시예에 따른 뉴로모픽 소자의 제조 방법을 설명하기 위한 흐름도이다.
- [0079] 본 발명에 따른 뉴로모픽 소자(100)의 제조 방법은 물리적 기상 증착법, 화학적 기상 증착법, 원자층 증착법 등을 이용하여 아래에서 설명하는 단계들을 통해 뉴로모픽 소자(100)를 제조할 수 있다.
- [0080] 도 7을 참조하면, 기판(110) 위에 제1 전극 층(120)을 형성할 수 있다(S110).
- [0082] 그런 다음, 제1 전극 층(120)이 형성된 기판(110) 위에 절연막 층(130)을 형성할 수 있다(S120).
- [0084] 그런 다음, 절연막 층(130)에서 제1 전극 층(120)을 노출시키는 홀을 형성할 수 있다(S130).
- [0086] 그런 다음, 홀 내에서 노출된 제1 전극 층(120) 위에 스위칭막 층(140)을 형성할 수 있다(S140).
- [0087] 여기서, 스위칭막 층(140)은 반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질로 이루어질 수 있다.
- [0089] 그런 다음, 스위칭막 층(140) 위에 메모리막 층(150)을 형성할 수 있다(S150).
- [0090] 여기서, 메모리막 층(150)은 반도체 특성 원소 및 칼코겐 특성 원소의 조합으로 이루어진 물질로 이루어질 수 있다.
- [0092] 이때, 스위칭막 층(140)과 메모리막 층(150)은 스위칭막 층(140)의 칼코겐 특성 원소의 조성비와 메모리막 층(150)의 칼코겐 특성 원소의 조성비가 서로 상이할 수 있다. 즉, 스위칭막 층(140)의 칼코겐 특성 원소의 농도는 메모리막 층(150)의 칼코겐 특성 원소의 농도보다 클 수 있다. 예컨대, 스위칭막 층(140)의 칼코겐 특성 원소의 농도는 메모리막 층(150)의 칼코겐 특성 원소의 농도보다 크면서 0.75보다 크고 0.9보다 작을 수 있고, 메모리막 층(150)의 칼코겐 특성 원소의 농도는 스위칭막 층(140)의 칼코겐 특성 원소의 농도보다 작으면서 0.4보다 크고 0.7보다 작을 수 있다.
- [0094] 이후, 메모리막 층(150) 위에 제2 전극 층(160)을 형성할 수 있다(S160).
- [0096] 한편, 본 발명에 따른 뉴로모픽 소자(100)의 제조 방법은 도 4에 도시된 바와 같이, 스위칭막 층(140) 및 메모리막 층(150)으로 이루어지는 물질막 층이 제1 전극 층(120)과 제2 전극 층(160) 사이에 복수개 존재하도록, 스위칭막 층 형성 단계(S140)와 메모리막 층 형성 단계(S150)를 복수회 수행할 수 있다.
- [0098] 또한, 본 발명에 따른 뉴로모픽 소자(100)의 제조 방법은 도 5에 도시된 바와 같이, 스위칭막 층(140)과 메모리막 층(150) 사이의 원소 이동을 방지하는 분리막 층(170)을 스위칭막 층(140) 위에 형성하는 단계를 더 포함할 수 있다. 이때, 메모리막 층 형성 단계(S150)는 분리막 층(170) 위에 메모리막 층(150)을 형성하는 것으로 이루어질 수 있다.
- [0100] 또한, 본 발명에 따른 뉴로모픽 소자(100)의 제조 방법은 도 6에 도시된 바와 같이, 제3 전극 층(180)을 스위칭막 층(140) 위에 형성하는 단계를 더 포함할 수 있다. 이때, 메모리막 층 형성 단계(S150)는 제3 전극 층(180) 위에 메모리막 층(150)을 형성하는 것으로 이루어질 수 있다.

[0103] 본 발명과 종래기술의 비교

[0104] 종래 기술은 스위치( switch )와 메모리( memory )의 소재가 서로 달라 다른 공정을 요구하므로 여전히 소자의 아키텍처 디자인, 공정의 복잡도 및 공정 비용이 주요한 문제로 존재한다.

[0105] 이에, 본 발명은 선택기( selector )와 메모리( memory )를 같은 원소 구성을 가지며 다른 조성으로 이루어진 물질로 연속적으로 제작할 수 있어, 사진 공정을 최소화한 1S-1R 구조의 같은 원소 계열의 물질로 제작한 선택 소자와 메모리 소자를 적층한 크로스-포인트( cross-point ) 메모리 장치 및 제조 방법을 제안하는 것이다.

[0106] 미국의 인텔( Intel ) 및 마이크론( Micron )에서는 제1 액세스 라인( 워드 라인 ), 제2 액세스 라인( 비트 라인 ), 및 제1 액세스 라인과 제2 액세스 라인의 각각의 토폴로지 교차점에 메모리 구성요소를 포함하는 교차점 메모리 어레이 제조 기술과 액세스 라인 사이의 메모리 구성요소( 저장 요소 구조들, 선택 장치 구조들, 전극 구조들을 포함 )에 대한 기술을 보유하고 있다. 본 발명은 이러한 포인트 어레이( array )의 공정 복잡도 및 공정 비용을 획기적으로 줄일 수 있는 효율적인 방안을 제시할 수 있다.

[0107] 한국의 삼성전자는 서로 다른 메모리 소자 물질과 선택 소자 물질로 인해 발생하는 공정의 복잡도와 공정 비용 등의 문제들을 해결하기 위해 상변화 메모리 소자 물질과 선택 소자 물질을 일체화한 선택 소자 일체형 상변화 메모리 및 그 제조 방법에 대한 기술인, 상변화 메모리 소자에 포함되는 제1 전극 및 제2 전극으로부터 공급되는 열에 의해 결정 상태가 변화되는 P 타입의 상변화 물질층 및 N 타입의 금속 산화물층을 포함하는 소자 구조에 대한 기술을 보유하고 있다. 본 발명은 메모리 소자 물질 및 선택 소자 물질의 특성을 모두 보이는 같은 원소 구성의 물질을 이용하여 보다 획기적인 공정 단계 간소화를 이루어 낼 수 있으며, 개발 소자 특성 역시 기존에 보고되는 선택 소자 특성을 우수하게 보이고 있는 효율적인 물질 및 구조를 제안할 수 있다.

[0110] 본 발명의 시장성 및 기대효과

[0111] 정보통신 기술의 융합으로 제4차 산업혁명 시대에 메모리는 언제, 어디서나, 누구에게나 필요한 4IR 기술로, 고속화의 요구, 저전력화의 요구 및 고성능 고집적의 기술 개발이 요구되고 있다. 저장용 메모리와 작업용 메모리의 기능을 동시에 구현하는 새로운 아키텍처의 개발이 요구됨에 따라 기존 DRAM의 커패시터( capacitor ) 공정의 난이도가 높아지게 되어 DRAM의 고집적성과 낮은 소비전력, 플래시( Flash ) 메모리의 비휘발성, 고속 동작을 모두 구현하기 위한 차세대 메모리의 필요성이 크게 요구되고 있다.

[0112] 차세대 비휘발성 메모리( Non-Volatile Memory, NVM ) 시장은 앞으로 5년간 60억 달러( 약 7조원 )까지 성장할 것으로 전망되며, 118%의 연평균 성장률( CAGR )을 보일 것으로 예측된다. 2015년 PRAM( Phase-change Random Access Memory ) 계열의 인텔 ' Optane Memory( 3D 크로스-포인트 구조 ) '가 개발된 이후 차세대 비휘발성 메모리( NVM )에 대한 연구가 더욱 활발해지고 있으며, 2020년 3월에는 삼성전자가 차세대 비휘발성 메모리( NVM ) 중 하나인 MRAM( Magnetic Random Access Memory )을 시장에 공급하고 있다.

[0113] 독립형 비휘발성 메모리( NVM ) 시장에서는 PCM( Phase-Change Memory ) 기반의 메모리 소자가 70% 이상의 점유율을 보이며 지배적이다. PRAM은 차세대 비휘발성 메모리 중 가장 성숙한 형태로, 스케일링( scaling )의 한계 및 보다 높은 밀도를 구현할 수 있어야 한다는 한계가 있으며, 또한 PRAM의 동작시 효율을 향상시키기 위해 매우 좁은 홀( hole )에 물질이 균일하게 증착될 수 있어야 하고, N cell의 집적 시 계면에서의 원자 이동을 방지하여야 한다. 본 발명은 PCM 기반 비휘발성 메모리( NVM ) 소자의 집적도를 높이고, 사진 공정을 최소화한 공정 단계를 통해 비용적 문제를 보완하며 동일 원소를 사용하여 균일한 물질 증착을 통해 기존의 한계를 극복할 수 있을 것으로 기대된다.

[0116] 이상에서 설명한 본 발명의 실시예를 구성하는 모든 구성요소들이 하나로 결합하거나 결합하여 동작하는 것으로 기재되어 있다고 해서, 본 발명이 반드시 이러한 실시예에 한정되는 것은 아니다. 즉, 본 발명의 목적 범위 안

에서라면, 그 모든 구성요소들이 하나 이상으로 선택적으로 결합하여 동작할 수도 있다. 또한, 그 모든 구성요소들이 각각 하나의 독립적인 하드웨어로 구현될 수 있지만, 각 구성요소들의 그 일부 또는 전부가 선택적으로 조합되어 하나 또는 복수개의 하드웨어에서 조합된 일부 또는 전부의 기능을 수행하는 프로그램 모듈을 갖는 컴퓨터 프로그램으로서 구현될 수도 있다. 또한, 이와 같은 컴퓨터 프로그램은 USB 메모리, CD 디스크, 플래쉬 메모리 등과 같은 컴퓨터가 읽을 수 있는 기록 매체(Computer Readable Media)에 저장되어 컴퓨터에 의하여 읽혀지고 실행됨으로써, 본 발명의 실시예를 구현할 수 있다. 컴퓨터 프로그램의 기록 매체로서는 자기기록매체, 광 기록매체 등이 포함될 수 있다.

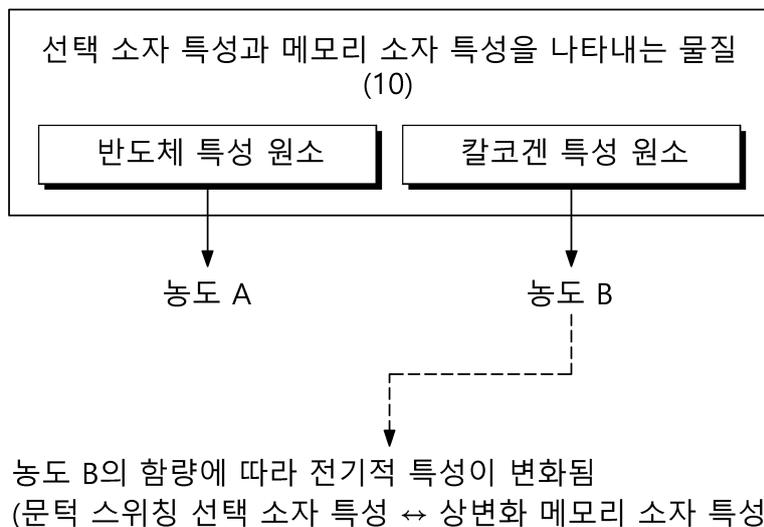
[0117] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 다양한 수정, 변경 및 치환이 가능할 것이다. 따라서, 본 발명에 개시된 실시예 및 첨부된 도면들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예 및 첨부된 도면에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

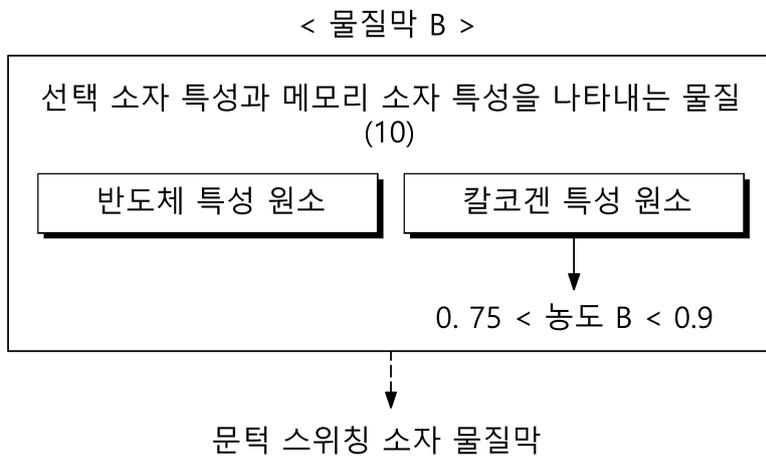
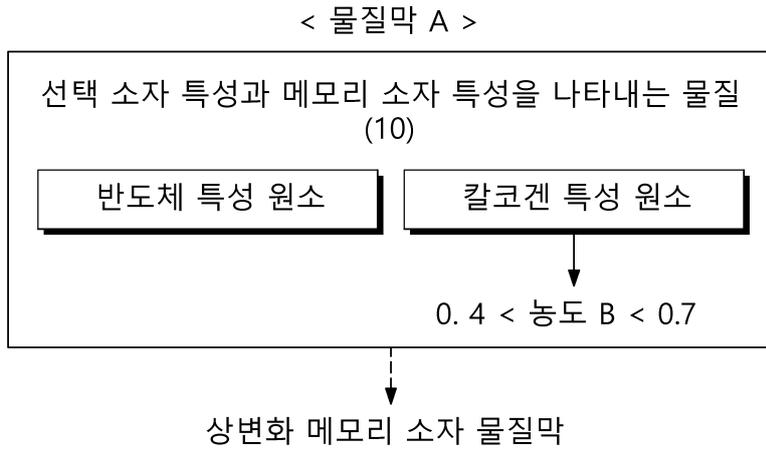
- [0118] 100 : 뉴로모픽 소자,
- 110 : 기관,
- 120 : 제1 전극 층,
- 130 : 절연막 층,
- 140 : 스위칭막 층,
- 150 : 메모리막 층,
- 160 : 제2 전극 층,
- 170 : 분리막 층,
- 180 : 제3 전극 층

**도면**

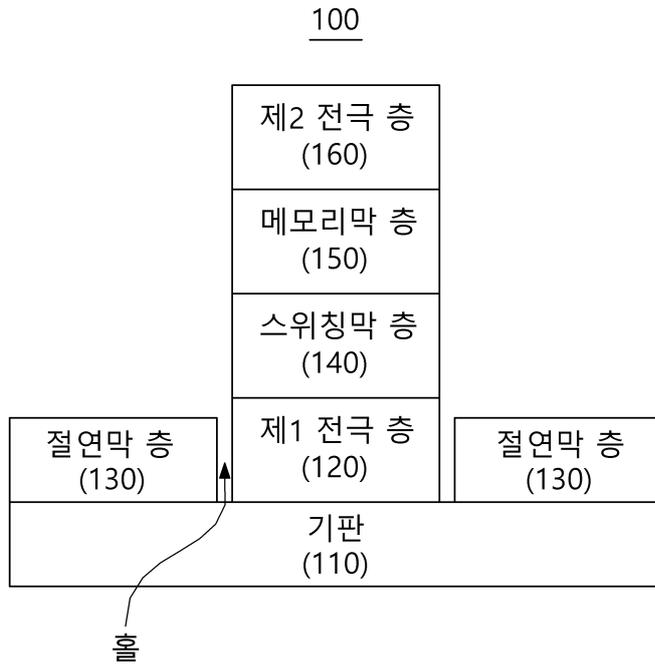
**도면1**



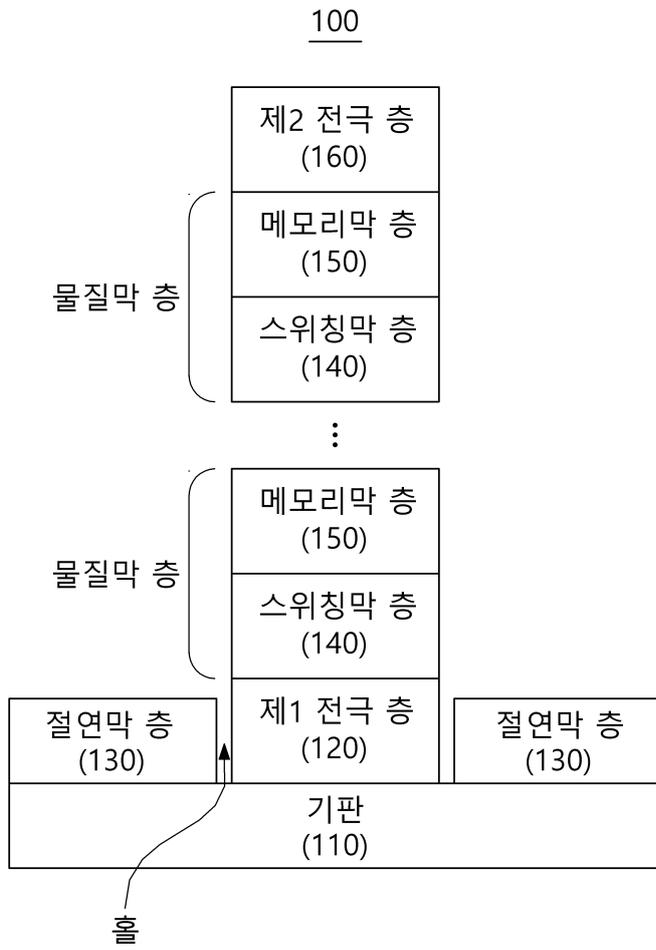
도면2



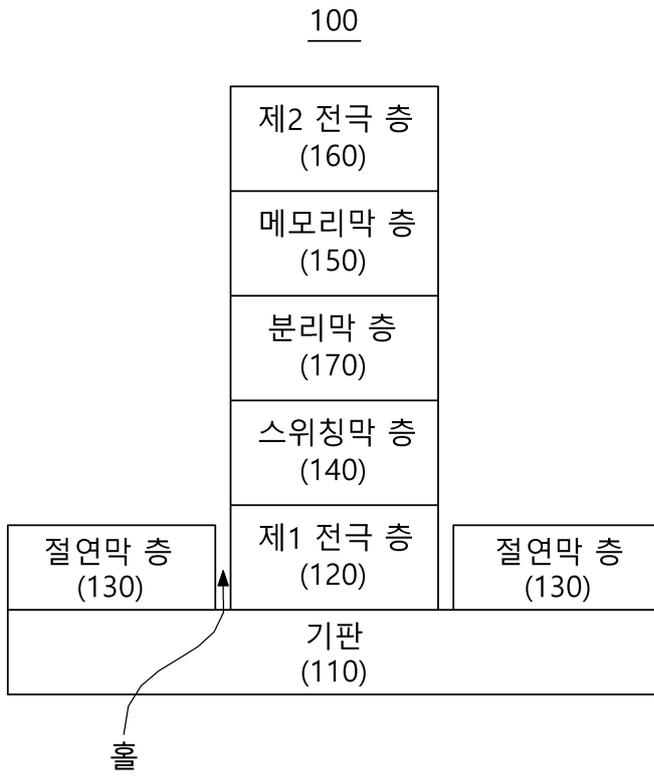
도면3



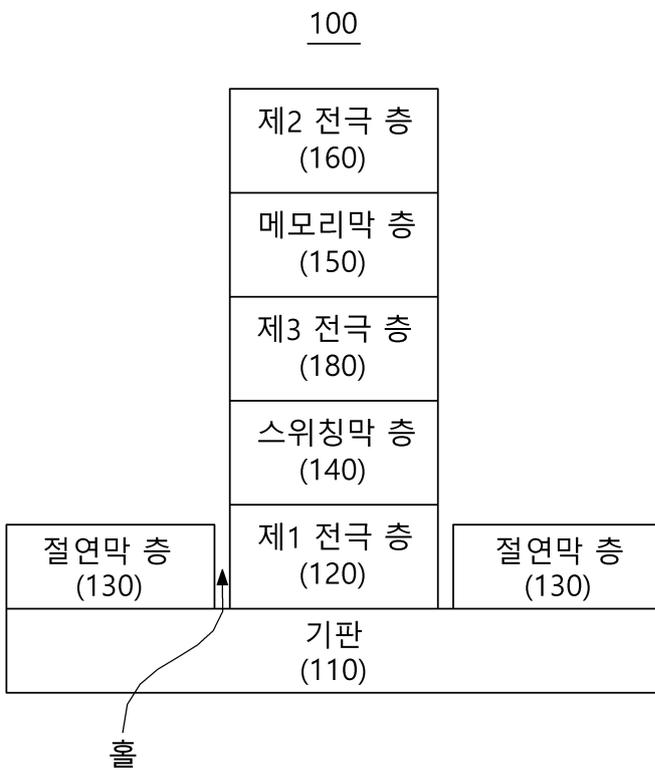
도면4



도면5



도면6



도면7

