



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0146760  
(43) 공개일자 2023년10월20일

(51) 국제특허분류(Int. Cl.)  
G05F 3/24 (2006.01) G01R 19/04 (2006.01)  
G05F 3/30 (2006.01)  
(52) CPC특허분류  
G05F 3/24 (2013.01)  
G01R 19/04 (2013.01)  
(21) 출원번호 10-2022-0045550  
(22) 출원일자 2022년04월13일  
심사청구일자 2022년04월13일

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
채영철  
서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 727호  
엄홍식  
서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 727호  
(74) 대리인  
권성현, 유광철, 백두진, 강일신, 김정연

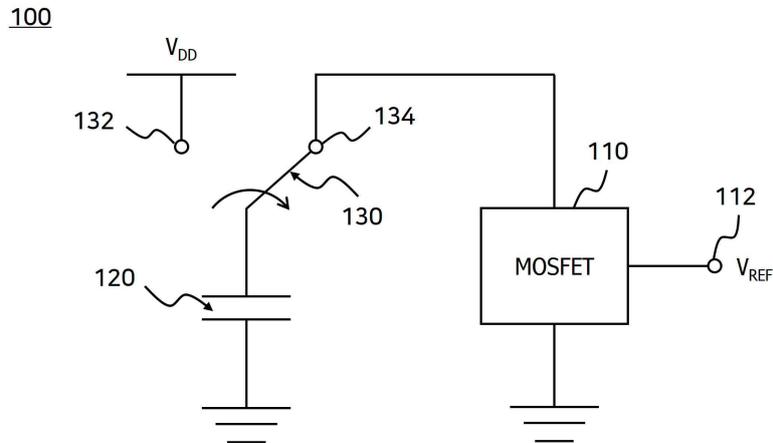
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 시간에 따라 제어되는 레퍼런스 전압 공급 장치 및 회로 제어 방법

(57) 요약

본 개시의 일 실시예에 따르면, 시간에 따라 제어되는 레퍼런스 전압 공급 장치는, 적어도 하나의 MOSFET - 레퍼런스 전압은 MOSFET 사이에 위치하는 노드에서 형성됨-, MOSFET에 전력을 공급하는 적어도 하나의 캐패시터, 캐패시터와 연결되어 캐패시터의 충전(charging) 또는 디스차지(discharging)을 결정하는 스위치 및 스위치의 온오프(ON/OFF) 타이밍을 제어함으로써 MOSFET에 의한 레퍼런스 전압을 조절하는 제어부를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류  
*G05F 3/30* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

적어도 하나의 MOSFET - 상기 레퍼런스 전압은 상기 MOSFET 사이에 위치하는 노드에서 형성됨-;  
 상기 MOSFET에 전력을 공급하는 적어도 하나의 캐패시터;  
 상기 캐패시터와 연결되어 상기 캐패시터의 충전(charging) 또는 디스차징(discharging)을 결정하는 스위치; 및  
 상기 스위치의 온오프(ON/OFF) 타이밍을 제어함으로써 상기 MOSFET에 의한 레퍼런스 전압을 조절하는 제어부를 포함하는, 시간에 따라 제어되는 레퍼런스 전압 공급 장치.

#### 청구항 2

제1항에 있어서,  
 상기 MOSFET은 CMOS의 적어도 일부를 포함하고, 상기 CMOS에 포함된 제1 NMOS의 바디는 상기 NMOS의 드레인에 연결되는, 시간에 따라 제어되는 레퍼런스 전압 공급 장치.

#### 청구항 3

제2항에 있어서,  
 상기 CMOS는 제2 NMOS를 더 포함하고,  
 상기 제1 NMOS의 문턱 전압 이전 영역의 기울기와 연관된 제1 팩터와 상기 제2 NMOS의 문턱 전압 이전 영역의 기울기와 연관된 제2 팩터의 크기가 상이한, 시간에 따라 제어되는 레퍼런스 전압 공급 장치.

#### 청구항 4

제2항에 있어서,  
 상기 CMOS는 제2 NMOS를 더 포함하고, 상기 제2 NMOS의 바디는 상기 제2 NMOS의 드레인에 연결되는, 시간에 따라 제어되는 레퍼런스 전압 공급 장치.

#### 청구항 5

제2항에 있어서,  
 상기 CMOS는 제2 NMOS를 더 포함하고, 상기 제2 NMOS의 바디는 상기 제2 NMOS의 소스에 연결되는, 시간에 따라 제어되는 레퍼런스 전압 공급 장치.

#### 청구항 6

제1항에 있어서,  
 상기 제어부는 상기 레퍼런스 전압의 온도에 대한 미분값이 0이 되는 시점에 기초하여 상기 스위치의 온오프 타이밍을 제어하는, 시간에 따라 제어되는 레퍼런스 전압 공급 장치.

**청구항 7**

제1항에 있어서,

상기 레퍼런스 전압의 진폭을 일정 시간 동안 유지시키도록 상기 레퍼런스 전압이 출력되는 노드와 연결된 샘플 앤홀드 회로를 더 포함하고,

상기 샘플앤홀드 회로는, 적어도 하나의 버퍼를 포함하고 시간에 따라 제어되는 레퍼런스 전압 공급 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 직접회로(IC; Integrated Circuit) 등에 구비되어 레퍼런스 전압을 공급하도록 구성된 시간에 따라 제어되는 레퍼런스 전압 공급 장치 및 회로 제어 방법에 관한 것이다.

**배경 기술**

[0003] 레퍼런스 전압 공급 장치는 직접회로 등에 배치되어 전압 부하에 영향을 줄 수 있는 외부 변수와 관계없이 일정한 세기의 전압을 공급하는 역할을 수행한다. 종래에는 이러한 회로의 구현을 위해 BJT(Bipolar Junction Transistor)의 밴드갭 전압이 주로 사용되었다. 그러나, BJT(Bipolar Junction Transistor)를 이용한 레퍼런스 전압 공급 장치는 전력 소모가 크고 베이스 전류에 의한 오차가 발생한다는 문제가 있다. 나아가, 최근 직접회로의 소형화, 경량화 추세를 따라 레퍼런스 회로의 복잡도와 크기를 낮추기 위한 노력이 계속되고 있으나, 회로의 설계 효율과 정확도가 모두 일정 수준의 레벨에 도달하는 것은 극복하기 어려운 문제로 남아있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 개시에서는 상술한 문제를 해결하기 위해 CMOS(Complementary Metal Oxide Semiconductor)를 사용한 시간에 따라 제어되는 레퍼런스 전압 공급 장치 및 회로를 제어하는 방법이 제공된다.

**과제의 해결 수단**

[0007] 본 개시의 일 실시예에 따르면, 시간에 따라 제어되는 레퍼런스 전압 공급 장치는, 적어도 하나의 MOSFET - 레퍼런스 전압은 MOSFET 사이에 위치하는 노드에서 형성된-, MOSFET에 전력을 공급하는 적어도 하나의 캐패시터, 캐패시터와 연결되어 캐패시터의 충전(charging) 또는 디스차지(discharging)을 결정하는 스위치 및 스위치의 온오프(ON/OFF) 타이밍을 제어함으로써 MOSFET에 의한 레퍼런스 전압을 조절하는 제어부를 포함할 수 있다.

[0008] 일 실시예에 따르면, MOSFET은 CMOS의 적어도 일부를 포함하고, CMOS에 포함된 제1 NMOS의 바디는 NMOS의 드레인에 연결될 수 있다.

[0009] 일 실시예에 따르면, CMOS는 제2 NMOS를 더 포함하고, 제1 NMOS의 문턱 전압 이전 영역의 기울기와 연관된 제1 팩터와 제2 NMOS의 문턱 전압 이전 영역의 기울기와 연관된 제2 팩터의 크기가 상이하도록 구성될 수 있다.

[0010] 일 실시예에 따르면, CMOS는 제2 NMOS를 더 포함하고, 제2 NMOS의 바디는 제2 NMOS의 드레인에 연결될 수 있다.

[0011] 일 실시예에 따르면, CMOS는 제2 NMOS를 더 포함하고, 제2 NMOS의 바디는 제2 NMOS의 소스에 연결될 수 있다.

[0012] 일 실시예에 따르면, 제어부는 레퍼런스 전압의 온도에 대한 미분값이 0이 되는 시점에 기초하여 스위치의 온오프 타이밍을 제어할 수 있다.

[0013] 일 실시예에 따르면, 레퍼런스 전압의 진폭을 일정 시간 동안 유지시키도록 레퍼런스 전압이 출력되는 노드와

연결된 샘플앤홀드 회로를 더 포함하고, 샘플앤홀드 회로는, 적어도 하나의 버퍼를 포함할 수 있다.

### 발명의 효과

- [0015] 본 개시의 일부 실시예에 따르면, CMOS를 사용함에 따라 전력 소모를 낮추어 에너지 효율이 향상된 레퍼런스 전압 공급 장치를 제공할 수 있다.
- [0016] 본 개시의 일부 실시예에 따르면, CMOS를 사용함에 따라 레퍼런스 전압 공급 회로의 복잡도를 낮추어 하드웨어 설계 효율을 향상시킬 수 있다.
- [0017] 본 개시의 일부 실시예에 따르면, 시간에 따라 스위칭을 제어하는 방식으로 트리밍을 수행함으로써 보다 유연한 방법으로 트리밍을 시도할 수 있으며, 높은 정확도를 가짐과 동시에 컴팩트하게 설계된 레퍼런스 전압 공급 회로를 제공할 수 있다.

### 도면의 간단한 설명

- [0019] 도 1은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로의 예시를 나타낸다.
- 도 2는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로의 사용 예시를 나타낸다.
- 도 3은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 장치의 예시를 나타낸다.
- 도 4는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로 및 회로에 의해 공급되는 레퍼런스 전압( $V_{REF}$ )의 예시를 나타낸다.
- 도 5는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 장치의 성능을 나타내는 도표이다.
- 도 6은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 장치에 대한 몬테카를로 시뮬레이션(MC; Monte Carlo Simulation)을 수행한 결과를 나타내는 도표이다.
- 도 7은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로를 트리밍(trimming)한 예시를 나타낸다.
- 도 8은 본 개시의 일 실시예에 따라 샘플앤홀드 회로에 레퍼런스 전압 공급 회로가 연결된 예시를 나타낸다.
- 도 9는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로의 다른 예시이다.

### 발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 개시의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 상세히 설명한다. 다만, 이하의 설명에서는 본 개시의 요지를 불필요하게 흐릴 우려가 있는 경우, 널리 알려진 기능이나 구성에 관한 구체적 설명은 생략하기로 한다.
- [0021] 첨부된 도면에서, 동일하거나 대응하는 구성요소에는 동일한 참조부호가 부여되어 있다. 또한, 이하의 실시예들의 설명에 있어서, 동일하거나 대응되는 구성요소를 중복하여 기술하는 것이 생략될 수 있다. 그러나 구성요소에 관한 기술이 생략되어도, 그러한 구성요소가 어떤 실시예에 포함되지 않는 것으로 의도되지는 않는다.
- [0022] 개시된 실시예의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 개시는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 개시가 완전하도록 하고, 본 개시가 통상의 기술자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것일 뿐이다.
- [0023] 본 명세서에서 사용되는 용어에 대해 간략히 설명하고, 개시된 실시예에 대해 구체적으로 설명하기로 한다. 본 명세서에서 사용되는 용어는 본 개시에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 관련 분야에 종사하는 기술자의 의도 또는 관례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 본 개시에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 개시의 전반에 걸친 내용을 토대로 정의되어야 한다.

- [0024] 본 명세서에서의 단수의 표현은 문맥상 명백하게 단수인 것으로 특정하지 않는 한, 복수의 표현을 포함한다. 또한, 복수의 표현은 문맥상 명백하게 복수인 것으로 특정하지 않는 한, 단수의 표현을 포함한다. 명세서 전체에서 어떤 부분이 어떤 구성요소를 '포함'한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다.
- [0025] 본 개시의 일 실시예에 따르면, '메모리' 및/또는 '버퍼'는 전자 정보를 저장 가능한 임의의 전자 컴포넌트를 포함하도록 넓게 해석되어야 한다. '메모리' 및/또는 '버퍼'는 임의 액세스 메모리(RAM), 판독-전용 메모리(ROM), 비-휘발성 임의 액세스 메모리(NVRAM), 프로그램가능 판독-전용 메모리(PROM), 소거-프로그램가능 판독 전용 메모리(EPROM), 전기적으로 소거가능 PROM(EEPROM), 플래쉬 메모리, 자기 또는 광학 데이터 저장장치, 레지스터들 등과 같은 프로세서-판독가능 매체의 다양한 유형들을 지칭할 수도 있다. 컨트롤러가 메모리 및/또는 버퍼로부터 정보를 판독하고/하거나 메모리 및/또는 버퍼에 정보를 기록할 수 있다면 메모리 및/또는 버퍼는 컨트롤러와 전자 통신 상태에 있다고 불린다.
- [0026] 도 1은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로(100)의 예시를 나타낸다. 도시된 바와 같이, 레퍼런스 전압 공급 회로는 적어도 하나의 MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)(110), 적어도 하나의 캐패시터(120) 및 스위치(130)를 포함할 수 있다. 여기서, 적어도 하나의 MOSFET유닛(110)은 CMOS(Complementary Metal-Oxide-Semiconductor)의 적어도 일부를 포함할 수 있다. 예를 들어, 적어도 하나의 MOSFET유닛(110)은 복수의 CMOS 각각에 포함된 NMOS를 포함할 수 있다. 이 경우, 복수의 CMOS 각각에 포함된 PMOS는 레퍼런스 전압 공급 회로(100)와 연결된 다른 회로에 포함될 수 있다.
- [0027] 일 실시예에 따르면, 적어도 하나의 캐패시터(120)는 스위치(130)의 동작에 따라 충전(Charging) 및 디스차징(Discharging)이 반복되어 MOSFET유닛(110)에 전원을 공급할 수 있다. 예를 들어, 스위치(130)가 전원노드(132)에 연결될 때, 캐패시터(120)는 전원( $V_{DD}$ )으로부터 충전될 수 있다. 다른 예를 들어, 스위치(130)가 MOSFET노드(134)에 연결될 때, 캐패시터(120)는 디스차징되어 MOSFET유닛(110)에 전원을 공급할 수 있다.
- [0028] 일 실시예에 따르면, 전압 레퍼런스( $V_{REF}$ )는 MOSFET유닛(110) 내부와 연결된 노드(112)에서 형성될 수 있다. 예를 들어, MOSFET유닛(110)이 복수의 CMOS의 적어도 일부를 포함하는 경우, 복수의 CMOS 각각에 포함된 제1 NMOS 및 제2 NMOS 사이에 위치하는 노드(112)에서 전압 레퍼런스( $V_{REF}$ )가 형성될 수 있다. 이와 관련된 구체적인 실시예는 도 4에서 후술된다.
- [0029] 한편, CMOS의 직접도는 일반적으로 레퍼런스 전압 공급 회로에 사용되는 BJT(Bipolar Junction Transistor)의 직접도보다 높은 값을 갖는다. 또한, CMOS의 경우 게이트(Gate) 전압의 손실이 거의 존재하지 않는다. 즉, 레퍼런스 전압 공급 회로 설계에 CMOS를 채택함으로써, 회로의 사이즈를 줄이고 회로의 소비 전력을 낮추어 에너지 효율을 극대화할 수 있다.
- [0030] 도 2는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로(200)의 사용 예시를 나타낸다. 일 실시예에 따르면, 레퍼런스 전압 공급 회로(200)는 A/D 컨버터(Analog to Digital Converter)(210)에 레퍼런스 전압을 공급할 수 있다. 여기서, A/D 컨버터(210)는 아날로그 전압을 디지털 코드로 변환하는 장치로, 레퍼런스 전압은 A/D 컨버터(210)의 성능(예: 분해능)을 결정하는 주요 요인이 될 수 있다. 즉, 공정에서 미세하게 온도가 변화하더라도 레퍼런스 전압 공급 회로(200)가 A/D 컨버터(210)에 일정한 레퍼런스 전압을 공급하게 되면, A/D 컨버터(210) 역시 일정한 성능을 유지할 수 있다. 한편, 도 2에서는 레퍼런스 전압 공급 회로(200)가 A/D 컨버터(210)에 연결되는 예시가 도시되었으나 이에 한정되지 않는다. 예를 들어, 레퍼런스 전압 공급 회로(200)는 D/A 컨버터에 연결되어 D/A 컨버터에 레퍼런스 전압을 공급할 수도 있다.
- [0031] 도 3은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 장치(300)의 예시를 나타낸다. 도시된 바와 같이, 레퍼런스 전압 공급 장치(300)는 레퍼런스 전압 공급부(310) 및 제어부(320)를 포함할 수 있다. 여기서, 레퍼런스 전압 공급부(310)는 도 1 및 2의 레퍼런스 전압 공급 회로(100, 200)를 포함할 수 있다.
- [0032] 일 실시예에 따르면, 제어부(320)는 레퍼런스 전압 공급부(310)의 동작을 제어할 수 있다. 예를 들어, 제어부(320)는 레퍼런스 전압 공급부(310)에 대하여 측정된 데이터를 기초로 레퍼런스 전압 공급부(310)에 포함된 스위치의 동작을 제어할 수 있다. 여기서, 레퍼런스 전압 공급부(310)에 대하여 측정된 데이터는 특정 노드에서 측정된 전압(V), 온도에 대한 해당 전압의 미분값(dV/dT) 등을 지칭할 수 있다.
- [0033] 도 4는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로(400) 및 회로(400)에 의해 공급되는 레퍼런스 전압( $V_{REF}$ )의 예시를 나타낸다. 도 4의 (a)를 참고하면, 레퍼런스 전압 공급 회로(400)는 MOSFET유닛(410), 캐패

시터(420) 및 스위치(430)를 포함할 수 있다. 여기서, MOSFET유닛(410)에 포함된 제1 NMOS(412)의 바디는 제1 NMOS(412)의 드레인과 직접 연결될 수 있다. 또한, MOSFET유닛(410)에 포함된 제2 NMOS(414)의 바디는 제2 NMOS(414)의 드레인과 바디에 직접 연결될 수 있다.

[0034] 일 실시예에 따르면, 스위치(430)의 동작은 상술한 바와 같이 레퍼런스 전압 공급 회로(400)에 대하여 측정된 데이터를 기초로 제어될 수 있다. 예를 들어, 캐패시터(420)의 일측과 연결된 스위치(430)는 측정된 데이터를 기초로 전원과 연결된 제1 노드(432)에서 MOSFET유닛(410)과 연결된 제2 노드(434)로 이동할 수 있다. 유사하게, 스위치(430)는 측정된 데이터를 기초로 제2 노드(434)에서 제1 노드(432)로 이동할 수 있다.

[0035] 일 실시예에 따르면, 레퍼런스 전압 공급 회로(400)에 의해 공급되는 레퍼런스 전압( $V_{REF}$ )은 MOSFET유닛(410)에 포함된 제1 NMOS(412) 및 제2 NMOS(414) 사이에 위치하는 제3 노드(416)에서 형성될 수 있다. 구체적으로, 레퍼런스 전압( $V_{REF}$ )은 제1 NMOS(412)의 소스에 대한 제1 NMOS(412)의 게이트(여기서, 제4 노드(418))의 전압( $V_{GS1}$ )과 제2 NMOS(414)의 게이트(여기서, 제4 노드(418))에 대한 제2 NMOS(414)의 소스의 전압( $V_{GS2}$ )의 차이에 의해 형성될 수 있다. 도 4에서는, 전압  $V_D$ 가 생성되는 제3 노드(416)가 레퍼런스 전압( $V_{REF}$ )이 생성되는 노드를 지칭한다. 이 경우, 레퍼런스 전압( $V_{REF}$ )은 수학적 식 1과 같이 정의될 수 있다. 여기서,  $V_1$ 는 제4 노드(418)의 전압을 나타내고,  $C$ 는 캐패시터(420)의 캐패시턴스를 나타낸다.  $V_{th1}$  및  $V_{th2}$ 는 각각 제1 NMOS(412) 및 제2 NMOS(414)의 문턱전압(threshold voltage)을 나타내고,  $m_1$  및  $m_2$ 는 각각 제1 NMOS(412) 및 제2 NMOS(414)의 문턱 전압 이전 영역의 기울기(즉, sub-threshold slope)와 연관된 팩터를 나타낸다.  $(W/L)_1$  및  $(W/L)_2$ 는 각각  $m_1$  및  $m_2$ 의 폭/길이 비율을 나타낸다.

[0036] 한편, 수학적 식 1의  $I_{o1}$ 는 제1 NMOS(412)가 문턱 전압( $V_{th1}$ )에 도달하기 이전 상태인 때 제1 NMOS(412)에 흐르는 전류를 의미하고,  $I_{o2}$ 는 제2 NMOS(414)가 문턱 전압( $V_{th2}$ )에 도달하기 이전 상태인 때 제2 NMOS(414)에 흐르는 전류를 나타낸다. 이에 따라,  $I_{o1}$  및  $I_{o2}$ 는 각각 수학적 식 2에 따라 정의될 수 있다. 수학적 식 2에서  $\mu$ 는 이동도(mobility),  $C_{dep}$ 는 해당 MOSFET 공핍층의 캐패시턴스,  $V_T$ 는 열전압(thermal voltage)를 나타낸다.

**수학적 식 1**

$$\begin{aligned}
 V_D(t) &= V_{GS1} - V_{GS2} \\
 &= -m_1 V_T \ln \left( \frac{I_{o1}(W/L)_1 t}{C m_1 V_T} \right) + m_2 V_T \ln \left( \frac{I_{o2}(W/L)_2 t}{C m_2 V_T} \right) + V_{th1} - V_{th2} \\
 &= -(m_1 - m_2) V_T \ln \left( \frac{I_{o1}(W/L)_1 t}{C m_1 V_T} \right) + m_2 V_T \ln \left( \frac{I_{o2}(W/L)_2 m_1}{I_{o1}(W/L)_1 m_2} \right) + V_{th1} - V_{th2}
 \end{aligned}$$

[0037]

**수학적 식 2**

$$I_{oi} = \mu C_{dep} V_T^2 \text{ and } i = 1 \text{ or } 2$$

[0038]

[0039] 수학적 식 1을 참고하면, 레퍼런스 전압( $V_{REF}$ )은  $-(m_1 - m_2) V_T \ln \left( \frac{I_{o1}(W/L)_1 t}{C m_1 V_T} \right)$  로 표시되는 Time-

Controlled CTAT(Complementary to absolute temperature)항,  $m_2 V_T \ln \left( \frac{I_{o2}(W/L)_2 m_1}{I_{o1}(W/L)_1 m_2} \right)$  로 표시되는 Large

PTAT(Proportional to absolute temperature) 항 및  $V_{th1} - V_{th2}$  로 표시되는 Small CTAT항에 의해 결정될 수 있다. 구체적으로, 도 4의 (b)를 참고하면, 레퍼런스 전압( $V_{REF}$ )은 절대온도(T)에 대하여 상보적인 Time-Controlled CTAT항 및 Small CTAT항에 의해 결정되는 전압( $V_{CTAT}$ )과 절대온도(T)에 비례하는 Large PTAT항에 의해 결정되는 전압( $V_{PTAT}$ )의 합에 의해 결정될 수 있다.

[0040] 일 실시예에 따르면, 스위치(430)는 캐패시터(420)에 연결되어 캐패시터(420)의 충전(charging) 또는 디스차징(discharging)을 결정할 수 있다. 예를 들어, 제2 노드(434)에 스위치(430)가 연결되어 캐패시터(420)가 디스차징 중인 경우, 제어부(예: 제어부(320))는 특정 시점( $t_{opt}$ )에 스위치(430)가 제2 노드(434)로부터 분리되도록 (또는, 제1 노드(412)로 이동하도록) 제어할 수 있다. 예를 들어, 수학식 3과 같이 제어부는 레퍼런스 전압( $V_{REF}(t)$ )의 온도에 대한 미분값이 0이 되도록 하는  $t=t_{opt}$ 에 스위치(430)가 제2 노드(434)로부터 분리되도록 제어할 수 있다.

### 수학식 3

$$\frac{dV_{REF}(t_{opt})}{dT} = 0$$

[0041]

[0042] 여기서,  $t_{opt}$ 는 수학식 4 내지 6에 따라 정의될 수 있다. 여기서,  $C_{d1}$  및  $C_{ox1}$ 은 각각 제1 NMOS(412)에 포함된 절연체(또는, 산화물)의 캐패시턴스 및 제1 NMOS(412)에 포함된 결핍영역의 캐패시턴스를 나타낸다.  $C_{d2}$  및  $C_{ox2}$ 는 각각 제2 NMOS(414)에 포함된 절연체(또는, 산화물)의 캐패시턴스 및 제2 NMOS(414)에 포함된 결핍영역의 캐패시턴스를 나타낸다.  $q$ 는 전자의 전하량  $1.602 \times 10^{-19}[C]$ ,  $k$ 는 볼츠만 상수  $1.38 \times 10^{-23}$ 을 나타낸다.  $C_{vth1}$  및  $C_{vth2}$ 는 각각 제1 NMOS(412) 및 제2 NMOS(414)의 온도에 대한 문턱 전압의 변화량( $\Delta V_{th}/\Delta T$ )을 나타낸다.

### 수학식 4

$$m_1 = 1 + \frac{C_{d1}}{C_{ox1}} \text{ and } m_2 = 1 + \frac{C_{d2}}{C_{ox2}}$$

[0043]

### 수학식 5

$$t_{opt} = \left[ \frac{(W/L)_2}{(W/L)_1} \right]^\alpha \left( \frac{m_1}{m_2} \right)^{\alpha+1} \left( \frac{I_{o2}}{I_{o1}} \right)^\alpha \frac{CV_T}{(W/L)_1} \exp \left[ \frac{1}{m_1 - m_2} \frac{q}{k} (C_{vth1} - C_{vth2}) \right]$$

$$\text{and } \alpha = \frac{m_2}{m_1 + m_2}$$

[0044]

[0045] 도 5는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 장치의 성능을 나타내는 도표이다. 도 5의 (a)를 참고하면, 0.7[V] 이상의 공급 전압에서 주어진 온도 변화에 따른 레퍼런스 전압( $V_{REF}$ )의 상대적 변화를 나타내는 지표 TC(Temperature Coefficient)가  $-40^\circ C$  이상  $100^\circ C$  이하의 온도에서  $17 \text{ppm}/^\circ C$  미만의 값을 갖는 것으로 나타났다. 또한, 도 5의 (b)를 참고하면, 공급 전압에 따른 레퍼런스 전압( $V_{REF}$ )의 상대적 변화를 나타내는 지표 LS(Line Sensitivity)가  $-40^\circ C$  이상  $100^\circ C$  이하의 온도에서  $0.08\%/V$  미만의 값을 갖는 것으로 나타났다.

[0046] 도 6은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 장치에 대한 몬테카를로 시뮬레이션(MC; Monte Carlo Simulation)을 수행한 결과를 나타내는 도표이다. 도 6을 참고하면, 0.8[V]의 공급 전압에서 100MC 시뮬레이션 을 수행한 결과,  $3^{\sigma V_{ref}}$ 는 약 1.2%,  $3^{\sigma TC}$ 는 약  $1.2 \text{ppm}/^\circ C$ 의 값을 갖는 것으로 나타났다.

- [0047] 도 7은 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로를 트리밍(trimming)한 예시를 나타낸다. 여기서, 트리밍은 회로에서 저항, 캐패시턴스 또는 인덕턴스와 같은 변수를 미세하게 조정하는 것을 지칭할 수 있다. 구체적으로, 본 개시에서는 특정 온도에서 목표 레퍼런스 전압과 실제 레퍼런스 전압의 차이를 나타내는 레퍼런스 전압 에러( $V_{ref}$  error)를 최소화하기 위하여, 스위치의 온오프 타이밍을 제어하는 것을 지칭할 수 있다. 도 5의 (a) 및 (b)를 참고하면, 1[V]의 공급 전압에서 트리밍을 수행한 결과,  $3\sigma_{V_{ref}}$ 는 0.35% 미만의 값을 갖는 것으로 나타났다. 또한,  $meanTC$ 는 13.4ppm/ $^{\circ}C$ ,  $\sigma_{TC}$ 는 5.6ppm/ $^{\circ}C$ 의 값을 갖는 것으로 나타났다. 이와 같은 구성에 의해, 레퍼런스 전압 공급 회로는 트리밍을 위해 저항 소자와 같은 부재를 부가할 필요가 없으므로, 보다 유연한 방법으로 트리밍을 시도할 수 있으며, 높은 정확도를 가짐과 동시에 콤팩트하게 설계된 레퍼런스 전압 공급 회로를 제공할 수 있다.
- [0048] 도 8은 본 개시의 일 실시예에 따라 샘플앤홀드 회로(800)에 레퍼런스 전압 공급 회로(810)가 연결된 예시를 나타낸다. 일 실시예에 따르면, 레퍼런스 전압 공급 회로와 연결된 A/D 컨버터(예: A/D 컨버터(210)) 직류(DC)가 아닌 아날로그 신호가 입력되는 경우, A/D 컨버터에 의해 아날로그 신호의 진폭이 변경될 수 있다. 이 과정에서, 오류가 발생하지 않도록 하기 위해서는 변환되는 신호의 진폭이 일정 시간 동안 고정되어야 하며, 이를 위해 샘플앤홀드 회로(800)가 사용될 수 있다. 구체적으로, 레퍼런스 전압 공급 회로(810)에서 레퍼런스 전압( $V_{REF}$ )이 출력되는 노드와 샘플앤홀드 회로(800)가 연결될 수 있다.
- [0049] 일 실시예에 따르면, 샘플앤홀드 회로(800)는 하나 이상의 버퍼(Buffer)(820)를 포함할 수 있다. 이러한 샘플앤홀드 회로(800)는 샘플(sample) 트랜지스터가 온(On)되는 샘플페이즈(sample phase) 및 홀드(hold) 트랜지스터가 온(On)되는 홀드페이즈(hold phase)로 동작할 수 있다.
- [0050] 일 실시예에 따르면, 샘플페이즈에서 샘플앤홀드 회로(800)의 제1 노드(830)는 레퍼런스 전압 공급 회로(810)와 연결될 수 있다. 샘플페이즈에서 제1 노드(830)는 버퍼(820)의 입력 노드로서 동작한다. 이에 따라, 제1 노드(830)의 레퍼런스 전압 공급 회로(810)에 의해 공급되는 레퍼런스 전압( $V_{REF}$ ) 및 버퍼(820)에 의해 이미 존재하는 오프셋 전압( $V_{OS}$ )의 합으로 형성될 수 있다. 이 경우, 제2 노드(840)와 연결된 벌크(bulk)(850)에 누설 전류가 흐르게 되어, 캐패시터(860)에 충전(charging)되는 전압에 영향을 미칠 수 있다.
- [0051] 일 실시예에 따르면, 홀드페이즈에서 샘플앤홀드 회로(800)의 캐패시터(860)는 버퍼(820)의 제3 노드(870)와 연결될 수 있다. 홀드페이즈에서 제3 노드(870)는 버퍼(820)의 입력 노드로서 동작한다. 이에 따라, 샘플페이즈에서 캐패시터(860)에 축적된 전압( $V_{REF} + V_{OS}$ )은 홀드페이즈에서 버퍼(820)에 입력되어 제4 노드(880)로 출력될 수 있다. 다만, 버퍼(820)의 제1 노드(830)에는 오프셋 전압( $V_{OS}$ )이 여전히 존재하므로, 제4 노드(880)의 전압은 오프셋 전압( $V_{OS}$ )이 제거된 레퍼런스 전압( $V_{REF}$ )으로 형성될 수 있다. 이와 동시에, 홀드페이즈 트랜지스터(890)를 통해 레퍼런스 전압( $V_{REF}$ )이 벌크(850)로 전달되므로, 캐패시터(860)가 위치하는 노드와 벌크(850) 사이의 전위차가 존재하지 않으므로 누설 전류가 흐르지 않게 된다.
- [0052] 도 9는 본 개시의 일 실시예에 따른 레퍼런스 전압 공급 회로(900)의 다른 예시이다. NMOS의 바디가 소스에 연결되어 있는 도 4의 레퍼런스 전압 공급 회로와 달리, 레퍼런스 전압 공급 회로(900)에 포함된 NMOS(910)의 바디는 NMOS(910)의 소스에 연결될 수 있다. 이와 같이, NMOS(910)의 바디를 소스에 연결함으로써, 바디가 드레인에 연결된 케이스와는 다른 범위의 레퍼런스 전압 값을 획득할 수 있으므로, 단순한 공정의 변경으로 넓은 범위의 레퍼런스 전압을 공급하는 회로를 쉽게 제공할 수 있다.
- [0053] 본 개시의 앞선 설명은 통상의 기술자들이 본 개시를 행하거나 이용하는 것을 가능하게 하기 위해 제공된다. 본 개시의 다양한 수정예들이 통상의 기술자들에게 쉽게 자명할 것이고, 본원에 정의된 일반적인 원리들은 본 개시의 취지 또는 범위를 벗어나지 않으면서 다양한 변형예들에 적용될 수도 있다. 따라서, 본 개시는 본원에 설명된 예들에 제한되도록 의도된 것이 아니고, 본원에 개시된 원리들 및 신규한 특징들과 일관되는 최광의의 범위가 부여되도록 의도된다.
- [0054] 비록 예시적인 구현예들이 하나 이상의 독립형 컴퓨터 시스템의 맥락에서 현재 개시된 주제의 양태들을 활용하는 것을 언급할 수도 있으나, 본 주제는 그렇게 제한되지 않고, 오히려 네트워크나 분산 컴퓨팅 환경과 같은 임의의 컴퓨팅 환경과 연계하여 구현될 수도 있다. 또 나아가, 현재 개시된 주제의 양상들은 복수의 프로세싱 칩들이나 디바이스들에서 또는 그들에 걸쳐 구현될 수도 있고, 스토리지는 복수의 디바이스들에 걸쳐 유사하게 영향을 받게 될 수도 있다. 이러한 디바이스들은 PC들, 네트워크 서버들, 및 핸드헬드 디바이스들을 포함할 수도

있다.

[0055] 본 명세서에서는 본 개시가 일부 실시예들과 관련하여 설명되었지만, 본 발명이 속하는 기술분야의 통상의 기술자가 이해할 수 있는 본 개시의 범위를 벗어나지 않는 범위에서 다양한 변형 및 변경이 이루어질 수 있다는 점을 알아야 할 것이다. 또한, 그러한 변형 및 변경은 본 명세서에서 첨부된 특허청구의 범위 내에 속하는 것으로 생각되어야 한다.

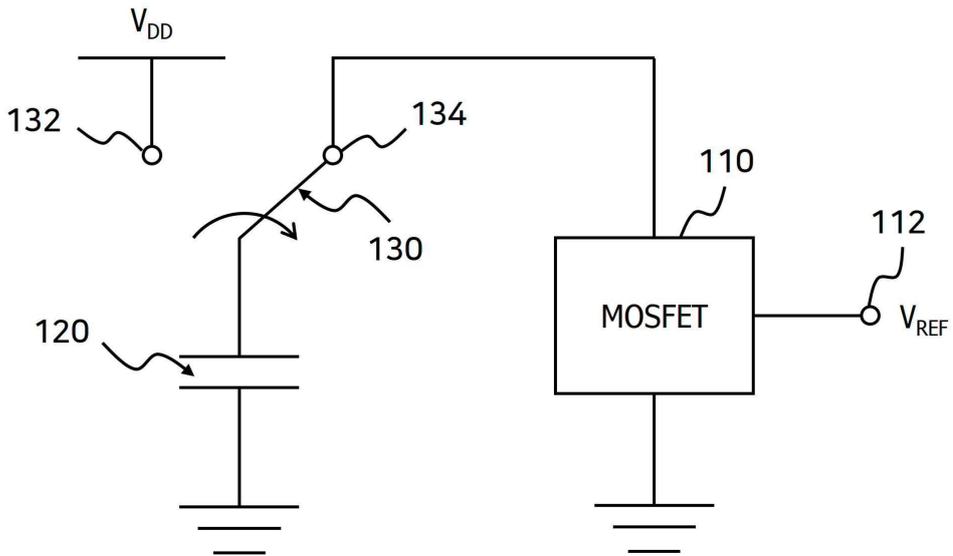
**부호의 설명**

- [0057] 100: 레퍼런스 전압 공급 회로
- 110: MOSFET
- 120: 캐패시터
- 130: 스위치

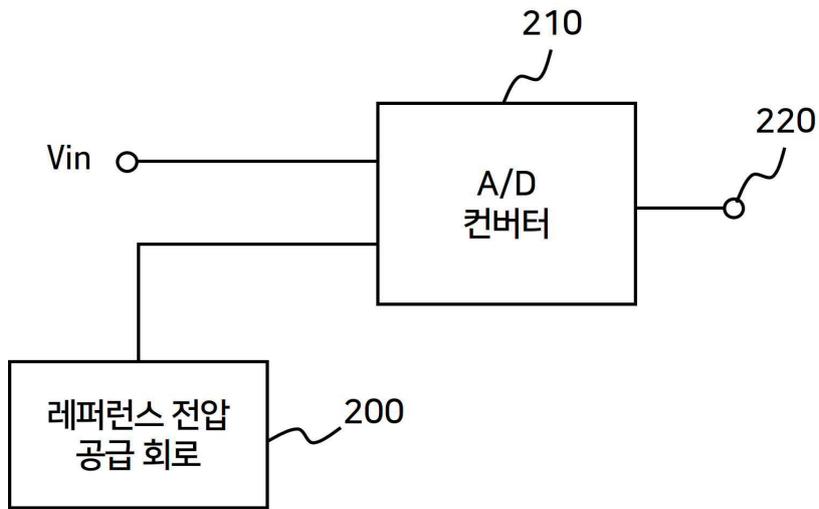
**도면**

**도면1**

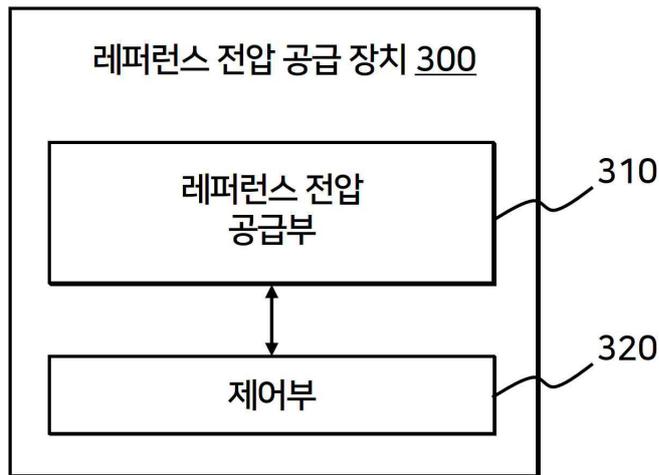
**100**



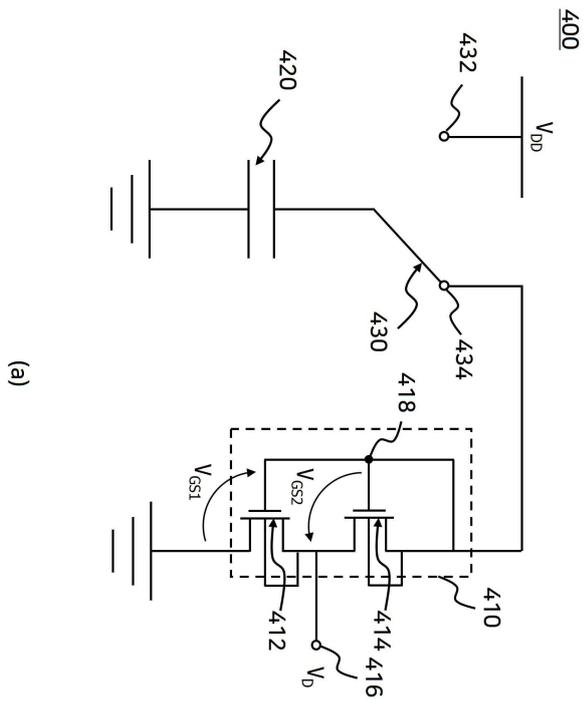
도면2



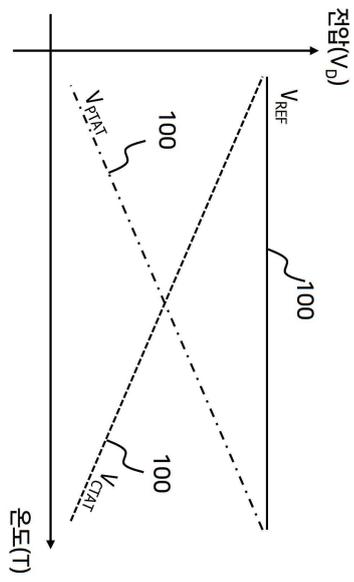
도면3



도면4

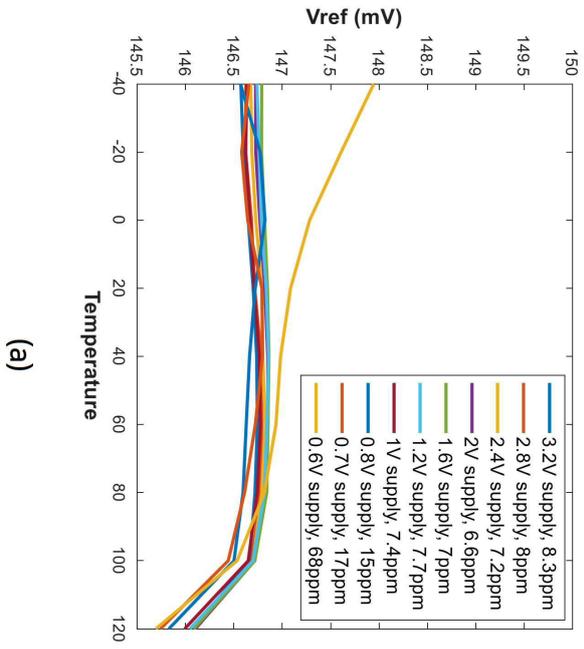


(a)

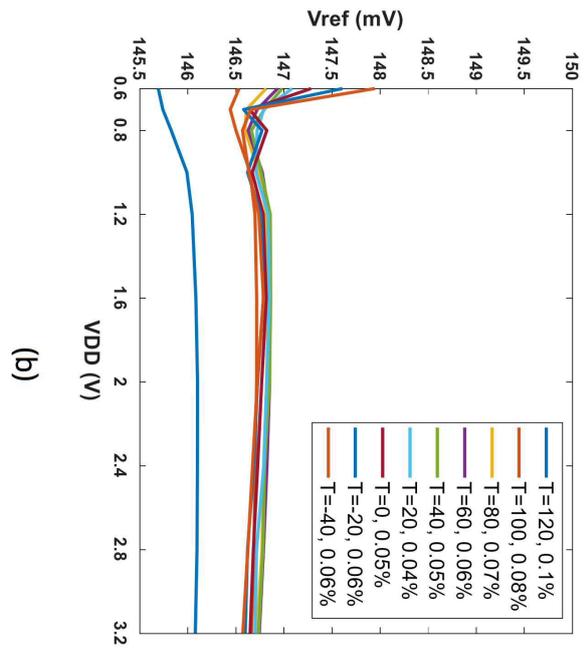


(b)

도면5

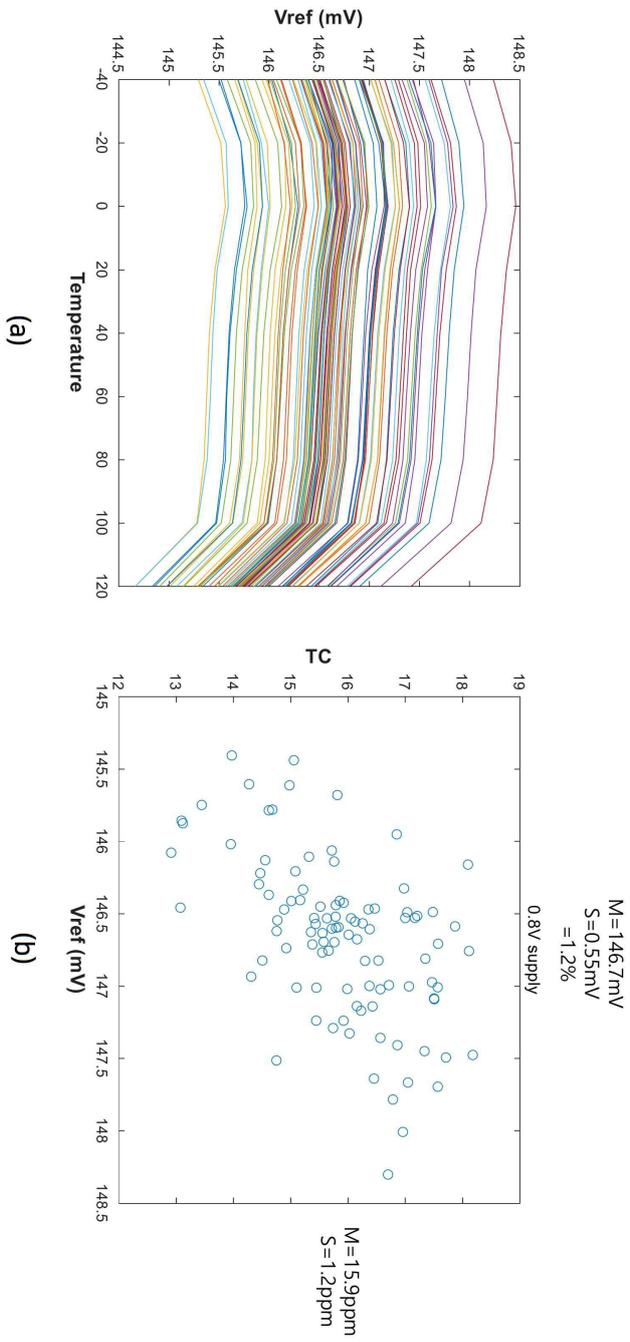


(a)

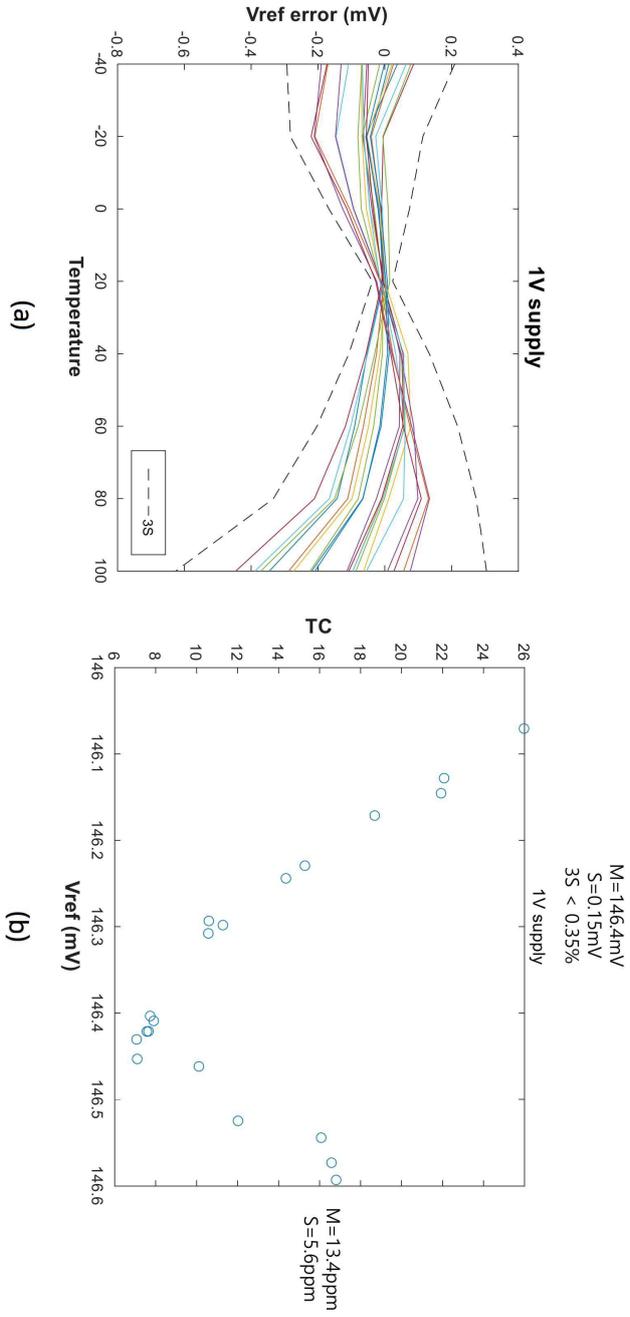


(b)

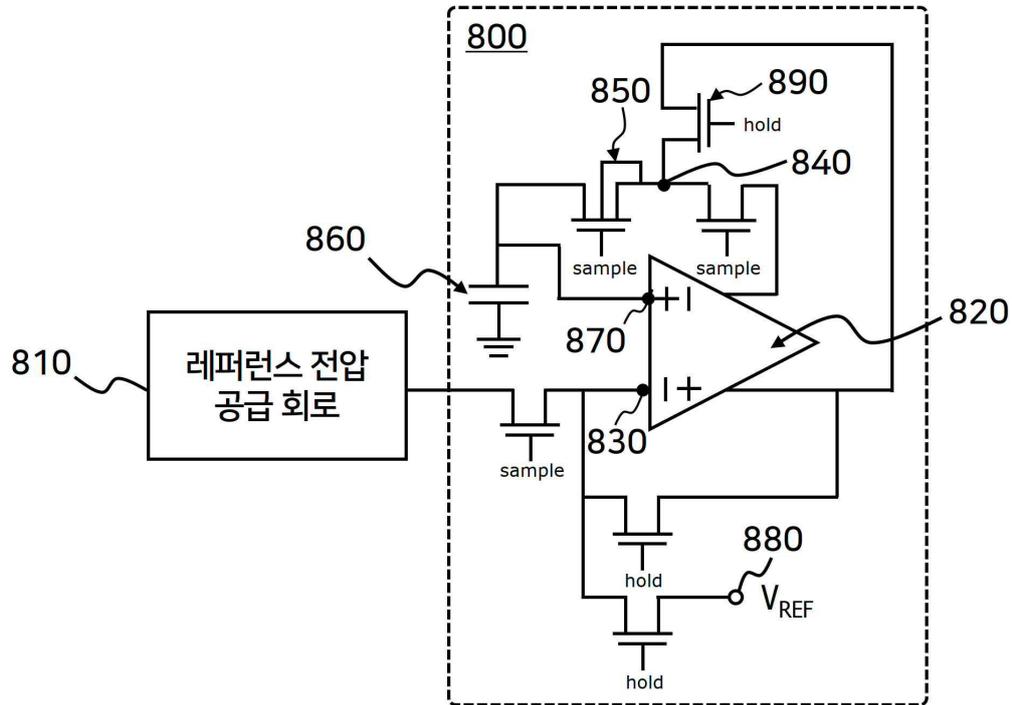
도면6



도면7



도면8



도면9

