

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2023-0147826
(43) 공개일자 2023년10월24일

(51) 국제특허분류(Int. Cl.)
H10B 63/00 (2023.01) H10N 70/00 (2023.01)
(52) CPC특허분류
H10B 63/20 (2023.02)
H10B 63/84 (2023.02)
(21) 출원번호 10-2022-0046648
(22) 출원일자 2022년04월15일
심사청구일자 2022년04월15일

(71) 출원인
서울과학기술대학교 산학협력단
서울특별시 노원구 공릉로 232 (공릉동, 서울과학기술대학교)
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
최병준
서울특별시 노원구 노원로 22길 53 1002동 902호
조만호
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교) 과학관 359호
이하영
서울특별시 노원구 공릉로 191-4 303호
(74) 대리인
김권석

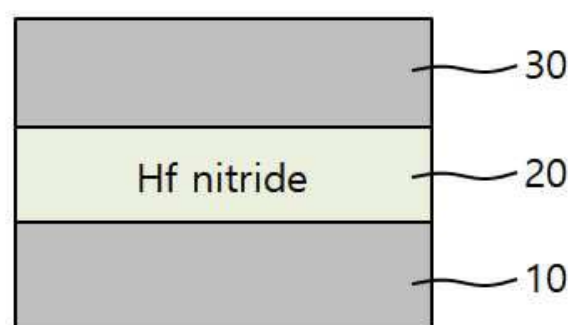
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 선택 소자와 그 제조 방법 및 선택 소자를 포함하는 비휘발성 메모리 소자

(57) 요약

선택 소자와 그 제조 방법 및 선택 소자를 포함하는 비휘발성 메모리 소자에 관해 개시되어 있다. 개시된 선택 소자는 제 1 전극, 상기 제 1 전극과 이격된 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치된 스위칭 층을 포함할 수 있고, 상기 스위칭 층은 하프늄 질화물(hafnium nitride)을 주성분으로 포함할 수 있다. 상기 스위칭 층은 하프늄 질화물층일 수 있다. 상기 스위칭 층은 산소(oxygen)를 더 포함할 수 있고, 상기 스위칭 층에서 상기 산소의 함량은 약 15 at% 이하일 수 있다. 상기 스위칭 층은 하프늄 질산화물(hafnium oxynitride)을 더 포함할 수 있다. 상기 스위칭 층은 상기 제 1 전극 상에 배치된 제 1 층부 및 상기 제 1 층부와 상기 제 2 전극 사이에 배치된 제 2 층부를 포함할 수 있고, 상기 제 1 층부와 상기 제 2 층부는 서로 다른 조성/조성비를 가질 수 있다.

대표도 - 도1



(52) CPC특허분류

H10N 70/826 (2023.02)

H10N 70/883 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	20220162
과제번호	2020R1F1A1076232
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	이공분야기초연구사업
연구과제명	확산형 멤리스터를 활용한 뇌신경 뉴런 기능 모사 연구
기 여 율	1/2
과제수행기관명	서울과학기술대학교
연구기간	2020.06.01 ~ 2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711131533
과제번호	2020M3F3A2A01082324
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발사업
연구과제명	로직 소자 향 초고속, 고신뢰성 Threshold switching 물질 및 급속전이 로직 소자
단위 개발	
기 여 율	1/2
과제수행기관명	연세대학교
연구기간	2020.07.01 ~ 2023.02.28

명세서

청구범위

청구항 1

제 1 전극;

상기 제 1 전극과 이격된 제 2 전극; 및

상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 하프늄 질화물(hafnium nitride)을 주성분으로 포함하는 스위칭 층을 구비하는 선택 소자.

청구항 2

제 1 항에 있어서,

상기 스위칭 층은 하프늄 질화물층인 선택 소자.

청구항 3

제 1 항에 있어서,

상기 스위칭 층은 산소(oxygen)를 더 포함하고,

상기 스위칭 층에서 상기 산소의 함량은 15 at% 이하인 선택 소자.

청구항 4

제 1 항에 있어서,

상기 스위칭 층은 하프늄 질산화물(hafnium oxynitride)을 더 포함하는 선택 소자.

청구항 5

제 1 항에 있어서,

상기 스위칭 층은 상기 제 1 전극 상에 배치된 제 1 층부; 및 상기 제 1 층부와 상기 제 2 전극 사이에 배치된 제 2 층부를 포함하고,

상기 제 1 층부와 상기 제 2 층부는 서로 다른 조성을 갖는 선택 소자.

청구항 6

제 5 항에 있어서,

상기 제 1 층부는 주성분으로 하프늄 질화물(hafnium nitride)을 포함하고,

상기 제 2 층부는 주성분으로 하프늄 질산화물(hafnium oxynitride)을 포함하는 선택 소자.

청구항 7

제 6 항에 있어서,

상기 제 2 층부에서 산소의 함량은 50 at% 이하인 선택 소자.

청구항 8

제 1 항에 있어서,

상기 스위칭 층은 2~20 nm의 두께를 갖는 선택 소자.

청구항 9

제 1 항에 있어서,

상기 선택 소자는 바이폴라(bipolar) 스위칭 특성을 갖는 선택 소자.

청구항 10

제 1 전극을 형성하는 단계;

상기 제 1 전극 상에 하프늄 질화물(hafnium nitride)을 주성분으로 포함하는 스위칭 층을 형성하는 단계; 및

상기 스위칭 층 상에 제 2 전극을 형성하는 단계를 포함하는 선택 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 스위칭 층은 ALD(atomic layer deposition) 공정으로 형성하는 선택 소자의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 스위칭 층은 PEALD(plasma enhanced atomic layer deposition) 공정으로 형성하는 선택 소자의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 PEALD 공정은 플라즈마 소스로 HCP(hollow cathode plasma) 소스를 사용하는 선택 소자의 제조 방법.

청구항 14

제 11 항에 있어서, 상기 ALD 공정은,

상기 제 1 전극이 배치된 챔버 내에 하프늄(Hf)의 소스인 제 1 전구체를 공급하는 단계;

상기 챔버를 퍼지(purge)하는 제 1 퍼지 단계;

상기 챔버 내에 질소(N)의 소스인 제 2 전구체를 공급하는 단계; 및

상기 챔버를 퍼지하는 제 2 퍼지 단계를 포함하는 선택 소자의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제 1 전구체는 TEMAHf [tetrakis(ethylmethyldamido)hafnium(IV)]를 포함하는 선택 소자의 제조 방법.

청구항 16

제 14 항에 있어서,

상기 제 2 전구체는 NH_3 를 포함하는 선택 소자의 제조 방법.

청구항 17

제 10 항에 있어서,

상기 스위칭 층은 하프늄 질화물층인 선택 소자의 제조 방법.

청구항 18

제 10 항에 있어서,

상기 스위칭 층은 산소(oxygen)를 더 포함하고, 상기 스위칭 층에서 상기 산소의 함량은 15 at% 이하인 선택 소

자의 제조 방법.

청구항 19

제 10 항에 있어서,

상기 스위칭 층은 하프늄 질산화물(hafnium oxynitride)을 더 포함하는 선택 소자의 제조 방법.

청구항 20

제 10 항에 있어서,

상기 스위칭 층은 상기 제 1 전극 상에 배치된 제 1 층부 및 상기 제 1 층부와 상기 제 2 전극 사이에 배치된 제 2 층부를 포함하고,

상기 제 1 층부는 주성분으로 하프늄 질화물(hafnium nitride)을 포함하고, 상기 제 2 층부는 주성분으로 하프늄 질산화물(hafnium oxynitride)을 포함하는 선택 소자의 제조 방법.

청구항 21

청구항 1 내지 9 중 어느 한 항에 기재된 선택 소자; 및

상기 선택 소자에 전기적으로 연결된 메모리 요소를 포함하는 비휘발성 메모리 소자.

청구항 22

제 21 항에 있어서,

상기 비휘발성 메모리 소자는 크로스바 어레이 구조(crossbar array structure)를 갖는 비휘발성 메모리 소자.

청구항 23

제 21 항에 있어서,

제 1 방향으로 연장된 복수의 제 1 배선;

상기 복수의 제 1 배선 상에 상기 복수의 제 1 배선과 교차하는 제 2 방향으로 연장된 복수의 제 2 배선; 및

상기 복수의 제 1 배선과 상기 복수의 제 2 배선 사이의 교차점 각각에 배치된 메모리 셀을 포함하고,

상기 메모리 셀은 상기 선택 소자 및 상기 메모리 요소를 포함하는 비휘발성 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명은 전자 소자 및 반도체 소자 기술에 관한 것으로서, 더욱 상세하게는 선택 소자와 그 제조 방법 및 선택 소자를 포함하는 비휘발성 메모리 소자에 관한 것이다.

배경 기술

[0002] 최근, 스마트폰, 태블릿 PC 및 디지털 카메라와 같은 휴대용 디지털 응용 기기들의 수요가 증가하면서 비휘발성 메모리 시장은 급속도로 팽창하고 있다. 프로그래밍 가능한 비휘발성 메모리 소자로서 낸드(NAND) 플래시 메모리가 대표적이며 기록 밀도의 향상을 위하여 3차원 메모리 구조 또는 멀티레벨 셀(MLC)과 같은 기술이 개발되고 있다. 그러나, 상기 낸드 플래시 메모리도 스케일링의 한계에 도달함에 따라, 이를 대체할 수 있는 비휘발성 메모리 소자로서 가역적으로 저항 값이 변할 수 있는 가변 저항체를 이용하는 저항성 메모리 소자(ReRAM), 상변화 메모리 소자(PRAM) 또는 스핀 트랜스퍼 토크 자기 메모리 소자(STT-MRAM)와 같은 차세대 메모리 소자가 주목을 받고 있다.

[0003] 상기 차세대 메모리 소자는 집적도를 증가시키기 위하여 크로스바 어레이 구조(crossbar array structure)(또는, 크로스 포인트 어레이 구조)를 갖도록 개발되고 있으나, 상기 크로스바 어레이 구조에서는 인접하는 셀 사이에 발생하는 스니크 전류(sneak current)에 의해 셀 정보에 대한 읽기 오류 및 쓰기 오류와 같은 셀간 간섭(crosstalk)이 발생하게 된다. 특히, 스니크 전류에 의해 읽기 마진(read-out margin)이 감소하고,

크로스바 어레이의 사이즈 확장이 제한되게 된다. 상기 스니크 전류에 의한 동작 오류를 방지하기 위해서, 셀 어레이 내에 선택 소자(selection device 또는 selector)를 적용하는 연구가 진행되고 있다. 이러한 선택 소자로서 PN 다이오드, OTS(ovonic threshold switch), MIEC(mixed ionic electronic conduction) 소자, FAST(field assisted superlinear threshold) 소자, MIT(metal-insulator transition) 소자 및 터널 장벽 다이오드(tunnel barrier diode)와 같은 다양한 소자들이 제안되고 있다.

[0004] 그러나, PN 다이오드의 경우, 높은 공정 온도로 인한 열적 부담(thermal budget)으로 소자 적층이 어렵고, 도핑 공정이 요구되기 때문에 다양한 메모리 구조에 적용하기 어려운 문제가 있다. OTS의 경우, 칼코게나이드 물질 기반의 소자로 제작시 재료의 제어가 어려운 문제가 있다. MIEC 소자 및 FAST 소자는 Cu와 같은 확산형 금속이 포함된 소자로서, 공정 및 소자의 안정성 측면에서 단점이 있고, 약 300℃ 이상의 열적 부담(thermal budget)을 갖는다. MIT 소자의 경우, 비교적 높은 오프-커런트(off-current)로 인해 선택비가 낮은 단점이 있다. 한편, 터널 장벽 다이오드는 고전압에서 터널링이 발생하는 원리를 이용하는 소자이나, 비교적 낮은 선택비를 갖는다.

[0005] 3차원 구조를 갖는 메모리 소자의 제작을 위해서는, 간단한 구조와 물질 조합을 사용하면서도 높은 비선형성(non-linearity)(즉, 고선택비)을 갖는 선택 소자가 요구된다. 또한, 선택 소자는 메모리 요소(메모리층)와 연결된(결합된) 형태로 사용되므로, 메모리 요소와 연결 가능한 전류 레벨(current level)을 가져야 하고, 온/오프 스위칭 횟수를 고려하여 높은 내구성(durability)을 가질 필요가 있다. 아울러, 메모리 소자의 사용 환경 등을 고려했을 때, 선택 소자는 고온 안정성을 갖는 것이 바람직할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 간단한 구조와 물질 구성을 사용하면서도 높은 비선형성(non-linearity)(즉, 고선택비)을 갖고, 우수한 내구성 및 고온 안정성을 갖는 선택 소자를 제공하는데 있다.

[0007] 또한, 본 발명이 이루고자 하는 기술적 과제는 상기한 선택 소자를 제조하는 방법을 제공하는데 있다.

[0008] 또한, 본 발명이 이루고자 하는 기술적 과제는 상기한 선택 소자를 포함하는 비휘발성 메모리 소자를 제공하는데 있다.

[0009] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 따르면, 제 1 전극; 상기 제 1 전극과 이격된 제 2 전극; 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 하프늄 질화물(hafnium nitride)을 주성분으로 포함하는 스위칭 층을 구비하는 선택 소자가 제공된다.

[0011] 상기 스위칭 층은 하프늄 질화물층일 수 있다.

[0012] 상기 스위칭 층은 산소(oxygen)를 더 포함할 수 있고, 상기 스위칭 층에서 상기 산소의 함량은 약 15 at% 이하일 수 있다.

[0013] 상기 스위칭 층은 하프늄 질산화물(hafnium oxynitride)을 더 포함할 수 있다.

[0014] 상기 스위칭 층은 상기 제 1 전극 상에 배치된 제 1 층부; 및 상기 제 1 층부와 상기 제 2 전극 사이에 배치된 제 2 층부를 포함할 수 있고, 상기 제 1 층부와 상기 제 2 층부는 서로 다른 조성을 가질 수 있다.

[0015] 상기 제 1 층부는 주성분으로 하프늄 질화물(hafnium nitride)을 포함할 수 있고, 상기 제 2 층부는 주성분으로 하프늄 질산화물(hafnium oxynitride)을 포함할 수 있다.

[0016] 상기 제 2 층부에서 산소의 함량은 약 50 at% 이하일 수 있다.

[0017] 상기 스위칭 층은 약 2~20 nm 정도의 두께를 가질 수 있다.

[0018] 상기 선택 소자는 바이폴라(bipolar) 스위칭 특성을 가질 수 있다.

[0019] 본 발명의 다른 실시예에 따르면, 제 1 전극을 형성하는 단계; 상기 제 1 전극 상에 하프늄 질화물(hafnium nitride)을 주성분으로 포함하는 스위칭 층을 형성하는 단계; 및 상기 스위칭 층 상에 제 2 전극을 형성하는 단

계를 포함하는 선택 소자의 제조 방법이 제공된다.

- [0020] 상기 스위칭 층은 ALD(atomic layer deposition) 공정으로 형성할 수 있다.
- [0021] 상기 스위칭 층은 PEALD(plasma enhanced atomic layer deposition) 공정으로 형성할 수 있다.
- [0022] 상기 PEALD 공정은 플라즈마 소스로 HCP(hollow cathode plasma) 소스를 사용할 수 있다.
- [0023] 상기 ALD 공정은 상기 제 1 전극이 배치된 챔버 내에 하프늄(Hf)의 소스인 제 1 전구체를 공급하는 단계; 상기 챔버를 퍼지(purge)하는 제 1 퍼지 단계; 상기 챔버 내에 질소(N)의 소스인 제 2 전구체를 공급하는 단계; 및 상기 챔버를 퍼지하는 제 2 퍼지 단계를 포함할 수 있다.
- [0024] 상기 제 1 전구체는 TEMAHf [tetrakis(ethylmethyldamido)hafnium(IV)]를 포함할 수 있다.
- [0025] 상기 제 2 전구체는 NH_3 를 포함할 수 있다.
- [0026] 상기 스위칭 층은 하프늄 질화물층일 수 있다.
- [0027] 상기 스위칭 층은 산소(oxygen)를 더 포함할 수 있고, 상기 스위칭 층에서 상기 산소의 함량은 약 15 at% 이하일 수 있다.
- [0028] 상기 스위칭 층은 하프늄 질산화물(hafnium oxynitride)을 더 포함할 수 있다.
- [0029] 상기 스위칭 층은 상기 제 1 전극 상에 배치된 제 1 층부 및 상기 제 1 층부와 상기 제 2 전극 사이에 배치된 제 2 층부를 포함할 수 있고, 상기 제 1 층부는 주성분으로 하프늄 질화물(hafnium nitride)을 포함할 수 있고, 상기 제 2 층부는 주성분으로 하프늄 질산화물(hafnium oxynitride)을 포함할 수 있다.
- [0030] 본 발명의 다른 실시예에 따르면, 전술한 실시예에 따른 선택 소자; 및 상기 선택 소자에 전기적으로 연결된 메모리 요소를 포함하는 비휘발성 메모리 소자가 제공된다.
- [0031] 상기 비휘발성 메모리 소자는 크로스바 어레이 구조(crossbar array structure)를 가질 수 있다.
- [0032] 상기 비휘발성 메모리 소자는 제 1 방향으로 연장된 복수의 제 1 배선; 상기 복수의 제 1 배선 상에 상기 복수의 제 1 배선과 교차하는 제 2 방향으로 연장된 복수의 제 2 배선; 및 상기 복수의 제 1 배선과 상기 복수의 제 2 배선 사이의 교차점 각각에 배치된 메모리 셀을 포함할 수 있고, 상기 메모리 셀은 상기 선택 소자 및 상기 메모리 요소를 포함할 수 있다.

발명의 효과

- [0033] 본 발명의 실시예들에 따르면, 간단한 구조와 물질 구성을 사용하면서도 높은 비선형성(non-linearity)에 기한 고선택비를 갖고, 아울러, 우수한 내구성 및 고온 안정성을 갖는 선택 소자를 구현할 수 있다. 특히, 소정의 원자층 증착 공정(ALD), 예를 들면 플라즈마 강화 ALD 공정을 이용함으로써, 질화물인 하프늄 질화물(hafnium nitride) 기반의 스위칭 층을 가지면서 비교적 높은 비선형성 및 우수한 바이폴라(bipolar) 스위칭 특성을 갖는 선택 소자를 용이하게 구현할 수 있다.
- [0034] 실시예들에 따른 선택 소자를 적용하면, 우수한 동작 특성 및 고집적도를 갖는 비휘발성 메모리 소자를 구현할 수 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일 실시예에 따른 선택 소자(selection device)를 보여주는 단면도이다.
- 도 2는 본 발명의 다른 실시예에 따른 선택 소자를 보여주는 단면도이다.
- 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법을 보여주는 단면도이다.
- 도 4a 내지 도 4c는 본 발명의 다른 실시예에 따른 선택 소자의 제조 방법을 보여주는 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 스위칭 층의 형성 방법을 설명하기 위한 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 하프늄(Hf)의 전구체 물질을 예시적으로 보여주는 도면이다.

도 7은 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 질소(N)의 전구체 물질을 보여주는 도면이다.

도 8은 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 스위칭 층의 형성 방법을 설명하기 위한 도면이다.

도 9는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에서 스위칭 층의 형성시 ALD(atomic layer deposition) 공정의 사이클 증가에 따른 스위칭 층의 두께 변화를 보여주는 그래프이다.

도 10은 본 발명의 실시예에서 ALD 공정으로 형성된 스위칭 층에 대한 XRD(X-ray diffraction) 분석 결과를 보여주는 그래프이다.

도 11은 본 발명의 실시예에서 ALD 공정으로 형성된 스위칭 층에 대한 HR-TEM(high resolution transmission electron microscopy) 촬영 이미지를 보여주는 도면이다.

도 12는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에서 형성된 제 1 전극 및 스위칭 층의 적층 구조체에 대해서 AES(Auger electron spectroscopy) 깊이 프로파일링(depth profiling)을 통해 성분을 분석한 결과를 보여주는 그래프이다.

도 13은 본 발명의 실시예에서 ALD 공정으로 형성된 스위칭 층에 대한 XPS(X-ray photoelectron spectroscopy) 분석 결과를 보여주는 그래프이다.

도 14는 본 발명의 일 실시예에 따른 선택 소자의 전압(voltage)-전류 밀도(current density) 특성을 로그 스케일로 보여주는 그래프이다.

도 15는 본 발명의 일 실시예에 따른 선택 소자의 성능 지수에 해당하는 K factor를 평가한 결과를 보여주는 그래프이다.

도 16은 도 15에서 설명한 실시예에 따른 선택 소자의 조건 별 온-전류(ON-current)를 측정한 결과를 보여주는 그래프이다.

도 17은 본 발명의 일 실시예에 따른 선택 소자의 낮은 전기장 영역에서의 Schottky emission 특성을 보여주는 그래프이다.

도 18은 본 발명의 일 실시예에 따른 선택 소자의 높은 전기장 영역에서의 hopping conduction 특성을 보여주는 그래프이다.

도 19는 본 발명의 일 실시예에 따른 선택 소자의 양(+)의 전압 인가에 따른 스위칭 메커니즘을 설명하기 위한 에너지 밴드 다이어그램이다.

도 20은 본 발명의 일 실시예에 따른 선택 소자의 음(-)의 전압 인가에 따른 스위칭 메커니즘을 설명하기 위한 에너지 밴드 다이어그램이다.

도 21 내지 도 24는 본 발명의 실시예들에 따른 스위칭 층을 포함하는 선택 소자의 전류-전압(I-V) 특성을 평가한 결과를 보여주는 그래프이다.

도 25는 본 발명의 일 실시예에 따른 선택 소자를 포함하는 비휘발성 메모리 소자를 예시적으로 보여주는 사시도이다.

도 26은 도 25에서 메모리 셀이 가질 수 있는 적층 구조를 예시적으로 보여주는 단면도이다.

도 27은 본 발명의 일 실시예에 따른 선택 소자를 포함하는 비휘발성 메모리 소자를 보여주는 TEM(transmission electron microscopy) 이미지이다.

도 28은 도 27에서 설명한 선택 소자, 메모리 요소 및 이들이 연결된 1S1R 구조체 각각의 전류-전압(I-V) 특성을 보여주는 그래프이다.

도 29는 도 27에서 설명한 선택 소자와 메모리 요소가 결합된 1S1R 구조체의 스위칭 사이클 증가에 따른 저항 변화 특성을 보여주는 그래프이다.

도 30은 본 발명의 일 실시예에 따른 선택 소자를 포함하는 크로스바 어레이 구조를 보여주는 평면 이미지이다.

도 31은 도 30에서 설명한 어레이 구조에서의 선택 소자의 전극 사이즈에 따른 ON-current의 변화를 보여주는

그래프이다.

도 32는 도 30에서 설명한 어레이 구조에서의 선택 소자의 전극 사이즈에 따른 K factor의 변화를 보여주는 그래프이다.

도 33은 본 발명의 일 실시예에 따른 선택 소자의 열적 안정성(thermal stability)을 평가한 결과를 보여주는 그래프이다.

도 34는 본 발명의 일 실시예에 따른 선택 소자를 포함하는 1S1R 구조체의 열적 안정성을 평가한 결과를 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.
- [0037] 이하에서 설명할 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 명확하게 설명하기 위하여 제공되는 것이고, 본 발명의 범위가 하기 실시예에 의해 한정되는 것은 아니며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있다.
- [0038] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용되는 단수 형태의 용어는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이라는 용어는 언급한 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재 또는 부가를 배제하는 것이 아니다. 또한, 본 명세서에서 사용된 "연결"이라는 용어는 어떤 부재들이 직접적으로 연결된 것을 의미할 뿐만 아니라, 부재들 사이에 다른 부재가 더 개재되어 간접적으로 연결된 것까지 포함하는 개념이다.
- [0039] 아울러, 본원 명세서에서 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다. 본 명세서에서 사용된 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다. 또한, 본원 명세서에서 사용되는 "약", "실질적으로" 등의 정도의 용어는 고유한 제조 및 물질 허용 오차를 감안하여, 그 수치나 정도의 범주 또는 이에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 제공된 정확하거나 절대적인 수치가 언급된 개시 내용을 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.
- [0040] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 첨부된 도면에 도시된 영역이나 파트들의 사이즈나 두께는 명세서의 명확성 및 설명의 편의성을 위해 다소 과장되어 있을 수 있다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 선택 소자(selection device)를 보여주는 단면도이다.
- [0042] 도 1을 참조하면, 본 발명의 실시예에 따른 선택 소자는 제 1 전극(10), 제 1 전극(10)과 이격된 제 2 전극(30) 및 제 1 전극(10)과 제 2 전극(30) 사이에 배치된 스위칭 층(20)을 포함할 수 있다. 스위칭 층(20)은 하프늄 질화물(hafnium nitride)(Hf nitride)을 주성분으로 포함할 수 있다. 스위칭 층(20)에서 하프늄 질화물(Hf nitride)의 함량은 약 60 %(wt%) 이상 또는 약 70 %(wt%) 이상 또는 약 80 %(wt%) 이상일 수 있다. 스위칭 층(20)에서 하프늄 질화물(Hf nitride)의 함량은 약 100 %(wt%) 정도일 수도 있다. 이 경우, 스위칭 층(20)은 하프늄 질화물층이라고 할 수 있다. 스위칭 층(20)에 포함된 하프늄 질화물(Hf nitride)은 HfN_x 로 표현될 수 있고, 여기서, x 는 $0.7 < x \leq 2$ 를 만족할 수 있다. 상기 HfN_x 에서 Hf과 N의 비율(Hf:N)은 화학양론적인 약 1:1 내지 그와 유사한 수준일 수 있지만, 본 발명이 이에 한정되는 것은 아니며, 하프늄 대비 질소의 함량이 과잉되거나 부족할 수 있다. 또한, 스위칭 층(20)에 포함된 하프늄 질화물(Hf nitride)은 기본적으로 도전체가 아닌 유전체의 특성을 가질 수 있다.
- [0043] 스위칭 층(20)은 산소(oxygen)(즉, 산소 원자)를 더 포함할 수 있다. 이 경우, 스위칭 층(20)에서 상기 산소의 함량은 약 15 at% 이하 또는 약 10 at% 이하 또는 약 5 at% 이하일 수 있다. 또한, 스위칭 층(20)은 상기 산소에 의해 형성되는 하프늄 질산화물(hafnium oxynitride) 및 하프늄 산화물(hafnium oxide)을 더 포함할 수 있다. 상기 하프늄 질산화물(Hf oxynitride)은 HfO_xN_y 로 표현될 수 있고, 여기서, x 는 $1 < x \leq 3$ 를 만족할 수 있고, y 는 $2 < y \leq 5$ 를 만족할 수 있다. 상기 하프늄 산화물(Hf oxide)은 HfO_x 로 표현될 수 있고, 여기서, x

는 $1.5 < x \leq 2$ 를 만족할 수 있다.

- [0044] 스위칭 층(20)은 원자층 증착(atomic layer deposition; ALD) 공정으로 형성된 층일 수 있다. 보다 바람직하게는, 스위칭 층(20)은 플라즈마 강화 원자층 증착(plasma enhanced atomic layer deposition; PEALD) 공정으로 형성된 층일 수 있다. 한편, 스위칭 층(20)의 두께는 약 2~20 nm 정도일 수 있다. 스위칭 층(20)의 두께가 2 nm 미만인 경우, 절연과괴가 일어날 수 있으며, 스위칭 층(20)의 두께가 20 nm를 초과하는 경우, 낮은 current level (전류 레벨) 및 non-linearity (비선형성)을 나타내어 선택 소자로서 부적합한 특성을 나타낸다, 상기 2 ~ 20 nm 범위에서, 스위칭 층(20)은 보다 우수한 스위칭 특성을 나타낼 수 있다.
- [0045] 제 1 전극(10) 및 제 2 전극(30)은 금속이나 금속 화합물 등으로 형성될 수 있다. 예를 들어, 제 1 전극(10) 및 제 2 전극(30)은 백금(Pt), 금(Au), 팔라듐(Pd), 로듐(Rh), 티타늄(Ti), 탄탈륨(Ta), 구리(Cu), 알루미늄(Al), 니켈(Ni) 및 텅스텐(W) 중 적어도 하나를 포함하도록 구성될 수 있다. 또한, 경우에 따라, 제 1 전극(10) 및 제 2 전극(30)은 TiN 또는 TaN과 같은 도전성 질화물이나 다양한 도전성 산화물 중 적어도 하나를 포함하도록 구성될 수도 있다. 그 밖에도 제 1 전극(10) 및 제 2 전극(30)의 물질은 다양하게 변화될 수 있다. 제 1 전극(10)의 물질과 제 2 전극(30)의 물질은 동일하거나 다를 수 있다. 또한, 제 1 전극(10) 및 제 2 전극(30)은 단층 구조를 갖거나 다층 구조를 가질 수도 있다.
- [0046] 상기한 실시예에 따른 선택 소자는 바이폴라(bipolar) 스위칭 특성을 가질 수 있다. 즉, 상기 선택 소자는 양극성(양방향) 스위칭 특성을 가질 수 있다. 상기 선택 소자는 제 1 전극(10)과 제 2 전극(30) 사이에 인가되는 양(+)의 전압에 대해서도 스위칭 동작을 나타낼 수 있고, 또한, 제 1 전극(10)과 제 2 전극(30) 사이에 인가되는 음(-)의 전압에 대해서는 반대의 스위칭 특성을 나타낼 수 있다. 따라서, 상기 선택 소자는 다양한 메모리 소자에 보다 유용하게 적용될 수 있다. 상기한 바이폴라 스위칭 특성에 대해서는, 추후에 도 19 및 도 20 등을 참조하여 보다 상세히 설명한다.
- [0047] 도 2는 본 발명의 다른 실시예에 따른 선택 소자를 보여주는 단면도이다.
- [0048] 도 2를 참조하면, 본 실시예에 따른 선택 소자는 제 1 전극(10)과 제 2 전극(30) 및 이들 사이에 배치된 스위칭 층(20A)을 포함할 수 있다. 스위칭 층(20A)은 하프늄 질화물(Hf nitride)을 주성분으로 포함할 수 있다. 스위칭 층(20A)에서 하프늄 질화물(Hf nitride)의 함량은 약 60 %(wt%) 이상 또는 약 70 %(wt%) 이상 또는 약 80 %(wt%) 이상일 수 있다.
- [0049] 스위칭 층(20A)은 제 1 전극(10) 상에 배치된 제 1 층부(21) 및 제 1 층부(21)와 제 2 전극(30) 사이에 배치된 제 2 층부(22)를 포함할 수 있다. 여기서, 제 1 층부(21)와 제 2 층부(22)는 서로 다른 조성 또는 조성비를 가질 수 있다. 제 1 층부(21)는 주성분으로 하프늄 질화물(Hf nitride)을 포함할 수 있다. 제 2 층부(22)는 주성분으로 하프늄 질산화물(Hf oxynitride)을 포함할 수 있다. 제 2 층부(22)에서 산소(산소 원자)의 함량은 약 50 at% 이하 또는 약 40 at% 이하 또는 약 20 at% 이하일 수 있다. 제 2 층부(22)의 전체 또는 그 표면부는 산소-리치(oxygen-rich)한 영역일 수 있다.
- [0050] 제 1 층부(21)는 부성분으로 하프늄 질산화물(Hf oxynitride) 또는 하프늄 산화물(Hf oxide) 중 적어도 하나를 더 포함할 수 있다. 또한, 제 2 층부(22)는 부성분으로 하프늄 질화물(Hf nitride) 및 하프늄 산화물(Hf oxide) 중 적어도 하나를 더 포함할 수 있다.
- [0051] 스위칭 층(20A)은 ALD 공정으로 형성된 층일 수 있다. 보다 바람직하게는, 스위칭 층(20A)은 PEALD 공정으로 형성된 층일 수 있다. 스위칭 층(20A)의 두께는 약 2~20 nm 정도일 수 있다. 본 실시예에 따른 선택 소자는 바이폴라(bipolar) 스위칭 특성을 가질 수 있다.
- [0052] 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법을 보여주는 단면도이다.
- [0053] 도 3a를 참조하면, 소정의 기판(미도시) 상에 제 1 전극(10)을 형성할 수 있다. 제 1 전극(10)은 금속 및 금속 화합물 중 적어도 하나를 포함하도록 형성될 수 있고, PVD(physical vapor deposition) 또는 CVD(chemical vapor deposition) 등 다양한 박막 증착 방법으로 형성될 수 있다.
- [0054] 도 3b를 참조하면, 제 1 전극(10) 상에 주성분으로서 하프늄 질화물(Hf nitride)을 포함하는 스위칭 층(20)을 형성할 수 있다. 스위칭 층(20)에서 하프늄 질화물(Hf nitride)의 함량은 약 60 %(wt%) 이상 또는 약 70 %(wt%) 이상 또는 약 80 %(wt%) 이상일 수 있다. 스위칭 층(20)은 산소(oxygen)(즉, 산소 원자)를 더 포함할 수 있다. 이 경우, 스위칭 층(20)에서 상기 산소의 함량은 약 15 at% 이하 또는 약 10 at% 이하 또는 약 5 at% 이하일 수 있다. 또한, 스위칭 층(20)은 상기 산소에 의해 형성되는 하프늄 질산화물(Hf oxynitride) 및/또는

하프늄 산화물(Hf oxide)을 더 포함할 수 있다. 스위칭 층(20)의 구체적인 물질 및 특성은 도 1에서 설명한 스위칭 층(20)과 동일할 수 있다.

[0055] 스위칭 층(20)은 ALD 공정으로 형성할 수 있다. 보다 바람직하게는, 스위칭 층(20)은 PEALD 공정으로 형성할 수 있다. 이때, 상기 PEALD 공정은 플라스마 소스의 비제한적 예로서 HCP(hollow cathode plasma) 소스를 사용할 수 있다. 상기 HCP 소스를 사용하는 경우, 산소의 유입을 억제/방지할 수 있고, 고밀도 플라스마를 형성시킬 수 있다. 이러한 PEALD 공정을 이용하면, 스위칭 층(20)의 산소 함량을 상당히 낮출 수 있고, 결정성(crystallinity)을 가지면서 우수한 균일성을 갖는 스위칭 층(20)을 형성할 수 있다. 따라서, 우수한 스위칭 특성을 갖는 스위칭 층(20)을 얻을 수 있다. 또한, 상기 HCP 소스를 사용하는 PEALD 공정을 이용하는 경우, 스위칭 층(20)의 표면부(상면부)에 HfO_xN_y 의 형성을 억제할 수 있기 때문에, 전압 극성에 따른 소자의 대칭적 동작 특성 구현이 가능할 수 있다.

[0056] 상기 PEALD 공정에서 플라스마 발생을 위한 파워(power)는 약 150 W 내지 350 W 정도인 것이 바람직할 수 있다. 또한, 상기 PEALD 공정의 공정 온도는 약 200°C 내지 300°C 정도일 수 있다. 이러한 파워 조건 및 온도 조건을 만족할 때, 우수한 막질을 갖고 높은 선택비(즉, 높은 비선형성)를 갖는 스위칭 층(20)을 형성하는데 유리할 수 있다.

[0057] 도 3c를 참조하면, 스위칭 층(20) 상에 제 2 전극(30)을 형성할 수 있다. 제 2 전극(30)은 금속 및 금속 화합물 중 적어도 하나를 포함하도록 형성될 수 있고, PVD 또는 CVD 등 다양한 박막 증착 방법으로 형성될 수 있다.

[0058] 도 4a 내지 도 4c는 본 발명의 다른 실시예에 따른 선택 소자의 제조 방법을 보여주는 단면도이다.

[0059] 도 4a를 참조하면, 소정의 기판(미도시) 상에 제 1 전극(10)을 형성할 수 있다. 제 1 전극(10)의 형성은 도 3a에서 설명한 바와 동일할 수 있다.

[0060] 도 4b를 참조하면, 제 1 전극(10) 상에 하프늄 질화물(Hf nitride)을 주성분으로 포함하는 스위칭 층(20A)을 형성할 수 있다. 스위칭 층(20A)에서 하프늄 질화물(Hf nitride)의 함량은 약 60 %(wt%) 이상 또는 약 70 %(wt%) 이상 또는 약 80 %(wt%) 이상일 수 있다. 스위칭 층(20A)은 제 1 전극(10) 상에 배치된 제 1 층부(21) 및 제 1 층부(21) 상에 배치된 제 2 층부(22)를 포함할 수 있다. 여기서, 제 1 층부(21)와 제 2 층부(22)는 서로 다른 조성을 가질 수 있다. 제 1 층부(21)는 주성분으로 하프늄 질화물(Hf nitride)을 포함할 수 있다. 제 2 층부(22)는 주성분으로 하프늄 질산화물(Hf oxynitride)을 포함할 수 있다. 제 2 층부(22)에서 산소, 즉, 산소 원자의 함량은 약 50 at% 이하 또는 약 40 at% 이하 또는 약 20 at% 이하일 수 있다. 스위칭 층(20A)의 구체적인 물질 및 특성은 도 2에서 설명한 스위칭 층(20A)과 동일할 수 있다.

[0061] 스위칭 층(20A)은 ALD 공정으로 형성할 수 있다. 보다 바람직하게는, 스위칭 층(20A)은 PEALD 공정으로 형성할 수 있다. 상기 ALD 공정의 조건 또는 PEALD 공정의 조건에 따라서, 스위칭 층(20A)의 물질 구성이 제어될 수 있다. 경우에 따라, 스위칭 층(20A)은 열적(thermal) ALD 공정으로 형성할 수도 있다.

[0062] 도 4c를 참조하면, 스위칭 층(20A) 상에 제 2 전극(30)을 형성할 수 있다. 제 2 전극(30)의 형성과 관련하여서는 도 3c에서 설명한 것을 참조할 수 있다.

[0063] 도 5는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 스위칭 층의 형성 방법을 설명하기 위한 도면이다. 도 5에 도시된 스위칭 층의 형성 방법은 상기한 PEALD 공정을 이용한 것이다.

[0064] 도 5를 참조하면, 상기 PEALD 공정을 이용한 스위칭 층의 형성 방법은 제 1 전극(E1)이 배치된 챔버 내에 하프늄(Hf)의 소스인 제 1 전구체(P1)를 공급하여 제 1 전극(E1) 상에 하프늄 함유 층을 형성하는 단계[(A)도면], 상기 챔버를 퍼지(purge)하는 제 1 퍼지 단계[(B)도면], 상기 챔버 내에 질소(N)의 소스인 제 2 전구체(P2)를 플라스마 상태로 공급하여 상기 하프늄 함유 층과 상기 질소의 반응층을 형성하는 단계[(C)도면] 및 상기 챔버를 퍼지하는 제 2 퍼지 단계[(D)도면]를 포함할 수 있다. 제 2 전구체(P2)를 공급하는 단계[(C)도면]에서, 상기 챔버 내에 제 2 전구체(P2)와 함께 플라스마(PS1)를 공급할 수 있다. (D)도면에서 참조번호 L1은 제 1 전극(E1) 상에 형성된 단위층(박막)을 나타내고, 상기 단위층(박막)은 상기 스위칭 층을 구성하는 물질층에 해당할 수 있다.

[0065] 상기 제 1 전구체(P1)를 공급하는 단계, 상기 제 1 퍼지 단계, 상기 제 2 전구체(P2)를 공급하는 단계 및 상기 제 2 퍼지 단계는 상기 스위칭 층의 형성을 위한 사이클(1 cycle)에 해당할 수 있고, 상기 사이클은 반복해서 수행할 수 있다.

- [0066] 상기 PEALD 공정은 플라즈마 소스로 비제한적 예로서 HCP(hollow cathode plasma) 소스를 사용할 수 있다. 상기 HCP 소스를 사용하는 경우, 산소의 유입을 억제/방지할 수 있고, 고밀도 플라즈마를 형성시킬 수 있다. 이러한 PEALD 공정을 이용하면, 스위칭 층의 산소 함량을 상당히 낮출 수 있고, 결정성을 가지면서 우수한 균일성을 갖는 스위칭 층을 용이하게 형성할 수 있다. 또한, 상기 HCP 소스를 사용하는 PEALD 공정을 이용하는 경우, 스위칭 층의 표면부(상면부)에 HfO_xN_y 의 형성을 억제할 수 있기 때문에, 전압 극성에 따른 소자의 대칭적 동작 특성 구현이 가능할 수 있다.
- [0067] 상기 PEALD 공정에서 플라즈마 발생을 위한 파워(power)는 약 150 W 내지 350 W 정도인 것이 바람직할 수 있다. 또한, 상기 PEALD 공정의 공정 온도는 약 200 °C 내지 300 °C 정도일 수 있다. 이러한 파워 조건 및 온도 조건을 만족할 때, 우수한 막질을 갖고 높은 선택비(즉, 높은 비선형성)를 갖는 스위칭 층을 형성하는데 유리할 수 있다.
- [0068] 도 6은 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 하프늄(Hf)의 전구체 물질을 예시적으로 보여주는 도면이다.
- [0069] 도 6을 참조하면, 본 발명의 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 하프늄(Hf)의 전구체 물질은, 예를 들어, TEMAHf [tetrakis(ethylmethanido)hafnium(IV)] 이거나 이를 포함할 수 있다. 상기 TEMAHf는 도 5의 제 1 전구체(P1)에 대응될 수 있다. Hf 전구체 물질은 TDMAHf [tetrakis(dimethylamino)hafnium] 이거나 이를 포함할 수 있다. TDMAHf는 도 5의 제 1 전구체(P1)에 대응될 수 있다. TDEAHf [tetrakis(diethylamido)hafnium]이거나 이를 포함할 수 있다. TDEAHf는 도 5의 제 1 전구체(P1)에 대응될 수 있다. TEMAHf와 TDMAHf 외에도 Hafnium(IV) chloride, Hafnium(IV) iodide, Hafnium isopropoxide isopropanol adduct, Hafnium(IV) fluoride, Hafnium(IV) bromide, Tetrakis(diethylamido)hafnium(IV), Tetrakis(dimethylamido)hafnium(IV), Hafnium(IV) n-butoxide, Hafnium(IV) carbide, Hafnium(IV) oxychloride hydrate, Bis(cyclopentadienyl)hafnium(IV)dichloride, Bis(cyclopentadienyl)dimethylhafnium, Bis(ethylcyclopentadienyl)hafniumdichloride, Bis(pentamethylcyclopentadienyl)hafnium dichloride, Bis(i-propylcyclopentadienyl)hafnium dichloride, Hafnium(IV) trifluoromethanesulfonate hydrate, Hafnium carboxyethyl acrylate, Hafnium (IV) tetra-butoxide, Hafnium(IV) acetylacetonate, Dimethylbis(cyclopentadienyl)hafnium(IV), Dimethylbis(t-butylcyclopentadienyl)hafnium(IV), Cyclopentadienylhafnium(IV)trichloride, Indenylhafnium(IV) Trichloride, Hafnium(IV)dichloride oxide octahydrate, Hafnium(IV)ethoxide, Hafnium(IV)i-propoxide monoisopropylate, Pentamethylcyclentadienylhafnium trichloride, i-propylcyclopentadienylhafnium trichloride Tetrabenzylhafnium, Tetrakis(2,2,6,6-tetramethyl-3,5-heptanedionato)hafnium(IV), Tris(dimethylamido)cyclopentadienyl Hafnium 와 같은 하프늄 전구체 물질이 적용될 수 있다.
- [0070] 도 7은 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 질소(N)의 전구체 물질을 보여주는 도면이다.
- [0071] 도 7을 참조하면, 본 발명의 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 질소(N)의 전구체 물질은, 예를 들어, NH_3 (ammonia)이거나 이를 포함할 수 있다. 상기 NH_3 는 도 5의 제 2 전구체(P2)에 대응될 수 있다. 질소 전구체 물질은 N_2 (Nitrogen)이거나 이를 포함할 수 있다. 상기 N_2 는 도 5의 제 2 전구체 (P2)에 대응될 수 있다. N_2+H_2 혼합가스 이거나 이를 포함할 수 있다. 상기 N_2+H_2 혼합가스도 도 5의 제 2 전구체 (P2)에 대응될 수 있다. 질소 전구체 물질은 N_2H_4 (hydrazine)이거나 이를 포함할 수 있다. 상기 NH_3 , N_2 , N_2+H_2 , N_2H_4 가스 또는 그 혼합 가스의 플라즈마 가스를 포함할 수 있다.
- [0072] 도 8은 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에 적용될 수 있는 스위칭 층의 형성 방법을 설명하기 위한 도면이다.
- [0073] 도 8을 참조하면, ALD 공정 또는 PEALD 공정으로 스위칭 층을 형성하는 경우, 상기 ALD 공정 또는 PEALD 공정의 사이클은 제 1 전극이 배치된 챔버 내에 하프늄(Hf)의 소스인 제 1 전구체를 공급하여 제 1 전극(E1) 상에 하프늄 함유 층을 형성하는 단계(S1), 상기 챔버를 퍼지(purge)하는 제 1 퍼지 단계(S2), 상기 챔버 내에 질소(N)의 소스인 제 2 전구체를 공급하여 상기 하프늄 함유 층과 상기 질소의 반응층을 형성하는 단계(S3) 및 상기 챔버를 퍼지하는 제 2 퍼지 단계(S4)를 포함할 수 있다. 여기서, 상기 제 1 전구체는 TEMAHf를 포함할 수 있고, 상기 제 2 전구체는 NH_3 를 포함할 수 있다.

- [0074] S1 단계의 지속 시간은, 예컨대, 0.5 sec 내지 3 sec 정도일 수 있고, S2 단계의 지속 시간은, 예컨대, 10 sec 내지 60 sec 정도일 수 있고, S3 단계의 지속 시간은, 예컨대, 1 sec 내지 10 sec 정도일 수 있고, S4 단계의 지속 시간은, 예컨대, 20 sec 내지 100 sec 정도일 수 있다. 보다 구체적인 예로, S1 단계의 지속 시간은, 예컨대, 1 sec 내지 1.5 sec 정도일 수 있고, S2 단계의 지속 시간은, 예컨대, 15 sec 내지 30 sec 정도일 수 있고, S3 단계의 지속 시간은, 예컨대, 5 sec 내지 6 sec 정도일 수 있고, S4 단계의 지속 시간은, 예컨대, 45 sec 내지 60 sec 정도일 수 있다. 그러나, 상기 S1 내지 S4 단계들의 지속 시간은, 경우에 따라, 다양하게 변화될 수 있다.
- [0075] 도 6 내지 도 8에서와 같이, 상기 제 1 전구체로 TEMAHf를 사용하고, 상기 제 2 전구체로 NH_3 를 사용하는 경우, 우수한 스위칭 특성을 갖는 스위칭 층을 형성하는데 유리할 수 있다. 그러나, 본 발명의 실시예에서 상기 제 1 전구체의 물질 및 제 2 전구체의 물질은 TEMAHf 및 NH_3 로 한정되지 아니하고, 그 밖에 다양한 다른 물질을 적용할 수도 있다.
- [0076] 도 9는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에서 스위칭 층의 형성시 ALD 공정의 사이클 증가에 따른 스위칭 층의 두께 변화를 보여주는 그래프이다. 도 9를 참조하면, ALD 공정에서 스위칭 층의 성장 속도는 $1.3\text{\AA}/\text{cycle}$ 정도였다. 이때, 기판의 온도는 $250\text{ }^\circ\text{C}$ 였다. 기판의 온도는 예시적이며, 상기 ALD 공정의 기판의 온도는 $100\text{ }^\circ\text{C}$ 내지 $350\text{ }^\circ\text{C}$ 의 범위 내일 수 있다.
- [0077] 도 10은 본 발명의 실시예에서 ALD 공정으로 형성된 스위칭 층에 대한 XRD(X-ray diffraction) 분석 결과를 보여주는 그래프이다.
- [0078] 도 10을 참조하면, 본 발명의 실시예에서 ALD 공정으로 형성된 스위칭 층은 하프늄 질화물(HfN_x)을 주성분으로 포함하는 물질층으로서, (111)의 메인 피크(main peak)를 갖고 그외 (200), (220), (311), (222)의 결정면을 갖는 mononitride의 다결정상임을 확인할 수 있다.
- [0079] 도 11은 본 발명의 실시예에서 ALD 공정으로 형성된 스위칭 층(20a)에 대한 HR-TEM(high resolution transmission electron microscopy) 촬영 이미지를 보여주는 도면이다. 도 11에서 참조번호 10a는 제 1 전극을 나타내고, 30a는 제 2 전극을 나타낸다.
- [0080] 도 11을 참조하면, 본 발명의 실시예에서 ALD 공정으로 형성된(성장된) 스위칭 층(20a)은 하프늄 질화물(HfN_x)을 주성분으로 포함하는 물질층이고, 이 물질층은 소정의 결정 구조를 갖고 상당히 균일하게 성장된 것을 확인할 수 있다.
- [0081] 도 12는 본 발명의 일 실시예에 따른 선택 소자의 제조 방법에서 형성된 제 1 전극 및 스위칭 층의 적층 구조체에 대해서 AES(Auger electron spectroscopy) 깊이 프로파일링(depth profiling)을 통해 성분을 분석한 결과를 보여주는 그래프이다. 도 12는 도 4b의 적층 구조체(즉, 10 + 20A)에 대한 결과라고 할 수 있다.
- [0082] 도 12를 참조하면, 본 발명의 실시예에서 ALD 공정으로 형성된(성장된) 스위칭 층은 하프늄 질화물(HfN_x)을 주성분으로 포함하는 물질층으로서, 상기 HfN_x 에서 Hf와 N의 비율(Hf:N)은 약 1:1 내지 그와 유사한 수준이며, 산소(O)는 약 10 at% 내외로 포함하는 것을 확인할 수 있다. 또한, 상기 스위칭 층의 표면부(상면부)에 산소-리치(oxygen-rich)한 HfO_xN_y 영역이 존재할 수 있고, 상기 HfO_xN_y 영역에서 산소(O)의 함량은 약 50 at% 이하 또는 약 40 at% 이하 또는 약 20 at% 이하일 수 있다.
- [0083] 도 13은 본 발명의 실시예에서 ALD 공정으로 형성된 스위칭 층에 대한 XPS(X-ray photoelectron spectroscopy) 분석 결과를 보여주는 그래프이다. 도 13의 (A)그래프는 Hf 4f에 대한 결과이고, (B)그래프는 N 1s에 대한 결과이며, (C)그래프는 O 1s에 대한 결과이다.
- [0084] 도 13을 참조하면, 본 발명의 실시예에서 ALD 공정으로 형성된(성장된) 스위칭 층은 하프늄 질화물(HfN_x)을 주성분으로 포함하는 물질층으로서, Hf-N, Hf-O-N 및 소량의 Hf-O로 구성된 것을 확인할 수 있다.
- [0085] 도 14는 본 발명의 일 실시예에 따른 선택 소자의 전압(voltage)-전류 밀도(current density) 특성을 로그 스케일로 보여주는 그래프이다. 상기 선택 소자는 Pt(제1전극)/스위칭 층/Pt(제2전극) 구조를 갖고, 상기 스위칭 층은 하프늄 질화물(HfN_x)을 주성분으로 포함한다. 도 14는 상기 스위칭 층의 두께가 5 nm 인 경우와 10 nm 인 경우의 결과를 포함한다.

- [0086] 도 14를 참조하면, 상기 선택 소자는 바이폴라 스위칭 특성을 갖는 것을 확인할 수 있다. 또한, 상기 선택 소자는 바이폴라 동작시, 극성에 따라 어느 정도 비대칭적인 전압-전류 밀도 특성을 나타낼 수 있다. 상기 선택 소자에 인가되는 전압의 극성에 따라서, 전도 메카니즘(conduction mechanism)이 다를 수 있다. 또한, 본 발명의 실시예에 따른 선택 소자는, 포밍(forming) 공정 없이 바이폴라 동작시 비대칭적인 전압-전류 밀도 특성을 구현하고 있어, 포밍-프리(forming-free) 소자로서의 이점을 가지며, 이는 선택 소자의 제조 및 구동에 있어 빠른 처리와 프로세스의 간소화로 보다 경제적이 될 수 있다.
- [0087] 도 15는 본 발명의 일 실시예에 따른 선택 소자의 성능 지수에 해당하는 K factor를 평가한 결과를 보여주는 그래프이다. 상기 선택 소자는 Pt(제1전극)/스위칭 층/Pt(제2전극) 구조를 갖고, 상기 스위칭 층은 하프늄 질화물(HfN_x)을 주성분으로 포함한다. 도 15는 상기 스위칭 층의 두께가 5 nm 인 경우와 10 nm 인 경우의 결과를 포함한다. 여기서, 상기 K factor는 온-전압(ON-voltage)에서의 전류($I_{\text{ON-voltage}}$)와 상기 온-전압의 절반에 해당하는 전압($0.5 \times \text{ON-voltage}$)에서의 전류($I_{0.5 \times \text{ON-voltage}}$)의 비율(즉, $I_{\text{ON-voltage}}/I_{0.5 \times \text{ON-voltage}}$)로서, 이는 선택 소자의 비선형성을 나타내는 성능 지수이다.
- [0088] 도 16은 도 15에서 설명한 실시예에 따른 선택 소자의 조건 별 온-전류(ON-current)를 측정한 결과를 보여주는 그래프이다.
- [0089] 도 15 및 도 16을 참조하면, 상기 선택 소자는 바이폴라 스위칭 특성을 가지며, 소정 조건에서 약 200 이상의 K factor를 갖는 것을 확인할 수 있다. 특히, 스위칭 층의 두께가 약 2 nm 내지 20 nm 범위에서 높은 비선형성(non-linearity) 및 높은 전류 밀도를 가지며, 도 15 및 도 16에서 예시된 약 5 nm의 스위칭 층의 두께에서, 높은 비선형성(non-linearity) 및 높은 전류 밀도를 갖는 것을 확인할 수 있다.
- [0090] 그러나, 도 14 내지 도 16의 결과는 소정 조건의 ALD 공정으로 형성된 스위칭 층을 포함하는 선택 소자에 대한 것이고, ALD 공정 조건이 변화됨에 따라, 선택 소자의 특성도 달라질 수 있다.
- [0091] 도 17은 본 발명의 일 실시예에 따른 선택 소자의 낮은 전기장 영역에서의 Schottky emission 특성을 보여주는 그래프이다. 도 18은 본 발명의 일 실시예에 따른 선택 소자의 높은 전기장 영역에서의 hopping conduction 특성을 보여주는 그래프이다.
- [0092] 도 17 및 도 18을 참조하면, 본 발명의 실시예에 따른 선택 소자의 전도(conduction)는 Schottky emission과 hopping conduction에 의한 결과일 수 있다. 상대적으로 낮은 전기장 영역에서는 Schottky emission에 의한 전도 특성이 주로 나타나고, 상대적으로 높은 전기장 영역에서는 hopping conduction에 의한 전도 특성이 주로 나타난다.
- [0093] 도 19는 본 발명의 일 실시예에 따른 선택 소자의 양(+)의 전압 인가에 따른 스위칭 메카니즘을 설명하기 위한 에너지 밴드 다이어그램이다. 도 20은 본 발명의 일 실시예에 따른 선택 소자의 음(-)의 전압 인가에 따른 스위칭 메카니즘을 설명하기 위한 에너지 밴드 다이어그램이다. 도 19 및 도 20은 도 2의 구조를 갖는 선택 소자에 대한 것이다. 도 19 및 도 20에서 E_F 는 페르미 레벨(Fermi level)을 나타내고, E_c 는 최소 전도대 레벨을 나타낸다.
- [0094] 도 19를 참조하면, 비교적 낮은 양(+)의 전압 인가 시에는, 전자가 쇼트키 장벽을 넘어 제 1 층부(21)의 트랩들을 통과하여 흐르기가 어려울 수 있다. 그러나, 문턱 전압 이상의 높은 양(+)의 전압이 인가되면, 큰 전위차에 의해 전자가 상기 트랩들을 통과하여 잘 흐를 수 있다.
- [0095] 도 20을 참조하면, 음(-)의 방향으로 전압을 증가시킬 때에도 도 19에서 설명한 바와 같은 원리와 유사한 원리에 의해 문턱 스위칭 특성, 즉, 비선형적 스위칭 특성이 나타날 수 있다.
- [0096] 도 19 및 도 20의 실시예에서는 제 1 층부(21)와 다른 조성을 갖는 제 2 층부(22)가 제 2 전극(30)과 접하도록 배치되어 있기 때문에, 이로 인해, 전압 극성에 따라 비대칭적인 동작 특성이 나타날 수 있다. 여기서, 제 1 층부(21)의 주성분은 HfN_x 일 수 있고, 제 2 층부(22)의 주성분은 HfO_xN_y 일 수 있다. 보다 구체적으로 설명하면, 양(+)의 전압 인가 시에는 전자들이 HfN_x/Pt 사이의 비교적 낮은 에너지를 갖는 Schottky barrier를 극복할 필요가 있고, 음(-)의 전압 인가 시에는 전자들이 $\text{HfO}_x\text{N}_y/\text{Pt}$ 사이의 비교적 높은 에너지를 갖는 Schottky barrier를 극복할 필요가 있다. 따라서, 이 경우, 음(-)의 극성보다 양(+)의 극성에서 비선형성 및 전류 레벨이 더 높아질 수 있다.

- [0097] 도 21 내지 도 24는 본 발명의 실시예들에 따른 스위칭 층을 포함하는 선택 소자의 전류-전압(I-V) 특성을 평가한 결과를 보여주는 그래프이다.
- [0098] 도 21 내지 도 23은 PEALD 공정으로 형성된 스위칭 층을 포함하는 선택 소자에 대한 것이고, 이때, 상기 스위칭 층(평판형)의 두께는 모두 10 nm 였다. 도 21에서는 PEALD 공정의 플라즈마 발생 파워가 200 W 였고, 도 22에서는 PEALD 공정의 플라즈마 발생 파워가 300 W 였으며, 도 23에서는 PEALD 공정의 플라즈마 발생 파워가 400 W 였다. 한편, 도 24는 열적(thermal) ALD 공정으로 형성된 스위칭 층을 포함하는 선택 소자에 대한 것이고, 상기 스위칭 층(평판형)의 두께는 10 nm 였다. 도 21 내지 도 24에서 K factor의 측정을 위한 읽기 전압은 모두 3 V 였다.
- [0099] 도 21 내지 도 24를 참조하면, 열적(thermal) ALD 공정으로 형성된 스위칭 층을 포함하는 선택 소자(도 24)와 비교하여 PEALD 공정으로 형성된 스위칭 층을 포함하는 선택 소자(도 21 내지 도 23)에서 I-V 커브의 비대칭성이 크게 감소한 것을 확인할 수 있다. 이는 PEALD 공정을 통해서 산소(O) 등의 혼입을 억제 내지 방지한 결과일 수 있다. 따라서, PEALD 공정을 통해서 보다 균일하고 HfN_x의 함량이 높은 스위칭 층을 얻을 수 있고, 양극성에 대해 대칭적인 동작 특성을 확보할 수 있으며, 우수한 스위칭 특성 및 비선형성을 확보할 수 있다. 특히, 플라즈마 발생 파워가 200 W (도 21) 및 300 W (도 22)인 경우, K factor는 94.9 및 102.1 정도로 비교적 높게 나타났다. 그러나, 도 21 내지 도 24의 결과는 소정의 ALD 공정 조건을 적용한 경우의 결과이고, ALD 공정 조건의 변화를 통해서 실시예에 따른 선택 소자의 특성을 더욱 개선할 수 있다.
- [0100] 이상에서 설명한 본 발명의 실시예들에 따른 선택 소자는 다양한 비휘발성 메모리 소자에 적용될 수 있다. 특히, 상기 선택 소자는 바이폴라 스위칭 특성을 갖기 때문에, ReRAM (RRAM) 등 다양한 비휘발성 메모리 소자에 용이하게 적용될 수 있다. 본 발명의 실시예에 따른 비휘발성 메모리 소자는 상기한 실시예에 따른 선택 소자 및 상기 선택 소자에 전기적으로 연결된 메모리 요소를 포함할 수 있다. 상기 비휘발성 메모리 소자는, 예를 들어, 크로스바 어레이 구조(crossbar array structure), 다시 말해, 크로스 포인트 어레이 구조(cross-point array structure)를 가질 수 있다. 그 일례가 도 25에 도시되어 있다.
- [0101] 도 25는 본 발명의 일 실시예에 따른 선택 소자를 포함하는 비휘발성 메모리 소자(100)를 예시적으로 보여주는 사시도이다.
- [0102] 도 25를 참조하면, 비휘발성 메모리 소자(100)는 제 1 방향으로 나란히 연장된 복수의 제 1 배선(W10) 및 복수의 제 1 배선(W10) 상에 이들과 교차하는 제 2 방향으로 나란히 연장된 복수의 제 2 배선(W20)을 포함할 수 있다. 복수의 제 2 배선(W20)은 복수의 제 1 배선(W10)에 대하여, 예컨대, 직교하는 방향으로 연장될 수 있다. 비휘발성 메모리 소자(100)는 복수의 제 1 배선(W10)과 복수의 제 2 배선(W20) 사이의 교차점 각각에 배치된 메모리 셀(C10)을 포함할 수 있다. 메모리 셀(C10)은 선택 소자(SD1) 및 메모리 요소(MD1)를 포함할 수 있다. 예를 들어, 각 메모리 셀(C10)에서 선택 소자(SD1) 상에 메모리 요소(MD1)가 배치될 수 있지만, 반대로, 메모리 요소(MD1) 상에 선택 소자(SD1)가 배치될 수도 있다. 각 메모리 셀(C10)에서 선택 소자(SD1)는 메모리 요소(MD1)와 직렬로 전기적으로 연결될 수 있다.
- [0103] 도 26은 도 25에서 메모리 셀(C10)이 가질 수 있는 적층 구조를 예시적으로 보여주는 단면도이다.
- [0104] 도 26을 참조하면, 제 1 전극(15) 상에 스위칭 층(25), 제 2 전극(35), 메모리층(45) 및 제 3 전극(55)이 순차로 배치될 수 있다. 스위칭 층(25)은 도 1 및 도 2 등에서 설명한 스위칭 층(20, 20A)에 대응될 수 있다. 제 1 전극(15) 및 제 2 전극(35)은 도 1 및 도 2 등에서 설명한 제 1 전극(10) 및 제 2 전극(30)에 각각 대응될 수 있다. 제 2 전극(30)은 플로팅 전극(floating electrode)일 수 있고, 중간 전극이라고 지칭할 수 있다. 메모리층(45)은 전기적 신호에 의해 저저항 상태와 고저항 상태 사이에서 가역적으로 저항 상태가 변환되는 물질층일 수 있다. 메모리층(45)은 ReRAM (RRAM)에 적용될 수 있는 가변 저항체 물질을 포함할 수 있다. 또는, 메모리층(45)은 PRAM, MRAM, FRAM 등에 적용될 수 있는 메모리 물질을 포함할 수도 있다. 메모리층(45)은, 비제한적인 예로서, 전이 금속 산화물, 페로브스카이트계 화합물, 칼코게나이드계 화합물 중 적어도 하나를 포함할 수 있다. 상기 전이 금속 산화물은, 비제한적인 예로서, Ti 산화물, Ni 산화물, Ta 산화물, Hf 산화물, Al 산화물, Zr 산화물, Cu 산화물, Nb 산화물, Ta 산화물, Ga 산화물, Gd 산화물, V 산화물, Mn 산화물, PrCaMn 산화물 등을 포함할 수 있다. 한편, 제 3 전극(55)은 금속 및 금속 화합물 중 적어도 하나를 포함할 수 있다.
- [0105] 제 1 전극(15), 스위칭 층(25) 및 제 2 전극(35)은 하나의 선택 소자를 구성한다고 할 수 있다. 또한, 메모리층(45)을 하나의 메모리 요소로 대응시킬 수 있다. 또는, 제 2 전극(35), 메모리층(45) 및 제 3 전극(55)이 하나의 메모리 요소를 구성한다고 여길 수도 있다. 한편, 제 1 전극(15)은 도 25의 제 1 배선(W10)의 일부를 구성하

거나, 제 1 배선(W10)과 별개로 구비될 수 있다. 이와 유사하게, 제 3 전극(55)은 도 25의 제 2 배선(W20)의 일부를 구성하거나, 제 2 배선(W20)과 별개로 구비될 수 있다.

- [0106] 도 27은 본 발명의 일 실시예에 따른 선택 소자를 포함하는 비휘발성 메모리 소자를 보여주는 TEM(transmission electron microscopy) 이미지이다.
- [0107] 도 27을 참조하면, 비휘발성 메모리 소자는 Pt층/HfN_x층/Pt층/HfO₂층/Ti층 구조를 가질 수 있다. 이러한 구조는 도 26에서 설명한 제 1 전극(15)/스위칭 층(25)/제 2 전극(35)/메모리층(45)/제 3 전극(55) 구조에 대응될 수 있다. 상기 HfN_x층은 도 1 및 도 2에서 설명한 스위칭 층(20, 20A)에 대응될 수 있는 것으로, 약 5 nm 정도의 두께를 갖는다. 상기 HfO₂층은 저항성 메모리층으로서, 약 6 nm 정도의 두께를 갖는다. Pt층/HfN_x층/Pt층 구조는 선택 소자에 해당할 수 있고, Pt층/HfO₂층/Ti층 구조는 메모리 요소(여기서는, 저항성 메모리 요소)에 해당할 수 있다.
- [0108] 도 28은 도 27에서 설명한 선택 소자, 메모리 요소 및 이들이 연결된(결합된) 1S1R 구조체(즉, 통합 소자 구조) 각각의 전류-전압(I-V) 특성을 보여주는 그래프이다.
- [0109] 도 28을 참조하면, 선택 소자(1S)와 메모리 요소(1R)가 결합된 1S1R 구조체의 I-V 커브로부터, 상기 1S1R 구조체는 메모리 및 셀렉터로서 동작하며, 양방향(양극성) 스위칭 동작이 가능한 것을 확인할 수 있다. 상기 1S1R 구조체(즉, integrated device)의 저항 비(resistance ratio)는 ~17 정도였고, 세트 전압은 ~2.2 V 정도였으며, 비선형성(non-linearity)은 ~25 정도였다. 한편, 상기 메모리 요소(1R)만의 저항 비(resistance ratio)는 ~10³ 정도였고, 세트 전압은 ~1 V 정도였으며, 선택 소자(1S)만의 비선형성(non-linearity)은 ~200 정도였다.
- [0110] 도 29는 도 27에서 설명한 선택 소자와 메모리 요소가 결합된 1S1R 구조체의 스위칭 사이클 증가에 따른 저항 변화 특성을 보여주는 그래프이다. 여기서, HRS는 고저항 상태를 나타내고, LRS는 저저항 상태를 나타낸다.
- [0111] 도 29를 참조하면, 스위칭 사이클을 증가시키면서 연속적으로 측정한 결과, 상기 실시예에 따른 1S1R 구조체는 안정적으로 동작하는 것을 확인할 수 있다.
- [0112] 도 30은 본 발명의 일 실시예에 따른 선택 소자를 포함하는 크로스바 어레이 구조를 보여주는 평면 이미지이다.
- [0113] 도 30을 참조하면, 10×10 어레이에 해당하는 크로스바 어레이 구조의 교차점에 실시예에 따른 선택 소자를 적용하여 상기 선택 소자에 대한 테스트를 수행하였다. 상기 선택 소자의 전극 사이즈를 변화시키면서 상기 선택 소자의 ON-current 및 K factor를 측정하였으며, 그 결과는 도 31 및 도 32와 같았다.
- [0114] 도 31은 도 30에서 설명한 어레이 구조에서의 선택 소자의 전극 사이즈에 따른 ON-current의 변화를 보여주는 그래프이다. 도 31은 상기 선택 소자의 스위칭 층의 두께가 5 nm 인 경우와 10 nm 인 경우 각각의 두 가지 전압 극성에 대한 결과를 포함한다.
- [0115] 도 32는 도 30에서 설명한 어레이 구조에서의 선택 소자의 전극 사이즈에 따른 K factor의 변화를 보여주는 그래프이다. 도 32는 상기 선택 소자의 스위칭 층의 두께가 5 nm 인 경우와 10 nm 인 경우 각각의 두 가지 전압 극성에 대한 결과를 포함한다.
- [0116] 도 31 및 도 32를 참조하면, 각 전극 사이즈 조건 별로, 균일한 ON-current 특성 및 비선형(즉, K factor) 특성을 나타내는 것을 확인할 수 있다. 본 발명의 일 실시예에 따르면, ALD 공정을 통해서 컴포멀(conformal)한 스위칭 층(HfN_x를 주성분으로 포함하는 박막)을 용이하게 형성할 수 있기 때문에, 비교적 균일한 특성 확보가 용이할 수 있다. 본 발명의 일 실시예에 따르면, ALD 공정을 이용하여 박막형 선택 소자를 용이하게 제조할 수 있고, 비교적 낮은 공정 온도에서 균일한 박막의 두께 구현 및 조성 제어가 가능할 수 있다.
- [0117] 도 33은 본 발명의 일 실시예에 따른 선택 소자의 열적 안정성(thermal stability)을 평가한 결과를 보여주는 그래프이다. 실시예에 따른 선택 소자(즉, HfN_x 기반의 selector)에 대하여 27℃ 및 100℃에서의 동작 특성을 평가하였다.
- [0118] 도 33을 참조하면, 실시예에 따른 선택 소자는 27℃ 및 100℃의 온도 조건에서 1000 사이클(스위칭 횟수) 동안 약 240 정도의 비선형성(즉, K factor) 특성을 유지하는 것을 확인할 수 있다. 이는 상기 선택 소자가 우수한 열적 안정성을 갖는 것을 의미할 수 있다. 기존의 쇼트키 다이오드 및 PN 다이오드는 온도에 비교적 민감하여

고온 동작이 어려운 문제가 있지만, 본 발명의 실시예에 따른 선택 소자는 기존의 선택 소자와 비교하여 우수한 열적 안정성을 가질 수 있다.

[0119] 도 34는 본 발명의 일 실시예에 따른 선택 소자를 포함하는 1S1R 구조체(메모리 소자)의 열적 안정성을 평가한 결과를 보여주는 그래프이다.

[0120] 도 34를 참조하면, 실시예에 따른 선택 소자를 포함하는 1S1R 구조체는 27℃ 및 100℃의 온도 조건에서 거의 동일한 수준의 동작 특성을 나타내는 것을 확인할 수 있고, 이때, 상기 1S1R 구조체의 저항 비는 약 15~17 수준으로 유지되었다.

[0121] 상기 선택 소자의 전도 메카니즘(conduction mechanism)은 Schottky emission 및 hopping conduction을 포함할 수 있고, K factor의 읽기 전압 영역에서 전도는 주로 hopping conduction에 의한 것일 수 있다. Hopping 전도 기구는 낮은 온도 의존성을 가질 수 있기 때문에, 상기 선택 소자 및 이를 포함하는 메모리 소자는 상온 및 고온에서 모두 안정적인 소자 동작 특성을 나타낼 수 있다.

[0122] 이상에서 설명한 본 발명의 실시예들에 따르면, 간단한 구조와 물질 구성을 사용하면서도 높은 비선형성(non-linearity)(즉, 고선택비)을 갖고, 아울러, 우수한 내구성 및 고온 안정성을 갖는 선택 소자를 구현할 수 있다. 특히, 소정의 ALD(ex, PEALD) 공정을 이용함으로써, 질화물(즉, hafnium nitride) 기반의 스위칭 층을 가지면서 비교적 높은 비선형성 및 우수한 바이폴라(bipolar) 스위칭 특성을 갖는 선택 소자를 용이하게 구현할 수 있다. 상기 선택 소자는 포밍(forming) 공정이 요구되지 않는 포밍-프리(forming-free)한 소자일 수 있고, 균일한 두께 및 조성 제어가 가능하며, 아울러, 우수한 열적 안정성을 가질 수 있다. 이러한 실시예들에 따른 선택 소자를 적용하면, 우수한 동작 특성, 열적 안정성 및 고집적도를 갖는 비휘발성 메모리 소자를 제조할 수 있다.

[0123] 본 명세서에서는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다. 해당 기술 분야에서 통상의 지식을 가진 자라면, 도 1 내지 도 34를 참조하여 설명한 실시예에 따른 선택 소자와 그 제조 방법 및 선택 소자를 포함하는 비휘발성 메모리 소자가, 본 발명의 기술적 사상이 벗어나지 않는 범위 내에서, 다양하게 치환, 변경 및 변형될 수 있음을 알 수 있을 것이다. 때문에 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

부호의 설명

[0124] * 도면의 주요 부분에 대한 부호설명 *

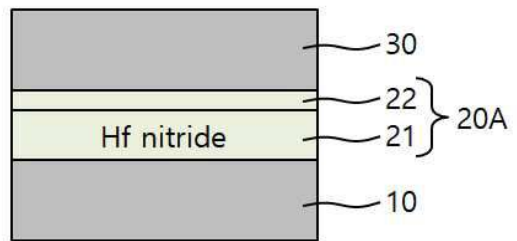
10, 15 : 제 1 전극	20, 20A, 25 : 스위칭층
21 : 제 1 층부	22 : 제 2 층부
30, 35 : 제 2 전극	45 : 메모리층
55 : 제 3 전극	100 : 메모리 소자
C10 : 메모리 셀	MD1 : 메모리 요소
SD1 : 선택 소자	W10 : 제 1 배선
W20 : 제 2 배선	

도면

도면1



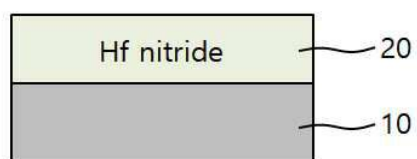
도면2



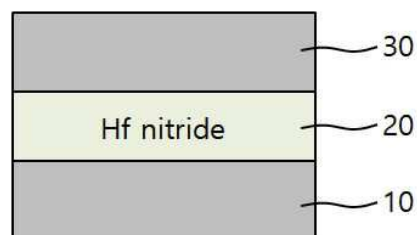
도면3a



도면3b



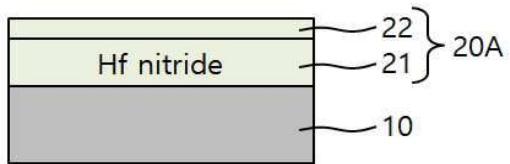
도면3c



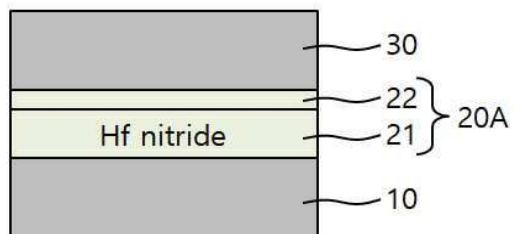
도면4a



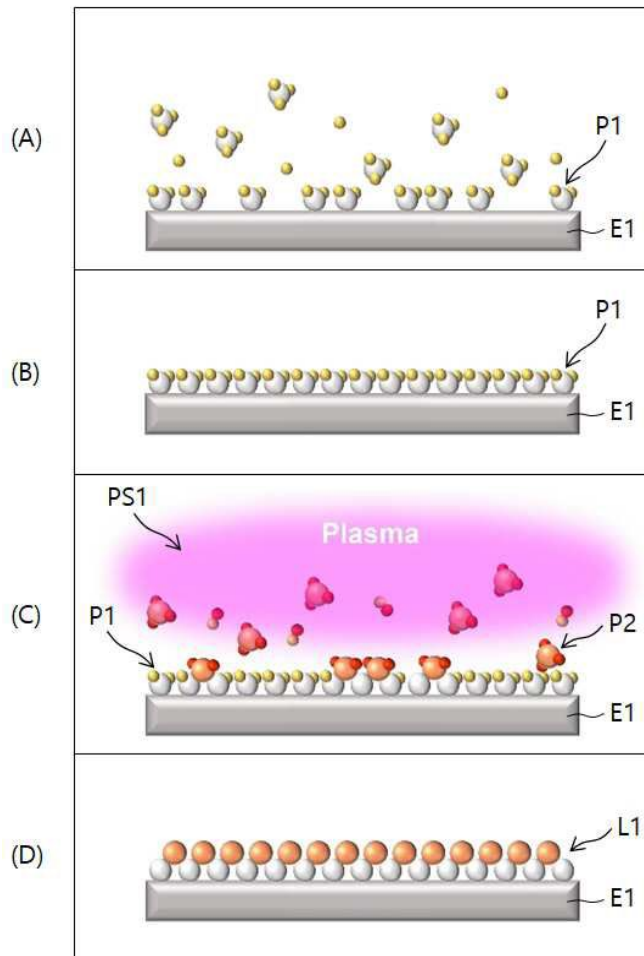
도면4b



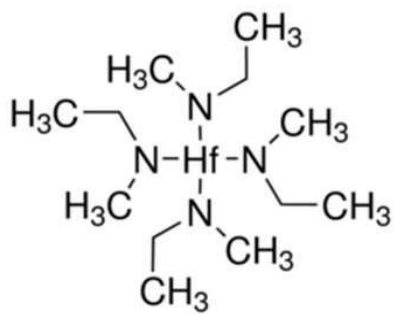
도면4c



도면5

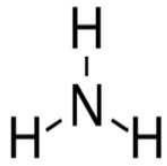


도면6



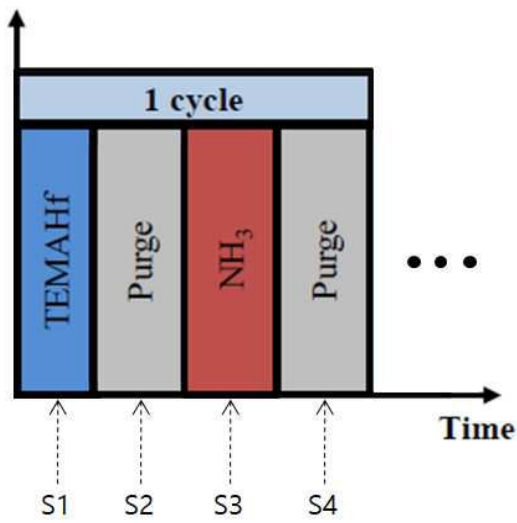
Tetrakis(ethylmethylamido)hafnium(IV)
(TEMAHf, [(CH₃)(C₂H₅)N]₄Hf)

도면7

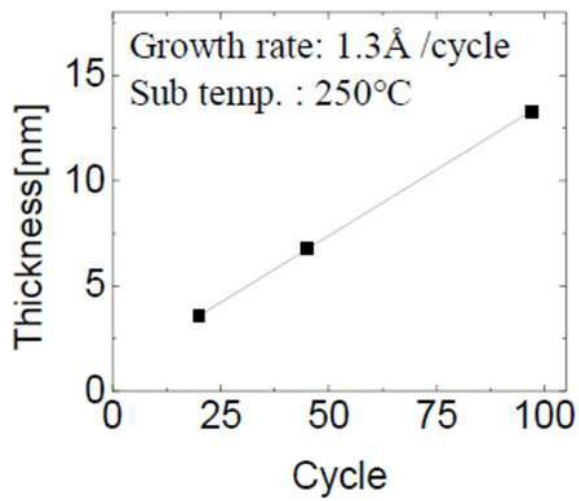


Ammonia (NH₃)

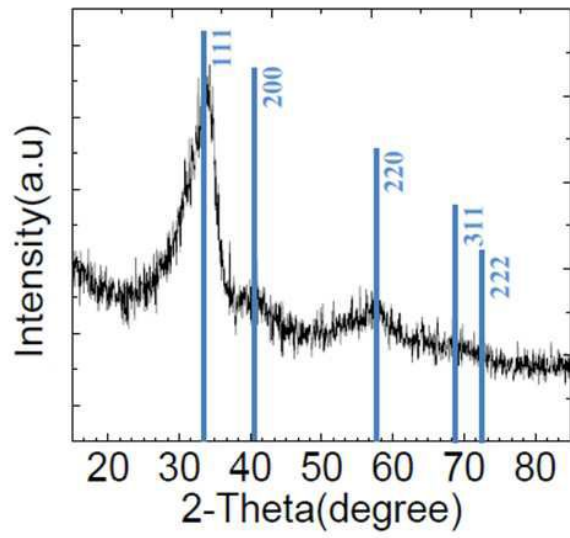
도면8



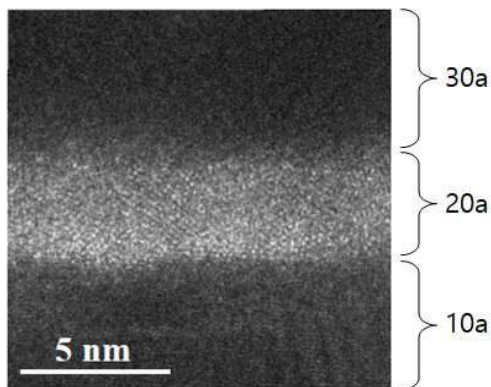
도면9



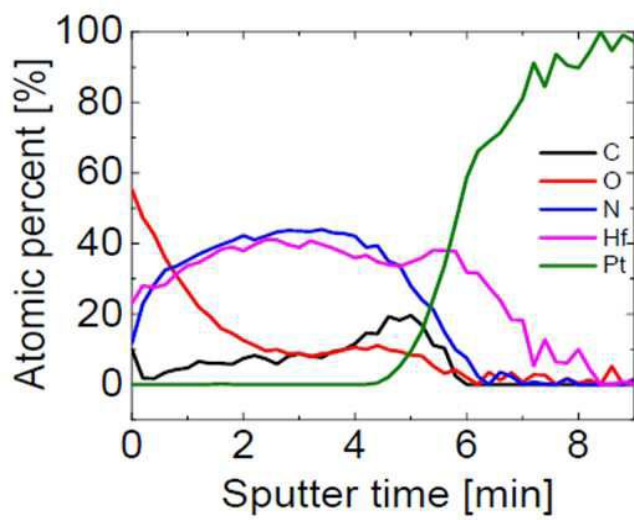
도면10



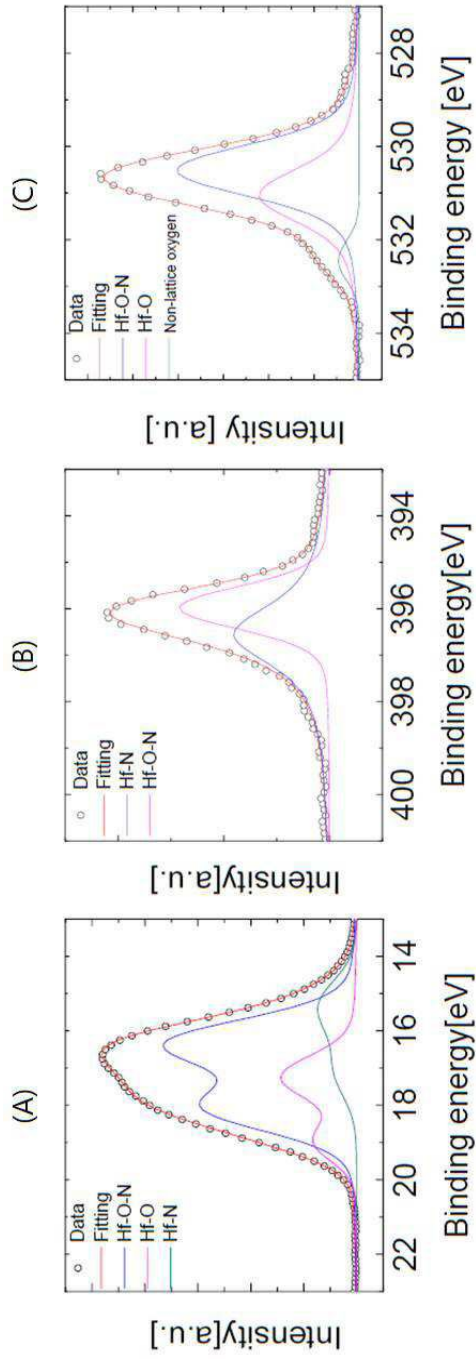
도면11



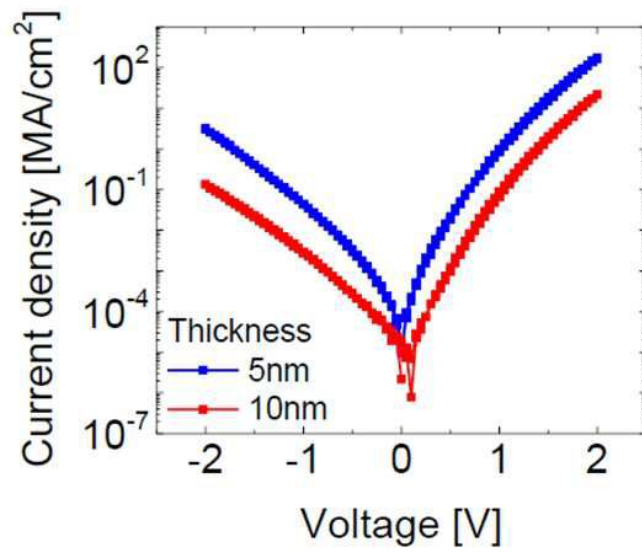
도면12



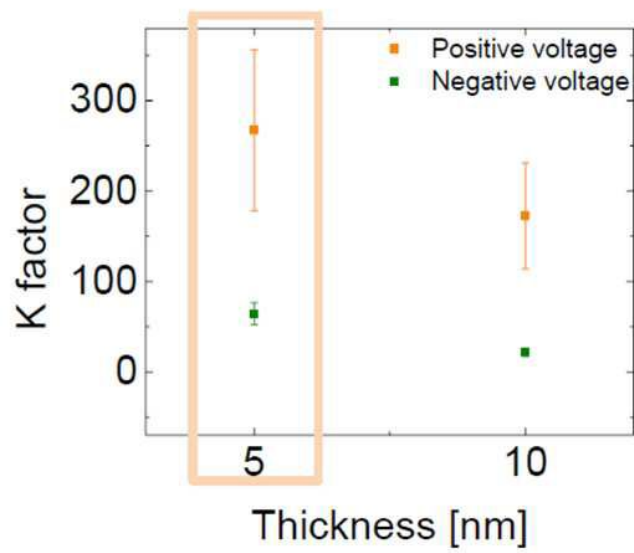
도면13



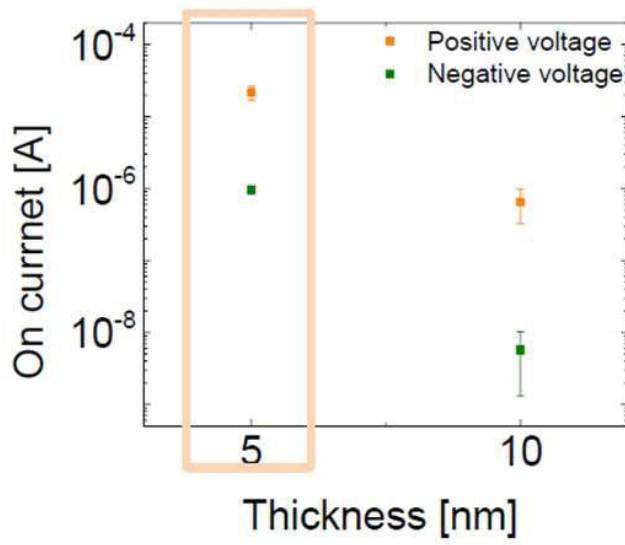
도면14



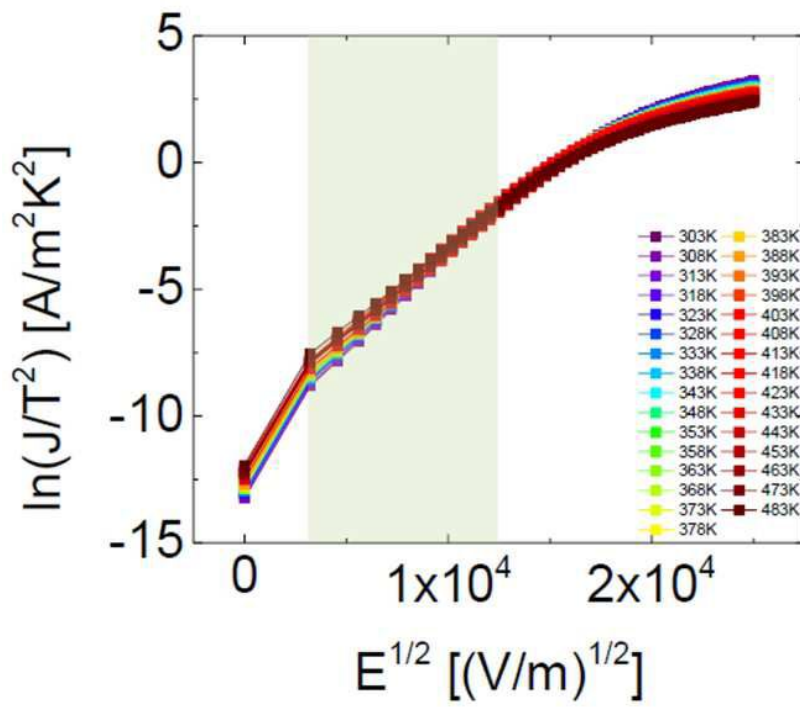
도면15



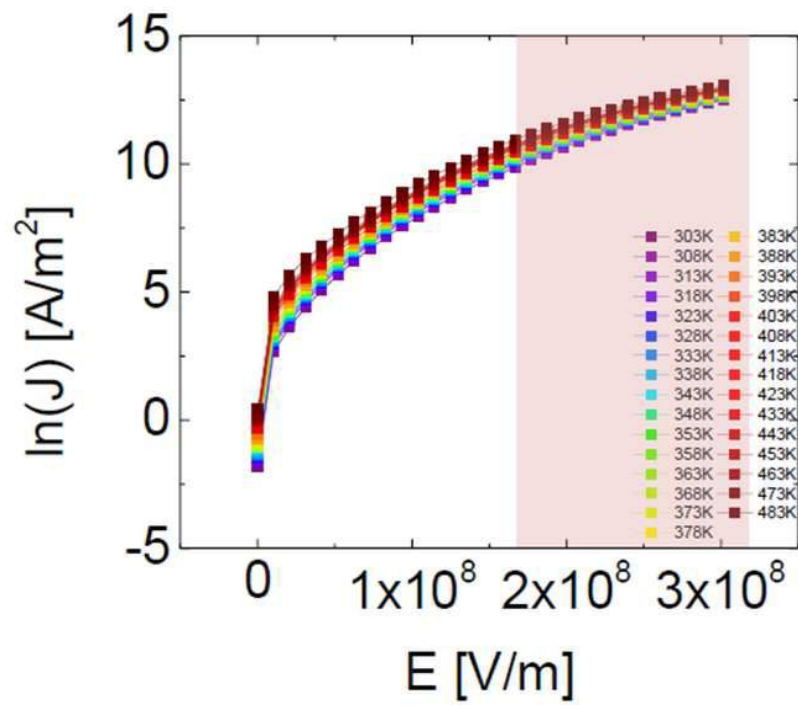
도면16



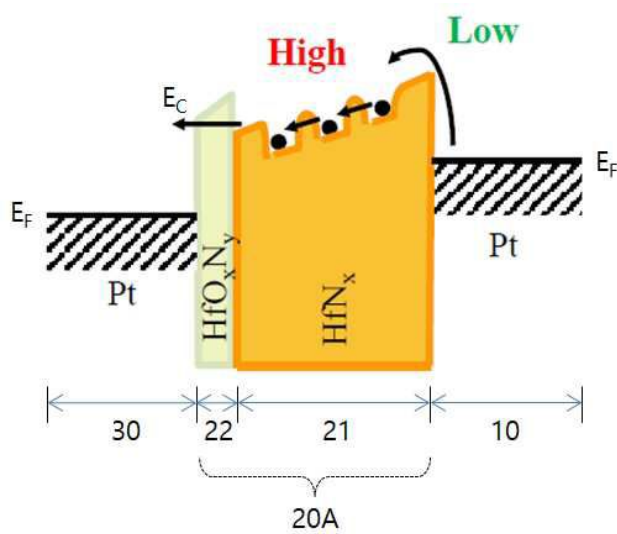
도면17



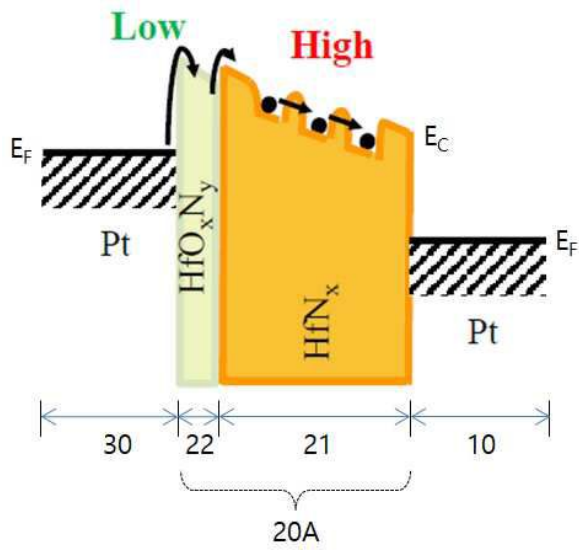
도면18



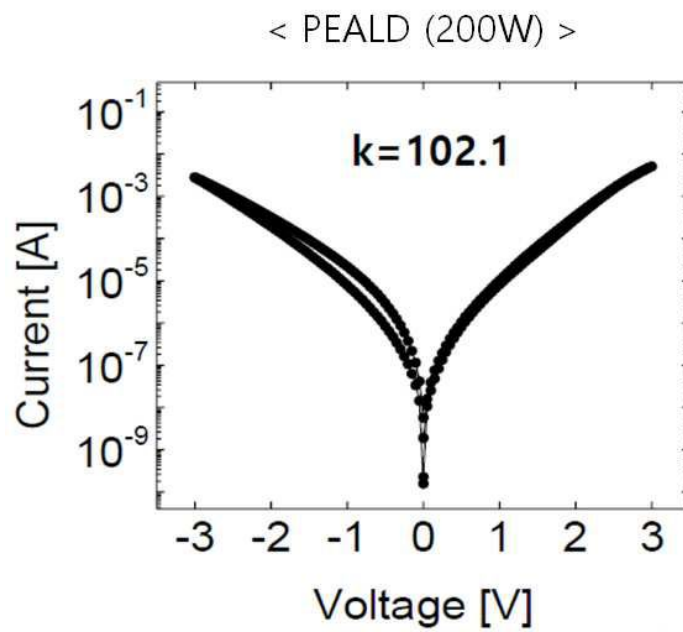
도면19



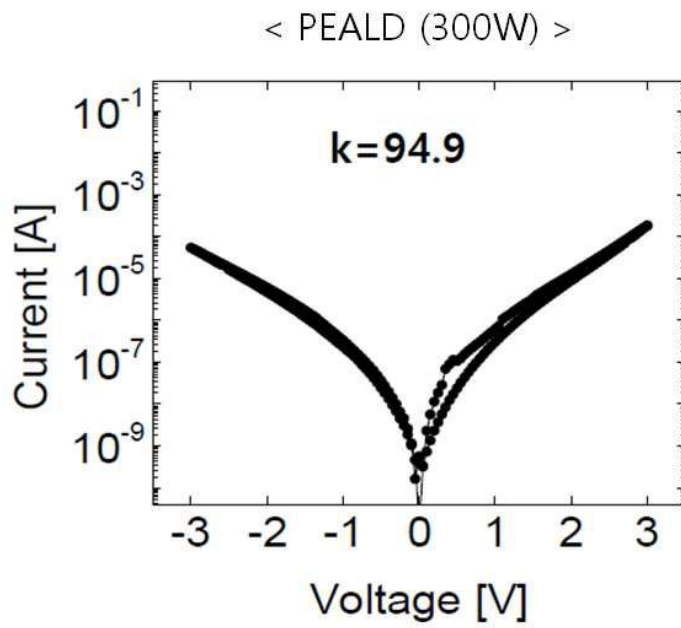
도면20



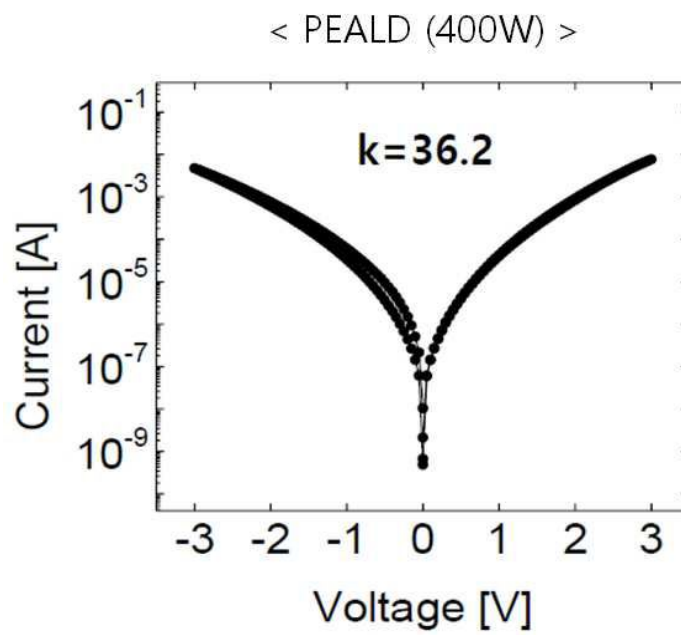
도면21



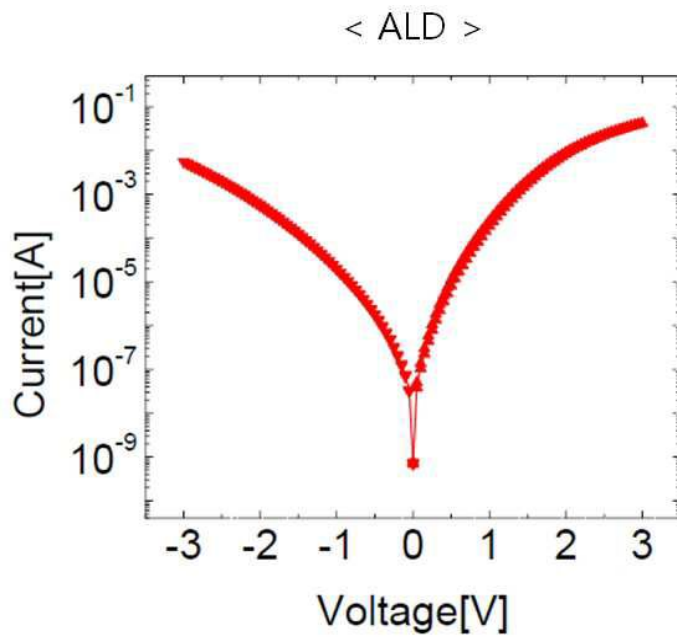
도면22



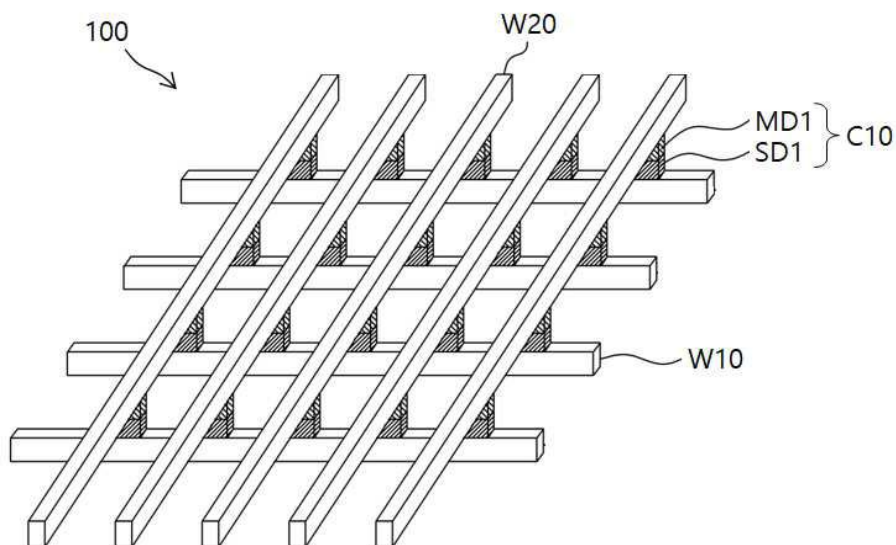
도면23



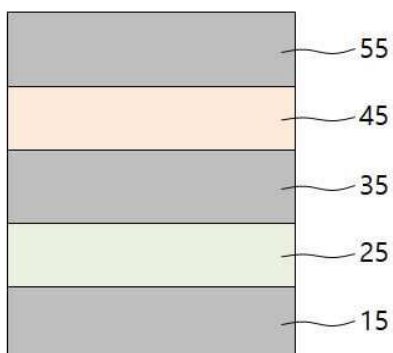
도면24



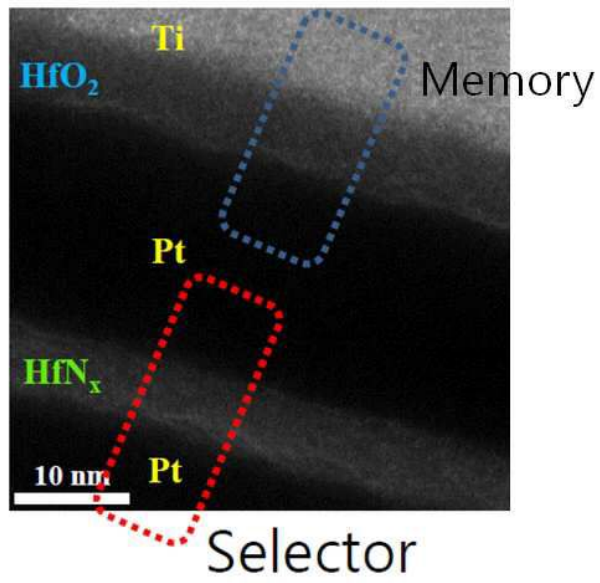
도면25



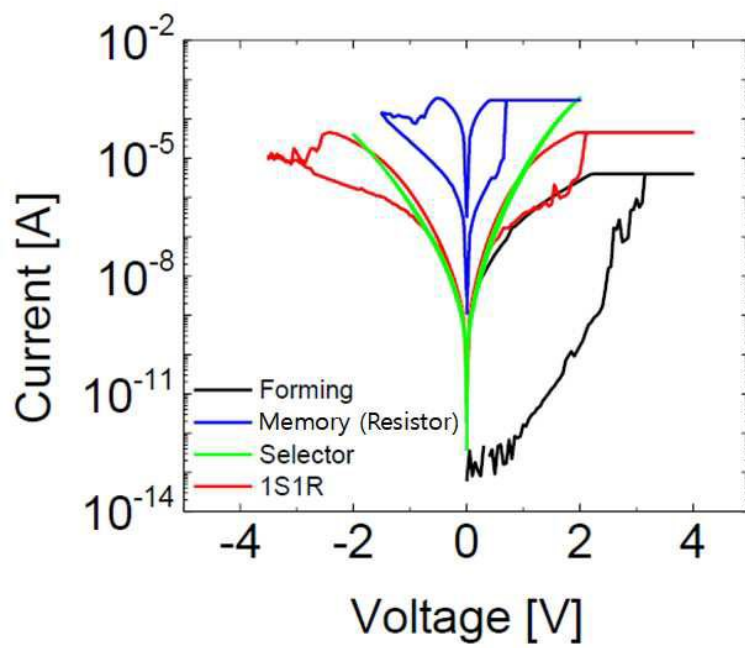
도면26



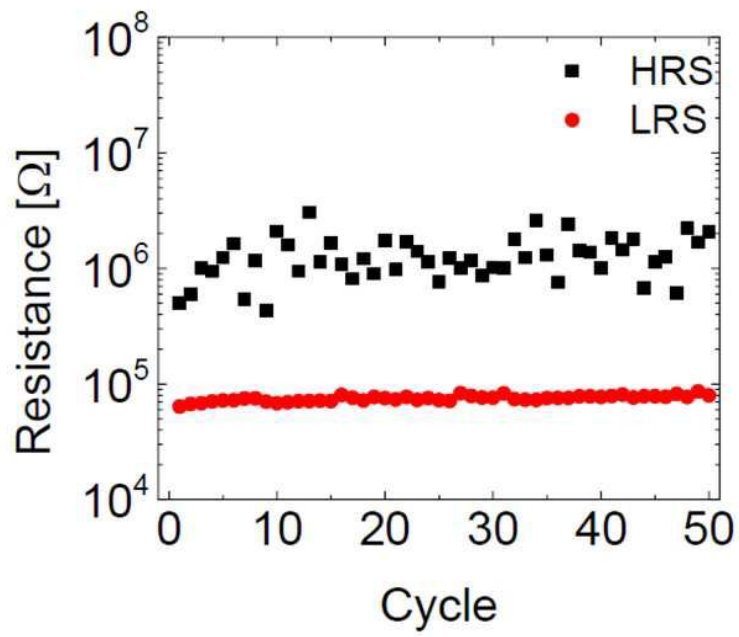
도면27



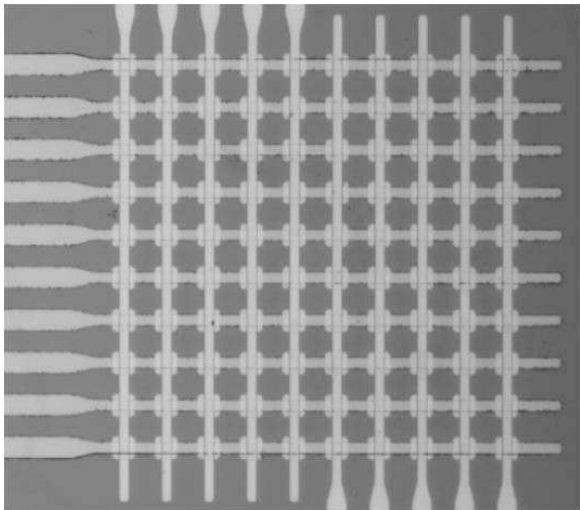
도면28



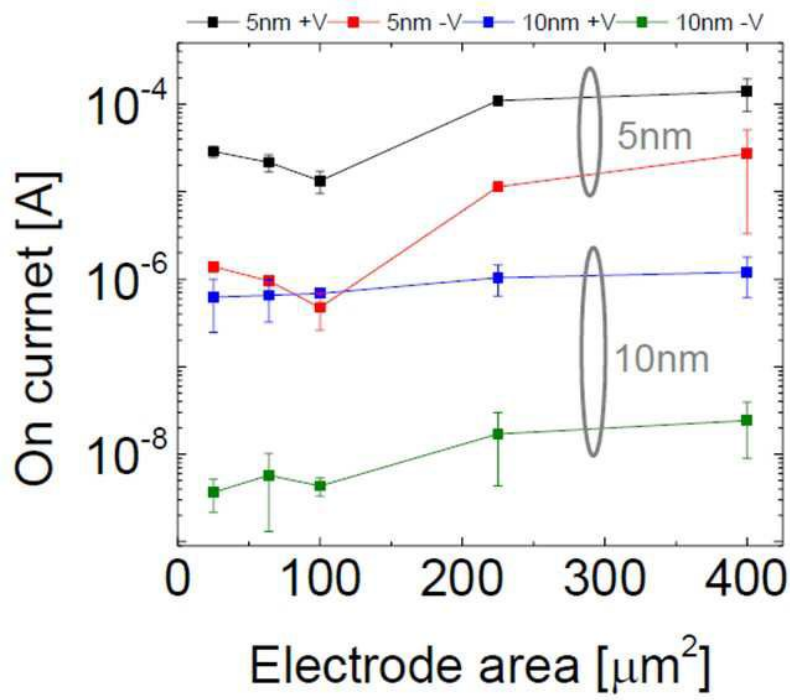
도면29



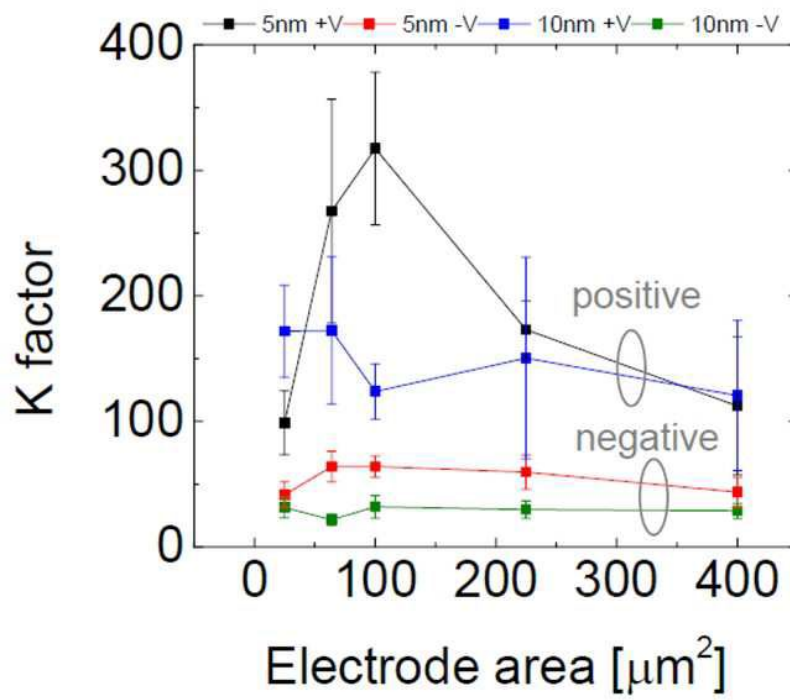
도면30



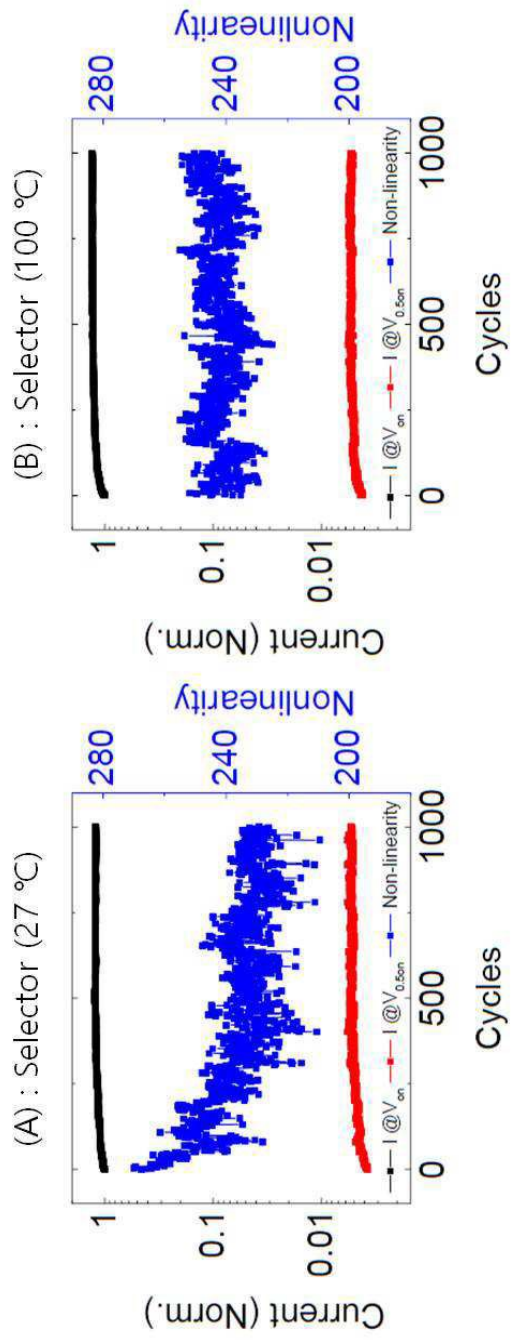
도면31



도면32



도면33



도면34

