



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0110303  
(43) 공개일자 2024년07월15일

(51) 국제특허분류(Int. Cl.)  
H01L 27/092 (2006.01) H01L 21/8238 (2006.01)  
(52) CPC특허분류  
H01L 27/0924 (2013.01)  
H01L 21/823821 (2013.01)  
(21) 출원번호 10-2023-0002229  
(22) 출원일자 2023년01월06일  
심사청구일자 2023년01월06일

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
장지원  
서울특별시 강남구 개포로 311, 902동 902호  
마지원  
서울특별시 마포구 모래내로3길 11, 418호  
홍석원  
서울특별시 강남구 남부순환로 2803, 104동 1904호  
(74) 대리인  
특허법인시공

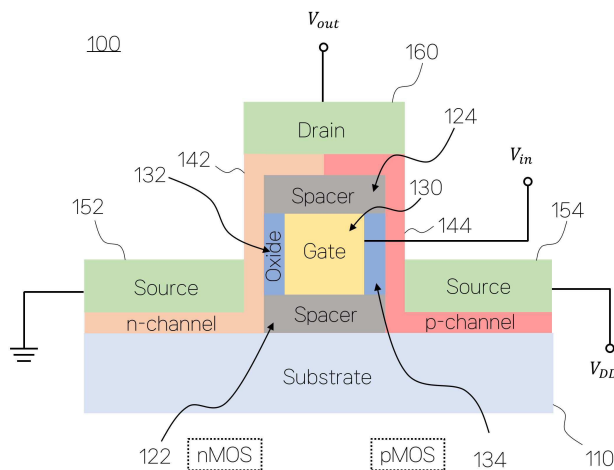
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 수직 측벽 채널 CMOS 인버터 및 이의 제조 방법

(57) 요약

본 개시의 일 실시예에 따르면, 수직 측벽 채널 CMOS 인버터는 기판, 기판 위에 배치되는 게이트 - 게이트의 상면 및 하면에 각각 제2 스페이스 및 제1 스페이스가 배치됨-, 게이트의 일측벽을 따라 수직으로 배치되는 제1 옥사이드, 게이트의 타측벽을 따라 수직으로 배치되는 제2 옥사이드, 기판 위에 배치되는 제1 n채널 영역, 제1 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 n채널 영역 및 제2 스페이스 위에 배치되는 제3 n채널 영역을 포함하는 n채널, 기판 위에 배치되는 제1 p채널 영역, 제2 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 p채널 영역 및 제2 스페이스 위에 배치되는 제3 p채널 영역을 포함하는 p채널, 제1 n채널 영역의 일면에 배치되는 nMOS의 소스, 제1 p채널 영역의 일면에 배치되는 PMOS의 소스 및 제3 n채널 영역 및 제3 p채널 영역 위에 배치되는 드레인을 포함할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1711157154
과제번호	2022R1A2C2008726
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	Logic-in-Memory 구현을 위한, 2차원 물질의 두께에 따른 상전이를 활용한
Monolithic 3D 집적 가능한	Ternary CMOS 기술 연구
기 여 율	1/2
과제수행기관명	연세대학교
연구기간	2022.03.01 ~ 2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711159172
과제번호	2020M3F3A2A01082593
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(소자)
연구과제명	2차원 소재 시드 활용 고이동도 Ge 채널소재 성장 및 모놀리식 3차원 집적 기술 개
발	
기 여 율	1/2
과제수행기관명	아주대학교
연구기간	2020.07.01 ~ 2023.02.28

---

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 위에 배치되는 게이트 - 상기 게이트의 상면 및 하면에 각각 제2 스페이서 및 제1 스페이서가 배치됨 -;

상기 게이트의 일측벽을 따라 수직으로 배치되는 제1 옥사이드;

상기 게이트의 타측벽을 따라 수직으로 배치되는 제2 옥사이드;

상기 기관 위에 배치되는 제1 n채널 영역, 상기 제1 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 n채널 영역 및 상기 제2 스페이서 위에 배치되는 제3 n채널 영역을 포함하는 n채널;

상기 기관 위에 배치되는 제1 p채널 영역, 상기 제2 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 p채널 영역 및 상기 제2 스페이서 위에 배치되는 제3 p채널 영역을 포함하는 p채널;

상기 제1 n채널 영역의 일면에 배치되는 nMOS의 소스;

상기 제1 p채널 영역의 일면에 배치되는 pMOS의 소스; 및

상기 제3 n채널 영역 및 상기 제3 p채널 영역 위에 배치되는 드레인을 포함하는, 수직 측벽 채널 CMOS 인버터.

#### 청구항 2

제1항에 있어서,

상기 nMOS 및 상기 pMOS는 상기 드레인을 공유하여 동작하도록 구성되는, 수직 측벽 채널 CMOS 인버터.

#### 청구항 3

제1항에 있어서,

상기 nMOS 및 상기 pMOS는 상기 게이트를 공유하여 동작하도록 구성되는, 수직 측벽 채널 CMOS 인버터.

#### 청구항 4

제1항에 있어서,

상기 nMOS의 소스는 상기 제1 n채널 영역의 위에 배치되고, 상기 pMOS의 소스는 상기 제1 p채널 영역의 위에 배치되는, 수직 측벽 채널 CMOS 인버터.

#### 청구항 5

제1항에 있어서,

상기 게이트의 일측벽과 상기 게이트의 타측벽은 서로 마주하는, 수직 측벽 채널 CMOS 인버터.

#### 청구항 6

제1항에 있어서,

상기 제1 옥사이드 및 상기 제2 옥사이드 각각은 상기 제2 스페이서 및 상기 제1 스페이서 사이에 배치되는, 수직 측벽 채널 CMOS 인버터.

## 청구항 7

제1항에 있어서,

상기 nMOS의 소스는 상기 제1 n채널 영역의 아래에 배치되고, 상기 pMOS의 소스는 상기 제1 p채널 영역의 아래에 배치되는, 수직 측벽 채널 CMOS 인버터.

## 청구항 8

제7항에 있어서,

상기 nMOS의 소스와 상기 pMOS의 소스 사이에 상기 기판이 배치되는, 수직 측벽 채널 CMOS 인버터.

## 청구항 9

기판 위에 게이트를 마련하는 단계 - 상기 게이트의 상면 및 하면에 각각 제2 스페이서 및 제1 스페이서가 배치됨-;

상기 제2 스페이서, 상기 게이트 및 상기 제1 스페이서 각각의 일측 일부와 타측 일부를 에칭(etching)하는 단계;

상기 게이트의 일측벽을 따라 수직으로 제1 옥사이드를 형성하는 단계;

상기 게이트의 타측벽을 따라 수직으로 제2 옥사이드를 형성하는 단계;

상기 에칭이 수행된 일측에 n채널을 형성하는 단계 - 상기 n채널은 상기 기판 위에 배치되는 제1 n채널 영역, 상기 제1 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 n채널 영역 및 상기 제2 스페이서 위에 배치되는 제3 n채널 영역을 포함함-;

상기 에칭이 수행된 p채널을 형성하는 단계 - 상기 p채널은 상기 기판 위에 배치되는 제1 p채널 영역, 상기 제2 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 p채널 영역 및 상기 제2 스페이서 위에 배치되는 제3 p채널 영역을 포함함-;

상기 제1 n채널 영역의 일면에 nMOS의 소스를 형성하고, 상기 제1 p채널 영역의 일면에 pMOS의 소스를 형성하는 단계; 및

상기 제3 n채널 영역 및 상기 제3 p채널 영역 위에 드레인을 형성하는 단계

를 포함하는, 수직 측벽 채널 CMOS 인버터 제조 방법.

## 발명의 설명

## 기술 분야

본 개시는 CMOS 인버터 및 이의 제조 방법에 관한 것이다.

## 배경 기술

종래의 CMOS 인버터는 정지 전력(static power)가 낮으나, 집적도를 증가시키는 경우 누설 전류가 발생한다는 문제가 있다.

## 발명의 내용

### 해결하려는 과제

- [0005] 본 개시에서는 상술한 문제를 해결하기 위하여 수직 측벽 채널 구조를 갖는 CMOS 인버터 및 이의 제조 방법이 제공된다.

### 과제의 해결 수단

- [0007] 본 개시의 일 실시예에 따르면, 수직 측벽 채널 CMOS 인버터는 기판, 기판 위에 배치되는 게이트 - 게이트의 상면 및 하면에 각각 제2 스페이서 및 제1 스페이서가 배치됨 -, 게이트의 일측벽을 따라 수직으로 배치되는 제1 옥사이드, 게이트의 타측벽을 따라 수직으로 배치되는 제2 옥사이드, 기판 위에 배치되는 제1 n채널 영역, 제1 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 n채널 영역 및 제2 스페이서 위에 배치되는 제3 n채널 영역을 포함하는 n채널, 기판 위에 배치되는 제1 p채널 영역, 제2 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 p채널 영역 및 제2 스페이서 위에 배치되는 제3 p채널 영역을 포함하는 p채널, 제1 n채널 영역의 일면에 배치되는 nMOS의 소스, 제1 p채널 영역의 일면에 배치되는 PMOS의 소스 및 제3 n채널 영역 및 제3 p채널 영역 위에 배치되는 드레인을 포함할 수 있다.
- [0008] 일 실시예에 따르면, nMOS 및 pMOS는 드레인을 공유하여 동작하도록 구성될 수 있다.
- [0009] 일 실시예에 따르면, nMOS 및 pMOS는 게이트를 공유하여 동작하도록 구성될 수 있다.
- [0010] 일 실시예에 따르면, nMOS의 소스는 제1 n채널 영역의 위에 배치되고, pMOS의 소스는 제1 p채널 영역의 위에 배치될 수 있다.
- [0011] 일 실시예에 따르면, 게이트의 일측벽과 게이트의 타측벽은 서로 마주할 수 있다.
- [0012] 일 실시예에 따르면, 제1 옥사이드 및 제2 옥사이드 각각은 제2 스페이서 및 제1 스페이서 사이에 배치될 수 있다.
- [0013] 일 실시예에 따르면, nMOS의 소스는 제1 n채널 영역의 아래에 배치되고, pMOS의 소스는 제1 p채널 영역의 아래에 배치될 수 있다.
- [0014] 일 실시예에 따르면, nMOS의 소스와 pMOS의 소스 사이에 기판이 배치될 수 있다.
- [0015] 본 개시의 다른 실시예에 따르면, 수직 측벽 채널 CMOS 인버터 제조 방법은 기판 위에 게이트를 마련하는 단계 - 게이트의 상면 및 하면에 각각 제2 스페이서 및 제1 스페이서가 배치됨 -, 제2 스페이서, 게이트 및 제1 스페이서 각각의 일측 일부와 타측 일부를 에칭(etching)하는 단계, 게이트의 일측벽을 따라 수직으로 제1 옥사이드를 형성하는 단계, 게이트의 타측벽을 따라 수직으로 제2 옥사이드를 형성하는 단계, 에칭이 수행된 일측에 n채널을 형성하는 단계 - n채널은 기판 위에 배치되는 제1 n채널 영역, 제1 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 n채널 영역 및 제2 스페이서 위에 배치되는 제3 n채널 영역을 포함함-, 에칭이 수행된 p채널을 형성하는 단계 - p채널은 기판 위에 배치되는 제1 p채널 영역, 제2 옥사이드의 일측벽을 따라 수직으로 배치되는 제2 p채널 영역 및 제2 스페이서 위에 배치되는 제3 p채널 영역을 포함함-, 제1 n채널 영역의 일면에 nMOS의 소스를 형성하고, 제1 p채널 영역의 일면에 pMOS의 소스를 형성하는 단계 및 제3 n채널 영역 및 제3 p채널 영역 위에 드레인을 형성하는 단계를 포함할 수 있다.

## 발명의 효과

- [0017] 본 개시의 일부 실시예에 따르면, 측벽을 따라 수직으로 채널을 형성함으로써 CMOS 인버터의 집적도를 높임과 동시에 누설 전류의 발생을 방지할 수 있다.

## 도면의 간단한 설명

- [0019] 도 1은 본 개시의 일 실시예에 따른 수직 측벽 채널 CMOS 인버터의 단면도이다.
- 도 2는 본 개시의 일 실시예에 따른 수직 측벽 채널 CMOS 인버터의 제조 방법을 나타내는 단면도이다.
- 도 3은 본 개시의 일 실시예에 따른 다른 예시의 수직 측벽 채널 CMOS 인버터를 나타내는 단면도이다.
- 도 4는 본 개시의 일 실시예에 따른 다른 예시의 수직 측벽 채널 CMOS 인버터의 제조 방법을 나타내는 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 개시의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 상세히 설명한다. 다만, 이하의 설명에서는 본 개시의 요지를 불필요하게 흐릴 우려가 있는 경우, 널리 알려진 기능이나 구성에 관한 구체적 설명은 생략하기로 한다.
- [0021] 첨부된 도면에서, 동일하거나 대응하는 구성요소에는 동일한 참조부호가 부여되어 있다. 또한, 이하의 실시예들의 설명에 있어서, 동일하거나 대응되는 구성요소를 중복하여 기술하는 것이 생략될 수 있다. 그러나 구성요소에 관한 기술이 생략되어도, 그러한 구성요소가 어떤 실시예에 포함되지 않는 것으로 의도되지는 않는다.
- [0022] 개시된 실시예의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 개시는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 개시가 완전하도록 하고, 본 개시가 통상의 기술자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것일 뿐이다.
- [0023] 본 명세서에서 사용되는 용어에 대해 간략히 설명하고, 개시된 실시예에 대해 구체적으로 설명하기로 한다. 본 명세서에서 사용되는 용어는 본 개시에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 관련 분야에 종사하는 기술자의 의도 또는 관례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 본 개시에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 개시의 전반에 걸친 내용을 토대로 정의되어야 한다.
- [0024] 본 명세서에서의 단수의 표현은 문맥상 명백하게 단수인 것으로 특정하지 않는 한, 복수의 표현을 포함한다. 또한, 복수의 표현은 문맥상 명백하게 복수인 것으로 특정하지 않는 한, 단수의 표현을 포함한다. 명세서 전체에서 어떤 부분이 어떤 구성요소를 '포함'한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다.
- [0025] 도 1은 본 개시의 일 실시예에 따른 수직 측벽 채널 CMOS 인버터(100)(이하, 'CMOS 인버터(100)'라 한다)의 단면도이다. 도시된 바와 같이, CMOS 인버터(100)는 기판(110), 제1 스페이서(122), 제2 스페이서(124), 게이트(130), 제1 옥사이드(132), 제2 옥사이드(134), n채널(142), p채널(144), 제1 소스(152), 제2 소스(154) 및 드레인(160) 중 적어도 하나를 포함할 수 있다. 구체적으로, CMOS 인버터(100)는 기판(110), 제1 스페이서(122), 제2 스페이서(124), 게이트(130), 제1 옥사이드(132), n채널(142), 제1 소스(152) 및 드레인(160)을 통해 동작하는 nMOS를 포함할 수 있다. 또한, CMOS 인버터(100)는 기판(110), 제1 스페이서(122), 제2 스페이서(124), 게이트(130), 제2 옥사이드(134), p채널(144), 제2 소스(154) 및 드레인(160)을 통해 동작하는 pMOS를 포함할 수 있다. 즉, CMOS 인버터(100)의 nMOS와 pMOS는 드레인(160) 및/또는 게이트(130)를 공유하여 동작하도록 구성될 수 있다. 이를 위한 CMOS 인버터(100)의 상세한 구조가 이하에서 상세히 후술된다.
- [0026] 기판(110) 위에 게이트(130)가 배치될 수 있다. 이 경우, 게이트(130)의 상면에 제2 스페이서(124)가 배치되고 하면에 제1 스페이서(122)가 배치될 수 있다. 즉, 제2 스페이서(124)와 제1 스페이서(122) 사이에 게이트(130)가 배치될 수 있다. 여기서, '스페이서'는 절연막을 지칭할 수 있다.
- [0027] 게이트(130)의 일측벽을 따라 제1 옥사이드(132)가 배치될 수 있다. 또한, 게이트(130)의 타측벽을 따라 제2 옥사이드(134)가 배치될 수 있다. 도 1을 참고하면, 게이트(130)의 폭은 제2 스페이서(124) 및/또는 제1 스페이서(122) 각각의 폭보다 좁게 형성될 수 있다. 이에 따라, 게이트(130)의 일측벽을 따라 배치된 제1 옥사이드(132)는 제2 스페이서(124) 및 제1 스페이서(122) 사이에 배치될 수 있다. 마찬가지로, 게이트(130)의 타측벽을 따라 배치된 제2 옥사이드(134)는 제2 스페이서(124) 및 제1 스페이서(122) 사이에 배치될 수 있다. 여기서, 게이트(130)의 일측벽과 타측벽은 게이트(130)에서 나란히 서로 마주하는 두 면을 지칭할 수 있다.
- [0028] 기판(110), 제1 스페이서(122), 제1 옥사이드(132) 및 제2 스페이서(124)를 따라 n채널(142)이 형성될 수 있다.

이에 따라, n채널(142)은 기판(110) 위에 배치되는 제1 n채널 영역, 제1 옥사이드(132)의 일측벽을 따라 수직으로 배치되는 제2 n채널 영역 및 제2 스페이서(124) 위에 배치되는 제3 n채널 영역을 포함할 수 있다. 이 때, n채널(142)은 MoS<sub>2</sub>, WSe<sub>2</sub> 및/또는 WS<sub>2</sub> 중 적어도 하나를 포함할 수 있다.

[0029] 이와 유사하게, 기판(110), 제1 스페이서(122), 제2 옥사이드(134) 및 제2 스페이서(124)를 따라 p채널(144)이 형성될 수 있다. 이에 따라, p채널(144)은 기판(110) 위에 배치되는 제1 p채널 영역, 제2 옥사이드(134)의 일측벽을 따라 수직으로 배치되는 제2 p채널 영역 및 제2 스페이서(124) 위에 배치되는 제3 p채널 영역을 포함할 수 있다. 이러한 구성에 의해, 하나의 게이트(130)가 n채널(142)과 p채널(144) 사이에 배치될 수 있다. 즉, CMOS 인버터(100)의 nMOS 및 pMOS는 하나의 게이트(130)를 공유하여 동작하도록 구성될 수 있다. 이 때, p채널(144)은 MoS<sub>2</sub>, WSe<sub>2</sub> 및/또는 WS<sub>2</sub> 중 적어도 하나를 포함할 수 있다.

[0030] n채널(142) 위에 제1 소스(152)가 배치될 수 있다. 구체적으로, n채널(142) 중 제1 n채널 영역의 일면에 제1 소스(152)가 배치될 수 있다. 여기서, 제1 n채널 영역의 일면에 배치된 제1 소스(152)는 CMOS 인버터(100)에서 nMOS의 소스로서 동작할 수 있다.

[0031] p채널(144) 위에 제2 소스(154)가 배치될 수 있다. 구체적으로, p채널(144) 중 제1 p채널 영역의 일면에 제2 소스(154)가 배치될 수 있다. 여기서, 제1 p채널 영역의 일면에 배치된 제2 소스(154)는 CMOS 인버터(100)에서 pMOS의 소스로서 동작할 수 있다.

[0032] 제3 n채널 영역 및 제3 p채널 영역 위에 드레인(160)이 배치될 수 있다. 이에 따라, 드레인(160)은 CMOS 인버터(100)에서 nMOS의 드레인(160)으로서 동작할 수 있다. 또한, 드레인(160)은 CMOS 인버터(100)에서 pMOS의 드레인(160)으로서 동작할 수 있다. 즉, 상술한 바와 같이 CMOS 인버터의 nMOS 및 pMOS는 드레인(160)을 공유하여 동작하도록 구성될 수 있다.

[0033] 도 2는 본 개시의 일 실시예에 따른 수직 측벽 채널 CMOS 인버터(100)의 제조 방법을 나타내는 단면도이다. 먼저, 제1 단계(S210)에서 기판(110) 위에 게이트(130)를 마련할 수 있다. 이 때, 게이트(130)의 상면 및 하면에는 각각 제2 스페이서(124) 및 제1 스페이서(122)가 배치되어 있을 수 있다. 추가적으로 또는 대안적으로, 제1 단계(S210)에서 기판(110) 위에 제1 스페이서(122), 게이트(130) 및 제2 스페이서(124)가 차례대로 형성될 수 있다.

[0034] 제2 단계(S220)에서 제1 스페이서(122), 게이트(130) 및 제2 스페이서(124) 각각의 일측 일부와 타측 일부를 에칭(etching)할 수 있다. 그리고 나서, 게이트(130)의 일측벽을 따라 수직으로 제1 옥사이드(132)를 형성할 수 있다. 또한, 게이트(130)의 타측벽을 따라 수직으로 제2 옥사이드(134)를 형성할 수 있다. 한편, 에칭된 게이트(130)의 횡 폭은 제1 스페이서(122) 및 제2 스페이서(124) 각각의 횡 폭보다 작게 구성할 수 있다. 이에 따라, 제1 옥사이드(132) 및 제2 옥사이드(134) 각각은 제1 스페이서(122) 및 제2 스페이서(124) 사이에 배치될 수 있다.

[0035] 제3 단계(S230)에서 에칭이 수행된 일측에 n채널(142)을 형성할 수 있다. 구체적으로, 기판(110), 제1 스페이서(122), 제1 옥사이드(132) 및 제2 스페이서(124)를 따라 n채널(142)을 형성할 수 있다. 이에 따라, n채널(142)은 기판(110) 위에 배치된 제1 n채널 영역, 제1 옥사이드(132)의 측벽을 따라 수직으로 배치된 제2 n채널 영역 및 제2 스페이서(124) 위에 배치된 제3 n채널 영역을 포함할 수 있다. 또한, 제3 단계(S230)에서 기판(110), 제1 스페이서(122), 제2 옥사이드(134) 및 제2 스페이서(124)를 따라 p채널(144)을 형성할 수 있다. 이에 따라, p채널(144)은 기판(110) 위에 배치된 제1 p채널 영역, 제2 옥사이드(134)의 측벽을 따라 수직으로 배치된 제2 p채널 영역 및 제2 스페이서(124) 위에 배치된 제3 p채널 영역을 포함할 수 있다.

[0036] 제4 단계(S240)에서 제1 n채널 영역의 일면에 nMOS의 제1 소스(152)를 형성하고, 제1 p채널 영역의 일면에 pMOS의 제2 소스(154)를 형성할 수 있다. 또한, 제4 단계(S240)에서 제3 n채널 영역 및 제3 p채널 영역 위에 드레인(160)을 형성할 수 있다.

[0037] 도 3은 본 개시의 일 실시예에 따른 다른 예시의 수직 측벽 채널 CMOS 인버터(300)를 나타내는 단면도이다. 도시된 바와 같이, 수직 측벽 채널 CMOS 인버터(300)는 도 1과 동일한 구조의 제1 스페이서(122), 제2 스페이서(124), 게이트(130), 제1 옥사이드(132), 제2 옥사이드(134), n채널(142), p채널(144) 및 드레인(160) 중 적어도 하나를 포함할 수 있다. 다만, 수직 측벽 채널 CMOS 인버터(300)에서 nMOS의 제1 소스(322)는 제1 n채널 영역 아래에 배치되고, pMOS의 제2 소스(324)는 제1 p채널 영역 아래에 배치될 수 있다. 또한, 기판(310)이 제1 소스(322)와 제2 소스(324) 사이에 배치될 수 있다. 이를 위해, 기판(310)의 횡 폭은 제1 n채널 영역, 제1 스



페이서(122) 및 제1 p채널 영역의 총 횡 폭보다 작게 형성될 수 있다. 이를 위한 CMOS 인버터(300)의 제조 방법이 도 5에 후술된다.

[0038] 도 4는 본 개시의 일 실시예에 따른 다른 예시의 수직 측벽 채널 CMOS 인버터(300)의 제조 방법을 나타내는 단면도이다. 먼저, 제1 단계(S410)에서 기판(310)의 일측과 타측을 에칭할 수 있다. 그리고 나서, 에칭된 일측에 nMOS의 제1 소스(322)를 형성하고 에칭된 타측에 pMOS의 제2 소스(324)를 형성할 수 있다. 그리고 나서, 기판(310) 위에 게이트(130)를 마련할 수 있다. 이 때, 게이트(130)의 상면 및 하면에는 각각 제2 스페이서(124) 및 제1 스페이서(122)가 배치되어 있을 수 있다. 추가적으로 또는 대안적으로, 제1 단계(S410)에서 기판(310) 위에 제1 스페이서(122), 게이트(130) 및 제2 스페이서(124)가 차례대로 형성될 수 있다.

[0039] 한편, 제1 단계(S410)에서 기판(310) 위에 형성된 제1 스페이서(122), 게이트(130) 및 제2 스페이서(124)가 nMOS의 제1 소스(322) 및 pMOS의 제2 소스(324) 위에도 배치되는 것으로 도시되었으나 이에 한정되지 않는다. 예를 들어, 제1 스페이서(122), 게이트(130) 및 제2 스페이서(124) 각각의 횡 폭은 에칭된 기판(310)의 횡 폭과 같거나 보다 작게 구성될 수 있다.

[0040] 제2 단계(S420)에서 제1 스페이서(122), 게이트(130) 및 제2 스페이서(124) 각각의 일측 일부와 타측 일부를 에칭(etching)할 수 있다. 이 때, 에칭된 제1 스페이서(122), 게이트(130) 및 제2 스페이서(124)의 횡 폭은 기판(310)의 폭보다 작게 구성될 수 있다. 그리고 나서, 게이트(130)의 일측벽을 따라 수직으로 제1 옥사이드(132)를 형성할 수 있다. 또한, 게이트(130)의 타측벽을 따라 수직으로 제2 옥사이드(134)를 형성할 수 있다. 한편, 에칭된 게이트(130)의 횡 폭은 제1 스페이서(122) 및 제2 스페이서(124) 각각의 횡 폭보다 작게 구성할 수 있다. 이에 따라, 제1 옥사이드(132) 및 제2 옥사이드(134) 각각은 제1 스페이서(122) 및 제2 스페이서(124) 사이에 배치될 수 있다.

[0041] 제3 단계(S430)에서 에칭이 수행된 일측에 n채널(142)을 형성할 수 있다. 구체적으로, 기판(310), 제1 스페이서(122), 제1 옥사이드(132) 및 제2 스페이서(124)를 따라 n채널(142)을 형성할 수 있다. 이에 따라, n채널(142)은 nMOS의 제1 소스(322)와 기판(310) 위에 배치된 제1 n채널 영역, 제1 옥사이드(132)의 측벽을 따라 수직으로 배치된 제2 n채널 영역 및 제2 스페이서(124) 위에 배치된 제3 n채널 영역을 포함할 수 있다. 이 때, n채널(142)은  $\text{MoS}_2$ ,  $\text{WSe}_2$  및/또는  $\text{WS}_2$  중 적어도 하나를 포함할 수 있다.

[0042] 추가적으로, 제3 단계(S430)에서 기판(310), 제1 스페이서(122), 제2 옥사이드(134) 및 제2 스페이서(124)를 따라 p채널(144)을 형성할 수 있다. 이에 따라, p채널(144)은 pMOS의 제2 소스(324)와 기판(310) 위에 배치된 제1 p채널 영역, 제2 옥사이드(134)의 측벽을 따라 수직으로 배치된 제2 p채널 영역 및 제2 스페이서(124) 위에 배치된 제3 p채널 영역을 포함할 수 있다. 마지막으로, 제4 단계(S440)에서 제3 n채널 영역 및 제3 p채널 영역 위에 드레인(160)을 형성할 수 있다. 이 때, p채널(144)은  $\text{MoS}_2$ ,  $\text{WSe}_2$  및/또는  $\text{WS}_2$  중 적어도 하나를 포함할 수 있다.

[0043] 본 개시의 앞선 설명은 통상의 기술자들이 본 개시를 행하거나 이용하는 것을 가능하게 하기 위해 제공된다. 본 개시의 다양한 수정예들이 통상의 기술자들에게 쉽게 자명할 것이고, 본원에 정의된 일반적인 원리들은 본 개시의 취지 또는 범위를 벗어나지 않으면서 다양한 변형예들에 적용될 수도 있다. 따라서, 본 개시는 본원에 설명된 예들에 제한되도록 의도된 것이 아니고, 본원에 개시된 원리들 및 신규한 특징들과 일관되는 최광의의 범위가 부여되도록 의도된다. 본 명세서에서는 본 개시가 일부 실시예들과 관련하여 설명되었지만, 본 발명이 속하는 기술분야의 통상의 기술자가 이해할 수 있는 본 개시의 범위를 벗어나지 않는 범위에서 다양한 변형 및 변경이 이루어질 수 있다는 점을 알아야 할 것이다. 또한, 그러한 변형 및 변경은 본 명세서에서 첨부된 특허 청구의 범위 내에 속하는 것으로 생각되어야 한다.

## 부호의 설명

[0045] 100: 수직 측벽 채널 CMOS 인버터

110: 기판(Substrate)

122, 124: 스페이서(Spacer)

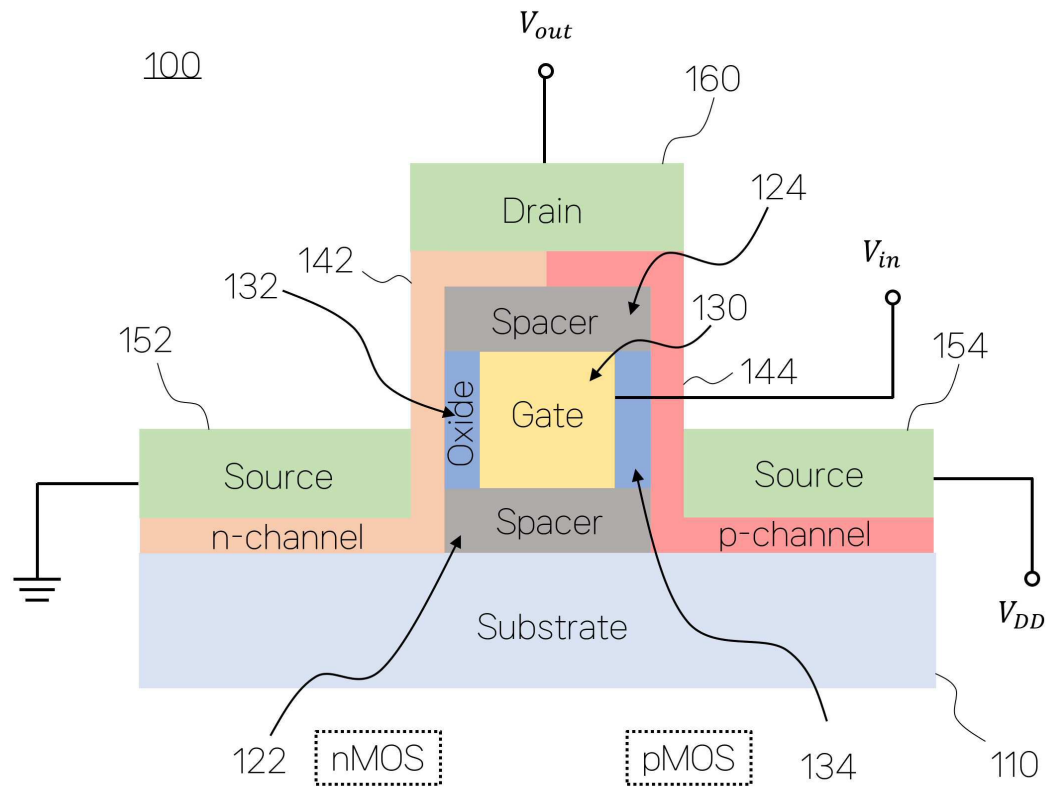
130: 게이트(Gate)

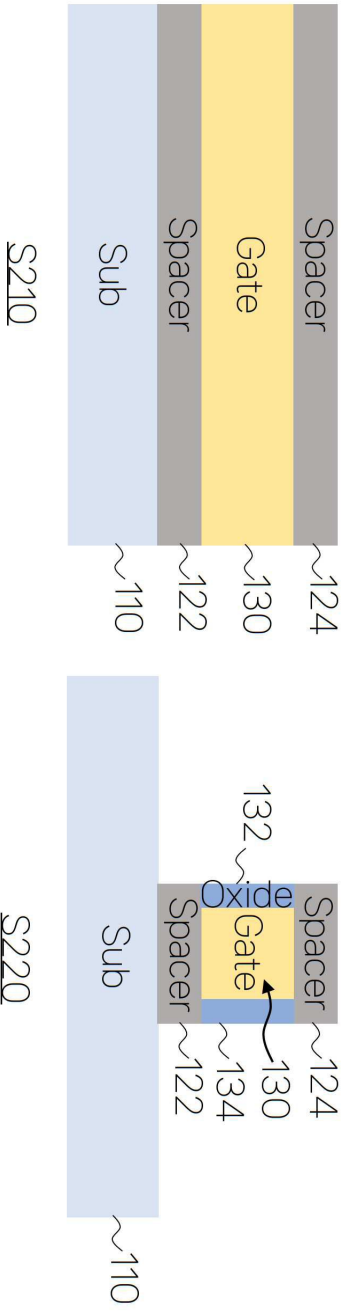


132, 134: 옥사이드(oxide)  
 142: n채널(n-channel)  
 144: p채널(p-channel)  
 152, 154: 소스(Source)  
 160: 드레인(Drain)  
 300: 다른 예시의 수직 측벽 채널 CMOS 인버터  
 310: 기판(Substrate)  
 322, 324: 소스(Source)

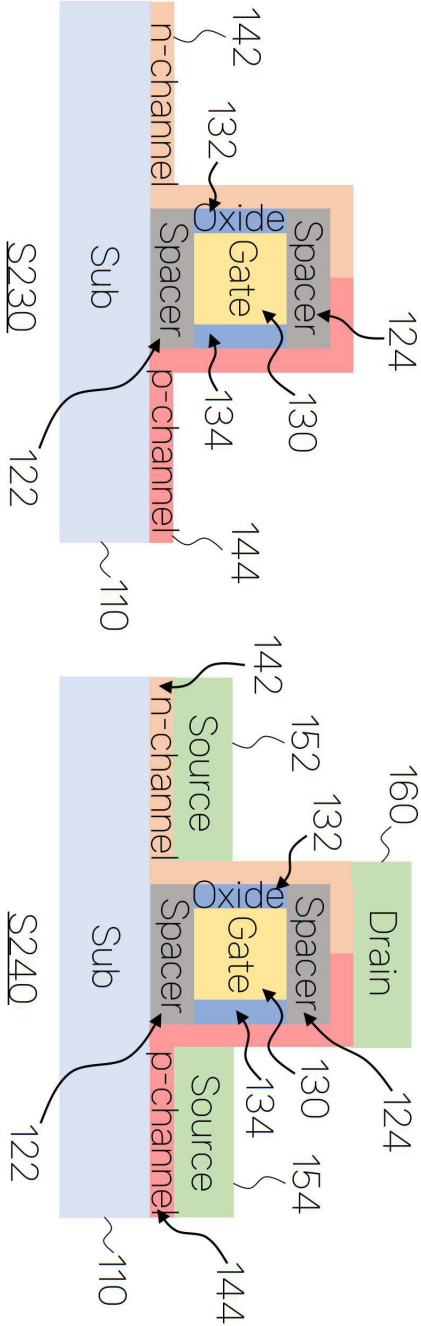
## 도면

### 도면1

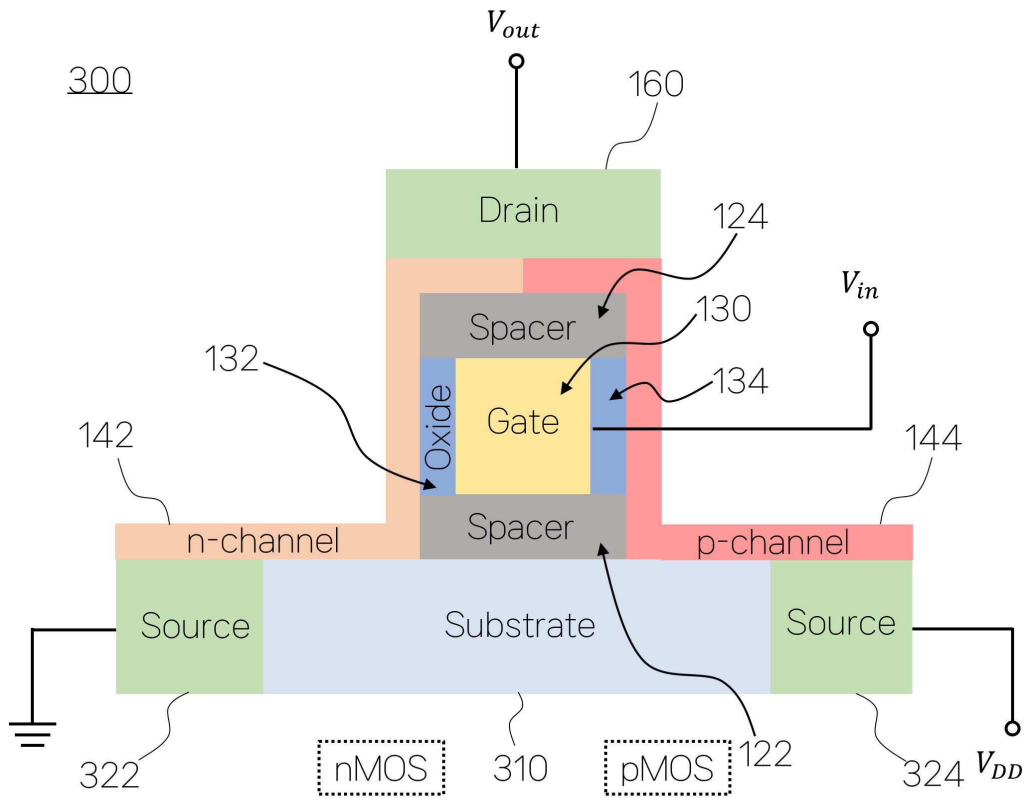


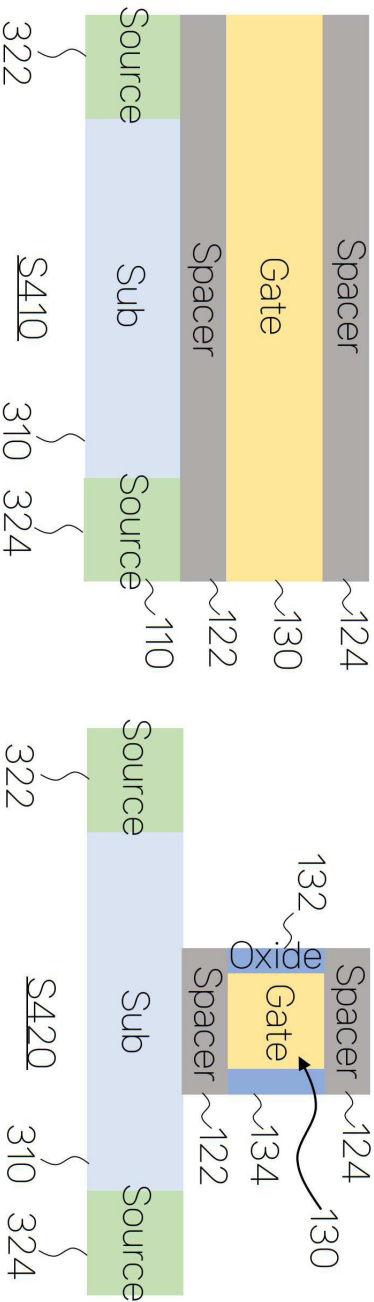


도면2



도면3





도면4

