



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0148156
(43) 공개일자 2024년10월11일

(51) 국제특허분류(Int. Cl.)

G11C 11/4091 (2006.01) G11C 11/4094

(2006.01)

(52) CPC특허분류

G11C 11/4091 (2013.01)

G11C 11/4094 (2013.01)

(21) 출원번호 10-2023-0043583

(22) 출원일자 2023년04월03일

심사청구일자 2023년04월03일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 연세대학교 제3 공학관 C513(신촌동)

임세희

서울특별시 서대문구 연세로 50, 연세대학교 제2 공학관 B718-B(신촌동)

(뒷면에 계속)

(74) 대리인

민영준

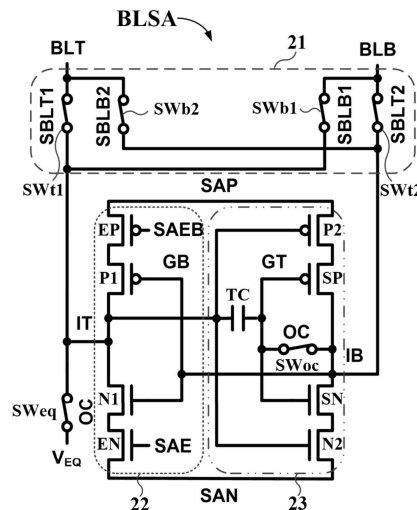
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 비트라인 센스앰프 및 메모리 장치

(57) 요약

본 개시는 제1 및 제2 전원 노드 사이에 연결되고, 제1 센싱 노드 및 제2 센싱 노드의 전압 변화를 감지 증폭하는 증폭 회로 및 비트라인쌍의 제1 및 제2 비트라인 중 활성화된 메모리 셀에 연결된 비트라인을 상기 제1 센싱 노드에 연결하고, 상기 증폭 회로가 상기 제1 센싱 노드의 전압 변화를 감지하여 상기 제2 센싱 노드에 반전 증폭한 이후, 나머지 비트라인을 상기 제2 센싱 노드에 연결하는 스위칭 회로를 포함하여, 오프셋을 효과적으로 제거하여 밸런스 센싱을 수행할 수 있어 센싱 수율을 향상시키면서, 전력 소모와 지연을 저감하고, 작은 면적으로 구현될 수 있는 비트라인 센스앰프 및 메모리 장치를 제공한다.

대표도 - 도3



(72) 발명자

김기석

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C412(신촌동)

정인준

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C412(신촌동)

고동한

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 B718-B(신촌동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711170648
과제번호	2022-0-01172-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(설계)
연구과제명	DRAM PIM 설계 기반 기술개발
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2022.04.01 ~ 2022.12.31

명세서

청구범위

청구항 1

제1 및 제2 전원 노드 사이에 연결되고, 제1 센싱 노드 및 제2 센싱 노드의 전압 변화를 감지 증폭하는 증폭 회로; 및

비트라인쌍의 제1 및 제2 비트라인 중 활성화된 메모리 셀에 연결된 비트라인을 상기 제1 센싱 노드에 연결하고, 상기 증폭 회로가 상기 제1 센싱 노드의 전압 변화를 감지하여 상기 제2 센싱 노드에 반전 증폭한 이후, 나머지 비트라인을 상기 제2 센싱 노드에 연결하는 스위칭 회로를 포함하는 비트라인 센스앰프.

청구항 2

제1항에 있어서, 상기 스위칭 회로는

제1 라인 연결 신호에 응답하여 상기 제1 비트라인을 상기 제1 센싱 노드에 연결하고, 제2 라인 연결 신호에 응답하여 상기 제2 비트라인을 상기 제2 센싱 노드에 연결하는 제1 및 제2 연결 스위치; 및

제1 라인 전환 신호에 응답하여 상기 제2 비트라인을 상기 제1 센싱 노드에 연결하고, 제2 라인 전환 신호에 응답하여 상기 제1 비트라인을 상기 제2 센싱 노드를 연결하는 제1 및 제2 전환 스위치를 포함하는 비트라인 센스앰프.

청구항 3

제2항에 있어서, 상기 스위칭 회로는

프리차지 구간, 차지 웨어링 구간 및 메인 센싱 구간으로 구분되는 상기 비트라인 센스앰프의 동작 중 상기 프리차지 구간에서 상기 제1 및 제2 연결 스위치와 상기 제1 및 제2 전환 스위치가 모두 턴온되고,

상기 차지 웨어링 구간의 오프셋 제거 구간에서는 상기 제1 및 제2 연결 스위치와 상기 제1 및 제2 전환 스위치가 모두 턴오프되는 비트라인 센스앰프.

청구항 4

제2항에 있어서, 상기 스위칭 회로는

프리차지 구간, 차지 웨어링 구간 및 메인 센싱 구간으로 구분되는 상기 비트라인 센스앰프의 동작 중 상기 차지 웨어링 구간의 프리 센싱 구간에서는 제1 및 제2 비트라인 중 활성화된 메모리 셀에 연결된 비트라인과 상기 제1 센싱 노드가 연결되도록 상기 제1 연결 스위치 또는 상기 제1 전환 스위치 중 하나만 턴온되고,

상기 메인 센싱 구간에서는 상기 프리 센싱 구간에 턴온된 스위치에 따라 상기 제2 연결 스위치 또는 상기 제2 전환 스위치 중 하나가 턴온되는 비트라인 센스앰프.

청구항 5

제1항에 있어서, 상기 증폭 회로는

상기 제1 및 제2 전원 노드 사이에 연결되고, 프리차지 구간, 차지 웨어링 구간 및 메인 센싱 구간으로 구분되는 상기 비트라인 센스앰프의 동작 중 상기 메인 센싱 구간에 상기 제1 센싱 노드의 전압 변화를 감지 및 반전 증폭하여 상기 제2 센싱 노드의 전압 레벨을 조절하는 제1 인버터 회로; 및

상기 제1 및 제2 전원 노드 사이에 연결되고, 상기 차지 웨어링 구간의 오프셋 제거 구간 및 프리 센싱 구간 중 상기 프리 센싱 구간과 상기 메인 센싱 구간에 상기 제2 센싱 노드의 전압 변화를 감지 및 반전 증폭하여 상기 제1 센싱 노드의 전압 레벨을 조절하는 제2 인버터 회로를 포함하는 비트라인 센스앰프.

청구항 6

제5항에 있어서, 상기 제1 인버터 회로는

상기 제1 전원 노드와 상기 제1 센싱 노드 사이에 직렬로 연결되는 2개의 PMOS 트랜지스터; 및

상기 제1 센싱 노드와 상기 제2 전원 노드 사이에 직렬로 연결되는 2개의 NMOS 트랜지스터를 포함하고,

상기 2개의 PMOS 트랜지스터 중 하나와 상기 2개의 NMOS 트랜지스터 중 하나는 게이트가 공통으로 상기 제2 센싱 노드에 연결되고, 나머지 PMOS 트랜지스터와 NMOS 트랜지스터의 게이트에는 상기 메인 센싱 구간에 활성화되는 센스앰프 인에이블 신호쌍이 인가되는 비트라인 센스앰프.

청구항 7

제5항에 있어서, 상기 제2 인버터 회로는

상기 제1 전원 노드와 상기 제1 센싱 노드 사이에 직렬로 연결되고, 각각 게이트가 상기 제1 센싱 노드와 GT 노드에 연결되는 2개의 PMOS 트랜지스터;

상기 제1 센싱 노드와 상기 제2 전원 노드 사이에 직렬로 연결되고, 각각 게이트가 상기 제1 센싱 노드와 GT 노드에 연결되는 2개의 NMOS 트랜지스터;

상기 제1 센싱 노드와 상기 GT 노드 사이에 연결되는 오프셋 캐패시터; 및

상기 프리차지 구간과 상기 오프셋 제거 구간에 턴온되어 상기 제1 센싱 노드와 GT 노드를 연결하는 오프셋 스위치를 포함하는 비트라인 센스앰프.

청구항 8

제1항에 있어서, 상기 비트라인 센스앰프는

프리차지 구간, 차지 웨어링 구간 및 메인 센싱 구간으로 구분되어 동작하고,

상기 활성화된 메모리 셀과 상기 제1 및 제2 비트라인 중 하나 사이에 차지 웨어링이 수행되는 구간인 상기 차지 웨어링 구간은 오프셋 제거 구간 및 프리 센싱 구간으로 다시 구분되어 동작하는 비트라인 센스앰프.

청구항 9

제8항에 있어서, 상기 스위칭 회로는

상기 프리차지 구간에서 상기 제1 및 제2 비트라인과 제1 및 제2 센싱 노드를 모두 연결하는 비트라인 센스앰프.

청구항 10

제8항에 있어서, 상기 증폭 회로는

상기 프리차지 구간에서 상기 제1 및 제2 전원 노드와 상기 제1 센싱 노드로 인가되는 프리차지 전압에 따라 상기 제1 및 제2 센싱 노드에 연결된 상기 제1 및 제2 비트라인을 상기 프리차지 전압으로 프리차지하는 비트라인 센스앰프.

청구항 11

제8항에 있어서, 상기 스위칭 회로는

상기 오프셋 제거 구간에서 상기 제1 및 제2 비트라인과 제1 및 제2 센싱 노드 사이의 연결을 차단하고,

상기 프리 센싱 구간에서 상기 제1 및 제2 비트라인 중 활성화된 워드라인에 연결되어 활성화된 메모리 셀에 연결된 비트라인을 상기 제1 센싱 노드에 연결하는 비트라인 센스앰프.

청구항 12

제8항에 있어서, 상기 증폭 회로는

상기 오프셋 제거 구간에서 상기 제1 및 제2 전원 노드 각각으로 제1 전원 전압과 상기 제1 전원 전압보다 낮은 전압 레벨을 갖는 제2 전원 전압이 인가되면, 오프셋 전압을 차지하고, 차지된 상기 오프셋 전압에 따라 프리차지

지 전압으로 프리차지된 상기 제2 센싱 노드의 전압 레벨을 조절하는 비트라인 센스앰프.

청구항 13

제12항에 있어서, 상기 증폭 회로는

상기 프리 센싱 구간에서 상기 제1 센싱 노드의 전압 변화를 감지하고, 상기 오프셋 전압과 상기 제1 센싱 노드의 전압 변화를 감지 및 반전 증폭하여 상기 제2 센싱 노드의 전압 레벨을 가변하는 비트라인 센스앰프.

청구항 14

제8항에 있어서, 상기 스위칭 회로는

상기 메인 센싱 구간에 상기 증폭 회로가 상기 제1 및 제2 센싱 노드의 전압 레벨을 각각 감지 및 반전 증폭하여 상기 제1 및 제2 센싱 노드를 풀업 및 풀다운 시킨 이후, 상기 제1 및 제2 비트라인 중 상기 프리 센싱 구간에 상기 제1 센싱 노드와 연결되지 않은 나머지 비트라인을 상기 제2 센싱 노드에 연결하는 비트라인 센스앰프.

청구항 15

제8항에 있어서, 상기 증폭 회로는

상기 메인 센싱 구간에 상기 제2 센싱 노드의 전압 레벨을 감지 및 반전 증폭하여 상기 제1 전원 노드로 인가되는 제1 전원 전압 또는 상기 제2 전원 노드로 인가되는 제2 전원 전압으로 상기 제1 센싱 노드를 풀업 또는 풀다운시키고,

상기 제1 및 제2 전원 전압 레벨로 풀업 또는 풀다운된 상기 제1 센싱 노드의 전압 레벨을 감지 및 반전 증폭하여 상기 제1 또는 제2 전원 전압 레벨로 상기 제2 센싱 노드를 풀업 또는 풀다운시키는 비트라인 센스앰프.

청구항 16

다수의 워드라인과 다수의 비트라인 사이에 연결된 다수의 메모리 셀을 포함하는 메모리 셀 어레이;

제어 회로; 및

제1 및 제2 전원 노드 사이에 연결되고, 상기 제어 회로의 제어에 따라 프리차지 구간, 차지 웨어링 구간 및 메인 센싱 구간으로 구분되어 동작하며, 상기 차지 웨어링 구간의 오프셋 제거 구간과 프리 센싱 구간 중 상기 프리 센싱 구간에 상기 다수의 비트라인에서 쌍을 이루는 제1 및 제2 비트라인 중 활성화된 메모리 셀에 연결된 비트라인을 제1 센싱 노드에 연결하여 상기 제1 센싱 노드의 전압 변화를 제2 센싱 노드에 반전 증폭하는 비트라인 센스앰프를 포함하는 메모리 장치.

청구항 17

제16항에 있어서, 상기 비트라인 센스앰프는

상기 프리차지 구간에서 상기 제1 및 제2 비트라인과 제1 및 제2 센싱 노드를 모두 연결하고,

상기 제1 및 제2 전원 노드와 상기 제1 센싱 노드로 인가되는 프리차지 전압에 따라 상기 제1 및 제2 센싱 노드에 연결된 상기 제1 및 제2 비트라인을 상기 프리차지 전압으로 프리차지하는 메모리 장치.

청구항 18

제16항에 있어서, 상기 비트라인 센스앰프는

상기 오프셋 제거 구간에서 상기 제1 및 제2 비트라인과 제1 및 제2 센싱 노드 사이의 연결을 차단하고,

상기 제1 및 제2 전원 노드 각각으로 제1 전원 전압과 상기 제1 전원 전압보다 낮은 전압 레벨을 갖는 제2 전원 전압이 인가되면 오프셋 전압을 차지하고, 차지된 상기 오프셋 전압에 따라 프리차지 전압으로 프리차지된 상기 제2 센싱 노드의 전압 레벨을 조절하는 메모리 장치.

청구항 19

제16항에 있어서, 상기 비트라인 센스앰프는

상기 프리 센싱 구간에서 상기 제1 및 제2 비트라인 중 활성화된 워드라인에 연결되어 활성화된 메모리 셀에 연결된 비트라인을 상기 제1 센싱 노드에 연결하고,

상기 프리 센싱 구간에서 상기 제1 센싱 노드의 전압 변화를 감지하고, 상기 오프셋 제거 구간에 차지된 오프셋 전압과 상기 제1 센싱 노드의 전압 변화를 감지 및 반전 증폭하여 상기 제2 센싱 노드의 전압 레벨을 가변하는 메모리 장치.

청구항 20

제16항에 있어서, 상기 비트라인 센스앰프는

상기 메인 센싱 구간에 상기 제2 센싱 노드의 전압 레벨을 감지 및 반전 증폭하여 상기 제1 센싱 노드를 상기 제1 전원 노드로 인가되는 제1 전원 전압 또는 상기 제2 전원 노드로 인가되는 제2 전원 전압으로 풀업 또는 풀다운시키고, 상기 제1 및 제2 전원 전압 레벨로 풀업 또는 풀다운된 상기 제1 센싱 노드의 전압 레벨을 감지 및 반전 증폭하여 상기 제2 센싱 노드를 상기 제1 및 제2 전원 전압 레벨로 풀업 또는 풀다운시키며,

상기 제1 및 제2 비트라인 중 상기 프리 센싱 구간에 상기 제1 센싱 노드와 연결되지 않은 나머지 비트라인을 상기 제2 센싱 노드에 연결하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 개시는 비트라인 센스앰프 및 메모리 장치에 관한 것이다.

배경 기술

[0002] 메모리 장치 중 DRAM(Dynamic Random Access Memory)은 메모리 셀(Memory Cell: MC)의 셀 캐패시터(Cell capacitor)에 저장된 전하에 의하여 데이터를 라이트하는 방식으로 동작한다. 각 메모리 셀은 워드라인 및 비트라인에 연결되고, 리드 동작 또는 리플레쉬 동작 시에 메모리 셀의 셀 캐패시터에 저장된 전하는 프리차지 전압으로 프리차지된 비트라인과 차지 셰어링(charge sharing)된다. 이에 메모리 셀의 전하와 차지 셰어링된 비트라인과 프리차지 이후 차지 셰어링되지 않은 다른 비트라인 사이에는 전압차가 발생되고, 비트라인 센스앰프(Bit-Line Sense Amplifier: BLSA)는 두 비트라인 사이의 전압차를 감지하여 증폭한다.

[0003] 다만 비트라인 센스앰프가 반도체 회로로 구현되므로, 구현 과정에서 다양한 요인에 의해 비트라인 센스앰프를 구성하는 각 소자 간 특성이 상이할 수 있다. 특히 트랜지스터의 문턱 전압이 서로 상이할 수 있으며, 이로 인해, 비트라인 센스앰프는 오프셋을 가질 수 있다. 차지 셰어링에 의해 발생된 두 비트라인 사이의 전압 차는 크지 않으므로, 오프셋은 비트라인 센스앰프의 성능을 저하시킬 뿐만 아니라 경우에 따라서는 메모리 장치가 오동작하게 하는 요인이 될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 목적은 오프셋을 효과적으로 제거하여 밸런스 센싱을 수행할 수 있는 비트라인 센스앰프 및 메모리 장치에 관한 것이다.

[0005] 본 개시의 목적은 전력 소모와 지연을 저감하고, 센싱 수율을 향상시킬 수 있으며, 작은 면적으로 구현될 수 있는 비트라인 센스앰프 및 메모리 장치에 관한 것이다.

과제의 해결 수단

[0006] 본 개시의 일 실시 예에 따른, 비트라인 센스앰프는 제1 및 제2 전원 노드 사이에 연결되고, 제1 센싱 노드 및 제2 센싱 노드의 전압 변화를 감지 증폭하는 증폭 회로; 및 비트라인쌍의 제1 및 제2 비트라인 중 활성화된 메모리 셀에 연결된 비트라인을 상기 제1 센싱 노드에 연결하고, 상기 증폭 회로가 상기 제1 센싱 노드의 전압 변화를 감지하여 상기 제2 센싱 노드에 반전 증폭한 이후, 나머지 비트라인을 상기 제2 센싱 노드에 연결하는 스위칭 회로를 포함한다.

[0007] 상기 스위칭 회로는 제1 라인 연결 신호에 응답하여 상기 제1 비트라인을 상기 제1 센싱 노드에 연결하고, 제2

라인 연결 신호에 응답하여 상기 제2 비트라인을 상기 제2 센싱 노드에 연결하는 제1 및 제2 연결 스위치; 및 제1 라인 전환 신호에 응답하여 상기 제2 비트라인을 상기 제1 센싱 노드에 연결하고, 제2 라인 전환 신호에 응답하여 상기 제1 비트라인을 상기 제2 센싱 노드를 연결하는 제1 및 제2 전환 스위치를 포함할 수 있다.

- [0008] 상기 스위칭 회로는 프리차지 구간, 차지 셰어링 구간 및 메인 센싱 구간으로 구분되는 상기 비트라인 센스앰프의 동작 중 상기 프리차지 구간에서 상기 제1 및 제2 연결 스위치와 상기 제1 및 제2 전환 스위치가 모두 턴온되고, 상기 차지 셰어링 구간의 오프셋 제거 구간에서는 상기 제1 및 제2 연결 스위치와 상기 제1 및 제2 전환 스위치가 모두 턴오프될 수 있다.
- [0009] 상기 스위칭 회로는 프리차지 구간, 차지 셰어링 구간 및 메인 센싱 구간으로 구분되는 상기 비트라인 센스앰프의 동작 중 상기 차지 셰어링 구간의 프리 센싱 구간에서는 제1 및 제2 비트라인 중 활성화된 메모리 셀에 연결된 비트라인과 상기 제1 센싱 노드가 연결되도록 상기 제1 연결 스위치 또는 상기 제1 전환 스위치 중 하나만 턴온되고, 상기 메인 센싱 구간에서는 상기 프리 센싱 구간에 턴온된 스위치에 따라 상기 제2 연결 스위치 또는 상기 제2 전환 스위치 중 하나가 턴온될 수 있다.
- [0010] 상기 증폭 회로는 상기 제1 및 제2 전원 노드 사이에 연결되고, 프리차지 구간, 차지 셰어링 구간 및 메인 센싱 구간으로 구분되는 상기 비트라인 센스앰프의 동작 중 상기 메인 센싱 구간에 상기 제1 센싱 노드의 전압 변화를 감지 및 반전 증폭하여 상기 제2 센싱 노드의 전압 레벨을 조절하는 제1 인버터 회로; 및 상기 제1 및 제2 전원 노드 사이에 연결되고, 상기 차지 셰어링 구간의 오프셋 제거 구간 및 프리 센싱 구간 중 상기 프리 센싱 구간과 상기 메인 센싱 구간에 상기 제2 센싱 노드의 전압 변화를 감지 및 반전 증폭하여 상기 제1 센싱 노드의 전압 레벨을 조절하는 제2 인버터 회로를 포함할 수 있다.
- [0011] 상기 제1 인버터 회로는 상기 제1 전원 노드와 상기 제1 센싱 노드 사이에 직렬로 연결되는 2개의 PMOS 트랜지스터; 및 상기 제1 센싱 노드와 상기 제2 전원 노드 사이에 직렬로 연결되는 2개의 NMOS 트랜지스터를 포함하고, 상기 2개의 PMOS 트랜지스터 중 하나와 상기 2개의 NMOS 트랜지스터 중 하나는 게이트가 공통으로 상기 제2 센싱 노드에 연결되고, 나머지 PMOS 트랜지스터와 NMOS 트랜지스터의 게이트에는 상기 메인 센싱 구간에 활성화되는 센스앰프 인에이블 신호쌍이 인가될 수 있다.
- [0012] 상기 제2 인버터 회로는 상기 제1 전원 노드와 상기 제1 센싱 노드 사이에 직렬로 연결되고, 각각 게이트가 상기 제1 센싱 노드와 GT 노드에 연결되는 2개의 PMOS 트랜지스터; 상기 제1 센싱 노드와 상기 제2 전원 노드 사이에 직렬로 연결되고, 각각 게이트가 상기 제1 센싱 노드와 GT 노드에 연결되는 2개의 NMOS 트랜지스터; 상기 제1 센싱 노드와 상기 GT 노드 사이에 연결되는 오프셋 캐패시터; 및 상기 프리차지 구간과 상기 오프셋 제거 구간에 턴온되어 상기 제1 센싱 노드와 GT 노드를 연결하는 오프셋 스위치를 포함할 수 있다.
- [0013] 상기 비트라인 센스앰프는 프리차지 구간, 차지 셰어링 구간 및 메인 센싱 구간으로 구분되어 동작하고, 상기 활성화된 메모리 셀과 상기 제1 및 제2 비트라인 중 하나 사이에 차지 셰어링이 수행되는 구간인 상기 차지 셰어링 구간은 오프셋 제거 구간 및 프리 센싱 구간으로 다시 구분되어 동작할 수 있다.
- [0014] 상기 스위칭 회로는 상기 프리차지 구간에서 상기 제1 및 제2 비트라인과 제1 및 제2 센싱 노드를 모두 연결할 수 있다.
- [0015] 상기 증폭 회로는 상기 프리차지 구간에서 상기 제1 및 제2 전원 노드와 상기 제1 센싱 노드로 인가되는 프리차지 전압에 따라 상기 제1 및 제2 센싱 노드에 연결된 상기 제1 및 제2 비트라인을 상기 프리차지 전압으로 프리차지할 수 있다.
- [0016] 상기 스위칭 회로는 상기 오프셋 제거 구간에서 상기 제1 및 제2 비트라인과 제1 및 제2 센싱 노드 사이의 연결을 차단하고, 상기 프리 센싱 구간에서 상기 제1 및 제2 비트라인 중 활성화된 워드라인에 연결되어 활성화된 메모리 셀에 연결된 비트라인을 상기 제1 센싱 노드에 연결할 수 있다.
- [0017] 상기 증폭 회로는 상기 오프셋 제거 구간에서 상기 제1 및 제2 전원 노드 각각으로 제1 전원 전압과 상기 제1 전원 전압보다 낮은 전압 레벨을 갖는 제2 전원 전압이 인가되면, 오프셋 전압을 차지하고, 차지된 상기 오프셋 전압에 따라 프리차지 전압으로 프리차지된 상기 제2 센싱 노드의 전압 레벨을 조절할 수 있다.
- [0018] 상기 증폭 회로는 상기 프리 센싱 구간에서 상기 제1 센싱 노드의 전압 변화를 감지하고, 상기 오프셋 전압과 상기 제1 센싱 노드의 전압 변화를 감지 및 반전 증폭하여 상기 제2 센싱 노드의 전압 레벨을 가변할 수 있다.
- [0019] 상기 스위칭 회로는 상기 메인 센싱 구간에 상기 증폭 회로가 상기 제1 및 제2 센싱 노드의 전압 레벨을 각각 감지 및 반전 증폭하여 상기 제1 및 제2 센싱 노드를 풀업 및 풀다운 시킨 이후, 상기 제1 및 제2 비트라인 중

상기 프리 센싱 구간에 상기 제1 센싱 노드와 연결되지 않은 나머지 비트라인을 상기 제2 센싱 노드에 연결할 수 있다.

[0020] 상기 증폭 회로는 상기 메인 센싱 구간에 상기 제2 센싱 노드의 전압 레벨을 감지 및 반전 증폭하여 상기 제1 전원 노드로 인가되는 제1 전원 전압 또는 상기 제2 전원 노드로 인가되는 제2 전원 전압으로 상기 제1 센싱 노드를 풀업 또는 풀다운시키고, 상기 제1 및 제2 전원 전압 레벨로 풀업 또는 풀다운된 상기 제1 센싱 노드의 전압 레벨을 감지 및 반전 증폭하여 상기 제1 또는 제2 전원 전압 레벨로 상기 제2 센싱 노드를 풀업 또는 풀다운시킬 수 있다.

[0021] 본 개시의 다른 실시 예에 따른, 메모리 장치는 다수의 워드라인과 다수의 비트라인 사이에 연결된 다수의 메모리 셀을 포함하는 메모리 셀 어레이; 제어 회로; 및 제1 및 제2 전원 노드 사이에 연결되고, 상기 제어 회로의 제어에 따라 프리차지 구간, 차지 셰어링 구간 및 메인 센싱 구간으로 구분되어 동작하며, 상기 차지 셰어링 구간의 오프셋 제거 구간과 프리 센싱 구간 중 상기 프리 센싱 구간에 상기 다수의 비트라인에서 쌍을 이루는 제1 및 제2 비트라인 중 활성화된 메모리 셀에 연결된 비트라인을 제1 센싱 노드에 연결하여 상기 제1 센싱 노드의 전압 변화를 제2 센싱 노드에 반전 증폭하는 비트라인 센스앰프를 포함한다.

발명의 효과

[0022] 본 개시의 비트라인 센스앰프 및 메모리 장치는 오프셋을 효과적으로 제거하여 밸런스 센싱을 수행할 수 있어 센싱 수율을 향상시키면서, 전력 소모와 지연을 저감하고, 작은 면적으로 구현될 수 있다.

도면의 간단한 설명

[0023] 도 1은 일 실시예에 따른 메모리 장치의 개략적 구성을 나타낸다.

도 2는 도 1의 메모리 셀과 비트라인 센스앰프를 설명하기 위한 도면이다.

도 3은 본 개시의 실시예에 따른 비트라인 센스앰프의 상세 구성을 나타낸다.

도 4는 도 3의 비트라인 센스앰프의 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.

도 5 내지 도 8은 도 3의 비트라인 센스앰프의 구간별 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 도면을 참조하여 본 개시의 실시예에 따른 구체적인 실시형태를 설명하기로 한다. 이하의 상세한 설명은 본 명세서에서 기술된 방법, 장치 및/또는 시스템에 대한 포괄적인 이해를 돕기 위해 제공된다. 그러나 이는 예시에 불과하며 본 발명은 이에 제한되지 않는다.

[0025] 본 개시의 실시예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 실시예의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 일 실시예들을 기술하기 위한 것이며, 결코 제한적이어서는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능성을 배제하도록 해석되어서는 안 된다.

[0026] 도 1은 일 실시예에 따른 메모리 장치의 개략적 구성을 나타낸다.

[0027] 본 개시에서 메모리 장치(100)는 반도체 소자를 기반으로 하는 저장 장치일 수 있다. 예로서, 메모리 장치(100)는 DRAM, SDRAM (Synchronous DRAM), DDR SDRAM (Double Data Rate SDRAM), LPDDR SDRAM (Low Power Double Data Rate SDRAM), GDDR SDRAM (Graphics Double Data Rate SDRAM), DDR2 SDRAM, DDR3 SDRAM, DDR4 SDRAM, 사이리스터 RAM(Thyristor RAM, TRAM)등과 같은 휘발성 메모리일 수 있으며, 경우에 따라서는 PRAM(Phase change Random Access Memory), MRAM(Magnetic Random Access Memory), RRAM(Resistive Random Access Memory) 등의 비휘발성 메모리일 수도 있다.

[0028] 도 1을 참조하면, 메모리 장치(100)는 외부 장치(예를 들어, 메모리 컨트롤러(미도시))로부터 수신되는 커맨드

(CMD), 어드레스(ADDR) 및 제어 신호들에 응답하여 데이터 라인들(DQ)을 통해 데이터(DATA)를 출력할 수 있다. 메모리 장치(100)는 메모리 셀 어레이(110), 커맨드 디코더(170), 제어 회로(180), 어드레스 버퍼(120), 로우 디코더(130), 칼럼 디코더(140), 센스앰프 회로(150), 및 데이터 입출력 회로(160)를 포함할 수 있다.

- [0029] 메모리 셀 어레이(110)는, 로우들 및 칼럼들로 배열되는 매트릭스 형태로 제공되는 다수의 메모리 셀들(MC)을 포함할 수 있다. 메모리 셀 어레이(110)는, 메모리 셀들(MC)과 연결되는 다수의 워드라인들(WL)과 다수의 비트라인들(BL)을 포함할 수 있다. 다수의 워드라인들(WL)은, 메모리 셀들(MC)의 로우들과 연결되고, 다수의 비트라인들(BL)은 메모리 셀들(MC)의 칼럼들과 연결될 수 있다.
- [0030] 어드레스 버퍼(120)는, 메모리 컨트롤러로부터 어드레스(ADDR)를 수신하여, 버퍼링할 수 있다. 이 때, 어드레스(ADDR)는 메모리 셀 어레이(110)와 연결된 워드라인(WL)을 지정하기 위한 로우 어드레스(RA)와 비트라인(BL)을 지정하기 위한 칼럼 어드레스(CA)를 포함한다. 어드레스 버퍼(120)는, 로우 어드레스(RA)를 로우 디코더(130)로 전송하고, 칼럼 어드레스(CA)를 칼럼 디코더(140)로 전송할 수 있다.
- [0031] 로우 디코더(130)는, 메모리 셀 어레이(110)와 연결된 다수의 워드라인들(WL) 중 어느 하나를 선택할 수 있다. 로우 디코더(130)는, 어드레스 버퍼(120)로부터 수신된 로우 어드레스(RA)를 디코딩하여, 로우 어드레스(RA)에 상응하는 어느 하나의 워드라인을 선택하고, 선택된 워드라인을 활성화시킬 수 있다.
- [0032] 칼럼 디코더(140)는 메모리 셀 어레이(110)의 복수의 비트라인들(BL) 중 소정의 비트라인을 선택할 수 있다. 칼럼 디코더(140)는 어드레스 버퍼(120)로부터 수신된 칼럼 어드레스(CA)를 디코딩하여, 칼럼 어드레스(CA)에 상응하는 소정의 비트라인(BL)을 선택할 수 있다.
- [0033] 센스앰프 회로(150)는 메모리 셀 어레이(110)의 비트라인들(BL)과 연결된다. 센스앰프 회로(150)는 다수의 비트라인 센스앰프(BLSA)를 포함하고, 각 비트라인 센스앰프(BLS)는 연결된 비트라인의 전압 변화를 감지하고, 이를 증폭하여 출력한다. 이때 비트라인 센스앰프(BLSA)는 비트라인에 나타나는 전압을 센싱 및 증폭하기 위해 제1 비트라인(BL)과 제2 비트라인(BLB)으로 이루어진 비트라인쌍에 연결될 수 있다. 이때 비트라인 센스앰프(BLSA)는 제어 회로(180)로부터 제공되는 센싱 제어 신호(CTRL)에 따라 오프셋 제거 동작을 수행한 후, 연결된 비트라인의 전압 변화를 감지 및 증폭하여 출력할 수 있다.
- [0034] 데이터 입출력 회로(160)는 센스앰프 회로(150)로부터 감지 증폭된 전압을 기반으로 출력되는 데이터를 데이터 라인들(DQ)을 통해 외부로 출력할 수 있다.
- [0035] 커맨드 디코더(170)는, 외부 장치, 예를 들어, 메모리 컨트롤러로부터 전달되는 커맨드(CMD)를 디코딩하여 액티브 커맨드, 리드 커맨드, 라이트 커맨드, 프리차지 커맨드 등을 생성할 수 있다.
- [0036] 제어 회로(180)는 디코딩된 커맨드에 응답하여 메모리 셀 어레이(110)에 대한 액세스 동작, 예를 들면 라이트 동작, 리드 동작, 프리차지 동작 등에 필요한 각종 제어신호들을 생성할 수 있다. 특히 본 개시에서 제어 회로(180)는 센스앰프 회로(150)에 구비된 비트라인 센스앰프(BLSA)의 동작을 제어하기 위한 센싱 제어 신호(CTRL)를 생성하여 센스앰프 회로(150)로 인가할 수 있다. 여기서 비트라인 센스앰프(BLSA)의 동작을 제어하기 위한 센싱 제어 신호(CTRL)에는 후술하는 센스앰프 인에이블 신호쌍(SAE, SAEB)와 제1 및 제2 라인 연결 신호(SBLT1, SBLT2), 제1 및 제2 라인 전환 신호(SBLB1, SBLB2), 오프셋 제거 신호(OC)가 포함될 수 있다.
- [0037] 도 2는 도 1의 메모리 셀과 비트라인 센스앰프를 설명하기 위한 도면이다.
- [0038] 도 2에 도시된 바와 같이, 다수의 메모리 셀(MC)은 각각 워드라인(WL)과 비트라인쌍(BLT, BLB) 중 하나에 연결되는 셀 트랜지스터(CT)와 셀 트랜지스터(CT)에 연결된 셀 캐패시터(CC)로 구성될 수 있다. 메모리 셀 어레이(110)의 다수의 비트 라인(BL) 중 동일한 비트라인 센스앰프(BLSA)에 연결된 2개의 비트라인(BLT, BLB)은 비트라인쌍을 이룬다. 도 2에서는 비트라인쌍을 이루는 2개의 비트라인(BLT, BLB)이 비트라인 센스앰프(BLSA)로부터 동일한 방향으로 연장되도록 형성된 것으로 도시하였으나, 2개의 비트라인(BLT, BLB)은 비트라인 센스앰프(BLSA)로부터 서로 다른 방향으로 연장되도록 형성될 수도 있다. 여기서는 비트라인 센스앰프(BLSA)에 연결된 비트라인쌍의 2개의 비트라인(BLT, BLB)을 각각 제1 비트라인(BLT)과 제2 비트라인(BLB)이라 하며, 제1 비트라인(BLT)은 비트라인, 제2 비트라인은 상보 비트라인 또는 비트라인바라고도 할 수 있다.
- [0039] 그리고 비트라인쌍(BLT, BLB)에서 제1 비트라인(BLT)에 연결된 메모리 셀(MC)과 제2 비트라인(BLB)에 연결된 메모리 셀(MC)은 서로 다른 워드라인(WL)에 연결된다. 따라서 제1 비트라인(BLT)에 연결된 메모리 셀(MC)과 제2 비트라인(BLB)에 연결된 메모리 셀(MC)은 동시에 활성화되지 않는다. 이에 제1 비트라인(BLT)과 제2 비트라인(BLB)은 각각 비트라인 센스앰프(BLSA)가 제1 비트라인(BLT)과 제2 비트라인(BLB) 중 하나의 전압 변화를 감지

할 때, 전압 변화를 감지하기 위한 서로 기준 전압으로 이용되는 프리차지 전압(Vpre)을 제공하기 위해 이용될 수 있다.

[0040] 리드 동작 또는 리프레쉬 동작 시에 비트라인쌍(BLT, BLB)이 프리차지 전압(Vpre)으로 프리차지된다. 그리고 이 후, 로우 어드레스(RA)에 따라 선택된 워드라인(WL)이 활성화되면, 선택된 워드라인(WL)에 게이트가 연결된 셀 트랜지스터(CT)가 턴온되고, 셀 캐패시터(CC)는 비트라인쌍(BLT, BLB) 중 하나(일 예로 제1 비트라인(BLT))와 전기적으로 연결된다. 이에 프리차지 전압(Vpre)로 프리차지된 비트라인쌍(BLT, BLB) 중에서 연결된 비트라인(일 예로 제1 비트라인(BLT))과 데이터에 따른 전압이 차지된 셀 캐패시터(CC) 사이에 차지 셰어링이 수행된다. 차지 셰어링에 의해 연결된 비트라인(BLT)의 전압 레벨에 변화가 발생되고, 비트라인쌍(BLT, BLB)에 연결된 비트라인 센스앰프(BLSA)는 전압 레벨 변화를 감지하고 이를 증폭한다.

[0041] 도 3은 본 개시의 실시예에 따른 비트라인 센스앰프의 상세 구성을 나타낸다.

[0042] 도 3을 참조하면, 본 개시에 따른 비트라인 센스앰프(BLSA)는 비트라인 스위칭 회로(21) 및 증폭 회로를 포함할 수 있다.

[0043] 스위칭 회로(21)는 비트라인쌍(BLT, BLB)의 제1 비트라인(BLT)과 제2 비트라인(BLB)과 비트라인 센스앰프(BLSA)의 제1 및 제2 센싱 노드(IT, IB)를 상호 연결하거나 차단한다. 이때 스위칭 회로(21)는 제1 및 제2 비트라인(BLT, BLB)을 비트라인 센스앰프(BLSA)의 제1 및 제2 센싱 노드(IT, IB)에 그대로 연결하거나 차단할 수 있을 뿐만 아니라, 제1 및 제2 비트라인(BLT, BLB)과 제1 및 제2 센싱 노드(IT, IB)를 교차 연결할 수도 있다.

[0044] 스위칭 회로(21)는 4개의 스위치(SWt1, SWt2, SWb1, SWb2)를 포함할 수 있다. 제1 및 제2 연결 스위치(SWt1, SWt2)는 각각 제1 및 제2 비트라인(BLT, BLB)과 비트라인 센스앰프(BLSA)의 제1 및 제2 센싱 노드(IT, IB) 사이에 위치하고, 제1 및 제2 라인 연결 신호(SBLT1, SBLT2)에 응답하여 턴온 또는 턴오프된다. 그리고 제1 및 제2 전환 스위치(SWb1, SWb2)는 제1 및 제2 비트라인(BLT, BLB)과 제1 및 제2 센싱 노드(IT, IB)가 교차 연결될 수 있도록 각각 제1 비트라인(BLT)과 제2 센싱 노드(IB) 사이와 제2 비트라인(BLB)과 제1 센싱 노드(IT) 사이에 위치할 수 있다. 제1 및 제2 전환 스위치(SWb1, SWb2)는 제1 및 제2 라인 전환 신호(SBLB1, SBLB2)에 응답하여 턴온 또는 턴오프된다.

[0045] 따라서 스위칭 회로(21)는 메모리 셀(MC)에 연결된 제1 및 제2 비트라인(BLT, BLB)을 각각 비트라인 센스앰프(BLSA)의 제1 및 제2 센싱 노드(IT, IB)와 연결할 수 있을 뿐만 아니라, 제1 비트라인(BLT)을 비트라인 센스앰프(BLSA)의 제2 센싱 노드(IB)와 연결하거나 제2 비트라인(BLB)을 제1 센싱 노드(IT)와 연결할 수 있다.

[0046] 스위칭 회로(21)는 4개의 스위치(SWt1, SWt2, SWb1, SWb2)는 일 예로 NMOS 트랜지스터로 구현될 수 있으나, 이에 한정되지 않으며, 다른 스위칭 소자로 구현될 수도 있다.

[0047] 한편, 증폭 회로는 각각은 제1 및 제2 센싱 노드(IT, IB)를 상호 교차 감지하고 반전 증폭하는 2개의 인버터 회로로 구성될 수 있다. 제1 인버터 회로(22)는 제2 센싱 노드(IB)의 전압 레벨을 감지 및 반전 증폭하여 제1 센싱 노드(IT)로 인가하고, 제2 인버터 회로(23)는 제1 센싱 노드(IT)의 전압 레벨을 감지 및 반전 증폭하여 제2 센싱 노드(IB)로 인가한다.

[0048] 이때 제1 인버터 회로(22)는 제어 회로(180)에서 인가되는 센스앰프 인에이블 신호쌍(SAE, SAEB)에 응답하여 활성화되어, 제2 센싱 노드(IB)의 전압 레벨을 감지 및 반전 증폭하여 제1 센싱 노드(IT)의 전압 레벨을 조절한다. 이에 제1 인버터 회로(22)는 활성 인버터 회로라고 할 수 있다. 제2 인버터 회로(23)는 제1 센싱 노드(IT)의 전압 레벨을 감지 및 반전 증폭하여 제2 센싱 노드(IB)의 전압 레벨을 조절하되, 증폭하기 이전에 비트라인 센스앰프(BLSA)의 오프셋 전압을 차지하고, 차지된 오프셋 전압을 반영하여 제2 센싱 노드(IB)의 전압 레벨을 미리 조절하여 비트라인 센스앰프(BLSA)가 오동작하지 않도록 한다. 따라서 제2 인버터 회로는 오프셋 인버터 회로라고 할 수 있다.

[0049] 제1 인버터 회로(22)는 제1 전원 노드(SAP)와 제2 전원 노드(SAN) 사이에 직렬로 연결되는 2개의 PMOS 트랜지스터(P1, EP)와 2개의 NMOS 트랜지스터(N1, EN)를 포함한다. 2개의 PMOS 트랜지스터(P1, EP)는 제1 전원 노드(SAP)와 제1 센싱 노드(IT) 사이에 직렬로 연결되고, 2개의 NMOS 트랜지스터(N1, EN)는 제1 센싱 노드(IT)와 제2 전원 노드(SAN) 사이에 직렬로 연결된다.

[0050] 4개의 트랜지스터(P1, N1, EP, EN) 중 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)는 비트라인 센스앰프(BLSA)의 제1 인버터를 구성하는 인버터 트랜지스터로서, 여기서는 각각 제11 인버터 트랜지스터(P1) 및 제12 인버터 트랜지스터(N1)라고 한다. 그리고 나머지 PMOS 트랜지스터(EP)와 NMOS 트랜지스터(EN)는 제1 인버터를 활성

화 또는 비활성화시키는 제1 및 제2 활성화 트랜지스터라고 할 수 있다.

- [0051] 2개의 PMOS 트랜지스터(P1, EP) 사이의 연결 순서와 2개의 NMOS 트랜지스터(N1, EN) 사이의 연결 순서는 변경될 수 있다. 도 3에서는 일 예로 제1 전원 노드(SAP)와 제1 센싱 노드(IT) 사이에 제1 활성화 트랜지스터(EP)와 제11 인버터 트랜지스터(P1)가 순차적으로 직렬 연결되고, 제1 센싱 노드(IT)와 제2 전원 노드(SAN) 사이에 제12 인버터 트랜지스터(N1)와 제2 활성화 트랜지스터(EN)가 순차적으로 직렬 연결되는 것으로 도시하였다. 그러나 제1 활성화 트랜지스터(EP)와 제11 인버터 트랜지스터(P1)의 배치 순서 및 제12 인버터 트랜지스터(N1)와 제2 활성화 트랜지스터(EN)의 배치 순서는 변경될 수 있다.
- [0052] 제1 및 제2 트랜지스터(EP, EN)는 활성화된 센스앰프 인에이블 신호쌍(SAE, SAEB)에 응답하여 턴온되어, 제11 및 제12 인버터 트랜지스터(P1, N1)를 제1 및 제2 전원 노드(SAP, SAN)(또는 제1 센싱 노드(IT))와 전기적으로 연결함으로써, 제1 인버터를 활성화시킨다.
- [0053] 제11 및 제12 인버터 트랜지스터(P1, N1)는 게이트가 공통으로 제2 센싱 노드(IB)에 연결된다. 제1 인버터를 구성하는 제11 및 제12 인버터 트랜지스터(P1, N1)는 제1 및 제2 활성화 트랜지스터(EP, EN)가 턴온되면, 활성화되어 제2 센싱 노드(IB)의 전압 레벨을 반전 증폭하여 제1 센싱 노드(IT)로 인가한다. 이때, 제1 및 제2 인버터 트랜지스터(P1, N1)는 제1 센싱 노드(IT)의 전압 레벨을 제1 및 제2 전원 노드(SAP, SAN)를 통해 인가되는 전압 레벨로 풀업하거나 풀다운할 수 있다.
- [0054] 여기서 제1 및 제2 전원 노드(SAP, SAN)에는 제1 및 제2 전원 전압이 인가될 수 있으며, 제1 및 제2 전원 전압은 메모리 셀 어레이(110)와 비트라인 센스앰프(BLSA)의 운용 방식에 따라 다양한 전압 레벨로 인가될 수 있다. 일 예로, 제1 전원 노드(SAP)에는 제1 전원 전압으로 전원 전압(V_{DD})이 인가되고, 제2 전원 노드(SAN)에는 제2 전원 전압으로 접지 전압(V_{SS})이 인가될 수 있다. 또한 후술하는 프리차지 구간에서 제1 및 제2 전원 노드(SAP, SAN)에는 제1 전원 전압과 제2 전원 전압 사이의 전압 레벨을 갖는 이퀄라이즈 전압(V_{EQ})이 인가될 수 있다.
- [0055] 한편, 제2 인버터 회로(23)는 프리차지 구간 동안 오프셋 전압(V_{off})을 차지하여 오프셋 전압(V_{off})에 의한 감지 오류가 발생되지 않도록 하고, 이후, 제1 인버터 회로(22)에 의해 조절되는 제1 센싱 노드(IT)의 전압 레벨을 감지 및 반전 증폭하여 제2 센싱 노드(IB)의 전압 레벨을 조절한다.
- [0056] 제2 인버터 회로(23) 또한 제1 인버터 회로(22)와 유사하게 제1 전원 노드(SAP)와 제2 전원 노드(SAN) 사이에 직렬로 연결되는 2개의 PMOS 트랜지스터(P2, SP)와 2개의 NMOS 트랜지스터(N2, SN)를 포함한다. 2개의 PMOS 트랜지스터(P2, SP)는 제1 전원 노드(SAP)와 제1 센싱 노드(IT) 사이에 직렬로 연결되고, 2개의 NMOS 트랜지스터(N2, SN)는 제1 센싱 노드(IT)와 제2 전원 노드(SAN) 사이에 직렬로 연결되며, 2개의 PMOS 트랜지스터(P2, SP)의 배치 순서와 2개의 NMOS 트랜지스터(N2, SN)의 배치 순서는 변경될 수 있다.
- [0057] 4개의 트랜지스터(P2, N2, SP, SN) 중 PMOS 트랜지스터(P2)와 NMOS 트랜지스터(N2)는 비트라인 센스앰프(BLSA)의 제2 인버터를 구성하는 제21 및 제22 인버터 트랜지스터(P2, N2)이고, 나머지 PMOS 트랜지스터(SP)와 NMOS 트랜지스터(SN)는 제2 센싱 노드(IB)에서 오프셋을 제거하기 위해 구비된 제1 및 제2 오프셋 트랜지스터(SP, SN)라 할 수 있다.
- [0058] 다만 제2 인버터 회로(23)에서는 제2 인버터를 구성하는 제21 및 제22 인버터 트랜지스터(P2, N2)의 게이트가 공통으로 제1 센싱 노드(IT)에 연결될 뿐만 아니라, 제1 및 제2 오프셋 트랜지스터(SP, SN)의 게이트 또한 공통으로 GT 노드(GT)에 연결된다. 제1 및 제2 오프셋 트랜지스터(SP, SN) 또한 GT 노드(GT)에 게이트가 공통으로 연결되는 인버터 구성을 가지며, 이에 제2 인버터 회로(23)는 2개의 인버터가 스택된 스택 인버터 구조를 갖는 것으로 볼 수 있다.
- [0059] 그리고 제2 인버터 회로(23)는 제1 센싱 노드(IT)와 GT 노드(GT) 사이에 연결되는 오프셋 차지 캐패시터(TC)와 GT 노드(GT)와 제2 센싱 노드(IB) 사이에 연결되는 오프셋 스위치(SWoc)를 더 포함할 수 있다. 여기서 오프셋 스위치(SWoc)는 제어 회로(180)에서 인가되는 오프셋 제거 신호(OC)에 응답하여 턴온되어 GT 노드(GT)와 제2 센싱 노드(IB)를 전기적으로 연결함으로써, 오프셋 차지 캐패시터(TC)에 제1 센싱 노드(IT)와 제2 센싱 노드(IB) 사이의 전압 차에 따른 오프셋 전압이 차지되도록 한다.
- [0060] 추가적으로 비트라인 센스앰프(BLSA)는 프리차지 구간 동안 제1 센싱 노드(IT)로 이퀄라이즈 전압(V_{EQ})이 인가되도록 하는 이퀄라이즈 스위치(SWEq)를 더 포함할 수 있다.
- [0061] 오프셋 스위치(SWoc)와 이퀄라이즈 스위치(SWEq)는 일 예로 NMOS 트랜지스터로 구현될 수 있으나, 이에 한정되

지 않는다.

- [0062] 도 4는 도 3의 비트라인 센스앰프의 동작을 설명하기 위한 타이밍 다이어그램을 나타내고, 도 5 내지 도 8은 도 3의 비트라인 센스앰프의 구간별 동작을 설명하기 위한 도면이다.
- [0063] 도 4를 참조하면, 본 개시에 따른 비트라인 센스앰프(BLSA)의 센싱 동작은 프리차지 구간(PCG), 차지 셰어링 구간(CS) 및 메인 센싱 구간(MS)의 3구간으로 크게 구분될 수 있으며, 차지 셰어링 구간(CS)은 다시 세부적으로 오프셋 제거 구간(OC) 및 프리 센싱 구간(PS)으로 구분될 수 있다. 이에 도 5 내지 도 8은 각각 프리차지 구간(PCG), 오프셋 제거 구간(OC), 프리 센싱 구간(PS) 및 메인 센싱 구간(MS)에서 비트라인 센스앰프(BLSA)의 동작을 설명하기 위한 도면이다.
- [0064] 도 4 및 도 5를 참조하여 우선 프리차지 구간(PCG)에서의 동작을 설명한다. 프리차지 구간(PCG)에서 스위칭 회로(21)의 4개의 스위치(SWt1, SWt2, SWb1, SWb2)가 제1 및 제2 라인 연결 신호(SBLT1, SBLT2)와 제1 및 제2 라인 전환 신호(SBLB1, SBLB2)에 응답하여 모두 턴온된다. 이때 워드라인(WL)은 비활성화된 상태이다. 이와 함께 오프셋 스위치(SWoc)와 이퀄라이즈 스위치(SWeq) 또한 오프셋 제거 신호(OC)에 응답하여 턴온된다. 또한 센스앰프 인에이블 신호쌍(SAE, SAEB)이 활성화된 상태로서, 제11 및 제12 인버터 트랜지스터(P1, N2)가 턴온된다. 즉 제1 인버터 회로(22)의 제1 인버터가 동작한다.
- [0065] 그리고 제1 및 제2 전원 노드(SAP, SAN)와 이퀄라이즈 스위치(SWeq)의 일단으로 이퀄라이즈 전압(V_{EQ})이 인가된다. 여기서 이퀄라이즈 전압(V_{EQ})은 제1 전원 전압과 제2 전원 전압의 중간 전압 레벨을 갖는 전압일 수 있다. 예로서 제1 전원 전압이 전원 전압(V_{DD})이고 제2 전원 전압이 접지 전압(V_{SS})이면, 이퀄라이즈 전압(V_{EQ})은 전원 전압(V_{DD})과 접지 전압(V_{SS})의 중간 전압 레벨($(V_{DD} + V_{SS})/2$)을 가질 수 있다.
- [0066] 스위칭 회로(21)의 4개의 스위치(SWt1, SWt2, SWb1, SWb2)와 오프셋 스위치(SWoc) 및 이퀄라이즈 스위치(SWeq)가 모두 턴온된 상태이고, 제1 및 제2 전원 노드(SAP, SAN)와 이퀄라이즈 스위치(SWeq)의 일단으로 이퀄라이즈 전압(V_{EQ})이 인가되므로, 도 5에서와 같이, 비트라인쌍(BLT, BLB)과 제1 및 제2 센싱 노드(IT, IB)는 모두 이퀄라이즈 전압(V_{EQ})으로 프리차지된다.
- [0067] 이때 제1 인버터 회로(22)의 제1 인버터가 동작하는 상태이지만, 제1 및 제2 전원 노드(SAP, SAN)로 모두 동일한 이퀄라이즈 전압(V_{EQ})이 인가되고 있으며, 제1 및 제2 센싱 노드(IT, IB)가 이퀄라이즈 전압(V_{EQ})으로 프리차지되어 있을 뿐만 아니라, 오프셋 스위치(SWoc)가 턴온되어 GT 노드(GT)와 제2 센싱 노드(IB)를 전기적으로 연결하고 있으므로, 비트라인 센스앰프(BLSA)의 모든 노드(IT, IB, GT, SAP, SAN)은 모두 이퀄라이즈 전압(V_{EQ}) 레벨을 갖는다.
- [0068] 한편 본 개시에 따른 비트라인 센스앰프(BLSA)는 차지 셰어링과 오프셋 제거가 함께 수행될 수 있어, 비트라인 센스앰프(BLSA)의 동작 속도를 향상시킬 수 있다. 이에 오프셋 제거 구간(OC)이 차지 셰어링 구간(CS)에 포함된다.
- [0069] 도 4 및 도 6을 참조하면, 차지 셰어링 구간(CS)의 오프셋 제거 구간(OC)에서는 어드레스(ADDR) 중 로우 어드레스(RA)에 따라 선택되는 워드라인(WL)이 활성화된다. 이때 도 2에서와 같이, 비트라인쌍(BLT, BLB)의 2개의 라인 중 선택된 워드라인(WL)에 따라 활성화되는 메모리 셀(MC)에 연결된 라인과 활성화되는 메모리 셀(MC)의 셀 캐패시터(CC) 사이에 차지 셰어링이 이루어지게 된다. 여기서는 일 예로, 활성화되는 메모리 셀(MC)이 비트라인(BLT)에 연결된 것으로 가정하고, 메모리 셀(MC)에는 "1"의 데이터가 저장된 것으로 가정한다. 이에 이퀄라이즈 전압(V_{EQ})으로 프리차지된 비트라인(BLT)의 전압 레벨이 메모리 셀(MC)과의 차지 셰어링에 의해 변화하게 된다. 여기서는 메모리 셀(MC)에 "1"의 데이터가 저장되어, 셀 캐패시터(CC)에 이퀄라이즈 전압(V_{EQ})보다 높은 전압이 차지된 상태이므로, 비트라인(BLT)의 전압 레벨은 ΔV 만큼 상승하게 된다. 따라서 비트라인(BLT)의 전압 레벨은 $V_{EQ} + \Delta V$ 가 된다. 만일 메모리 셀(MC)에 "0"의 데이터가 저장되어 있다면, 비트라인(BLT)의 전압 레벨은 ΔV 만큼 하강하여 $V_{EQ} - \Delta V$ 가 될 수 있다.
- [0070] 한편 스위칭 회로(21)의 4개의 스위치(SWt1, SWt2, SWb1, SWb2)가 제1 및 제2 라인 연결 신호(SBLT1, SBLT2)와 제1 및 제2 라인 전환 신호(SBLB1, SBLB2)에 응답하여 모두 턴오프된다. 따라서 비트라인쌍(BLT, BLB)과 제1 및 제2 센싱 노드(IT, IB)가 전기적 연결이 차단되어, 비트라인쌍(BLT, BLB)의 전압 레벨 변화가 제1 및 제2 센

싱 노드(IT, IB)에 반영되지 않는다.

- [0071] 또한 오프셋 스위치(SWoc)와 이퀄라이즈 스위치(SWeq)는 턴온 상태를 유지하고, 센스앰프 인에이블 신호쌍(SAE, SAEb)이 비활성화되어 제1 인버터가 비활성화된다. 그러나 제1 및 제2 전원 노드(SAP, SAN)에는 각각 제1 및 제2 전원 전압이 인가된다. 여기서는 제1 및 제2 전원 전압이 각각 전원 전압(V_{DD})과 접지 전압(V_{SS})인 것으로 가정한다.
- [0072] 이에 제1 센싱 노드(IT)는 전원 전압(V_{DD})과 접지 전압(V_{SS})의 중간 전압의 이퀄라이즈 전압(V_{EQ}) 레벨을 유지하지만, 제2 인버터 회로(23)의 4개의 트랜지스터(P2, N2, SP, SN)가 제1 및 제2 전원 노드(SAP, SAN)에 제1 및 제2 전원 전압이 인가됨에 따라 턴온되어 제1 전원 노드(SAP)와 제2 전원 노드(SAN) 사이에 전류 경로가 형성되어 전류가 흐르게 된다. 그리고 오프셋 스위치(SWoc)가 턴온된 상태이므로, GT 노드(GT)와 제2 센싱 노드(IB)는 동일한 전압 레벨을 갖는다.
- [0073] 만일 제2 인버터 회로(23)의 2개의 PMOS 트랜지스터(P2, SP)와 2개의 NMOS 트랜지스터(N2, SN)의 특성이 서로 동등하다면, 이퀄라이즈 전압(V_{EQ}) 레벨로 프리차지된 제2 센싱 노드(IB)와 제2 GT 노드(GT)의 전압 레벨은 그대로 유지되어야 한다. 그러나 대부분의 경우, 2개의 PMOS 트랜지스터(P2, SP)와 2개의 NMOS 트랜지스터(N2, SN)는 특성이 상이하게 나타난다. 이로 인해 2개의 PMOS 트랜지스터(P2, SP)와 2개의 NMOS 트랜지스터(N2, SN) 사이의 문턱 전압의 차이로 제2 센싱 노드(IB)는 2개의 PMOS 트랜지스터(P2, SP)와 2개의 NMOS 트랜지스터(N2, SN)에 의한 특성에 차가 반영된 전압 레벨로 변화되어 유지되게 된다. 여기서는 이퀄라이즈 전압(V_{EQ}) 레벨에서 변화된 제2 센싱 노드(IB)와 제2 GT 노드(GT)의 전압을 트립 전압(V_{TRIP})이라고 한다.
- [0074] 이때 4개의 트랜지스터(P2, N2, SP, SN) 중 제1 및 제2 오프셋 트랜지스터(SP, SN)는 게이트-소스 전압(V_{GS})과 드레인-소스 전압(V_{DS})이 동일하여 포화 영역(Saturation Region)에서 동작하지만, 제21 및 제22 인버터 트랜지스터(P2, N2)는 게이트로 이퀄라이즈 전압(V_{EQ})이 인가되므로, 선형 영역(Triode Region)에서 동작하게 된다. 따라서 제2 인버터 회로(23)의 4개의 트랜지스터(P2, N2, SP, SN)가 모두 포화 영역(Saturation Region)에서 동작하지 않도록 하여 비트라인 센스앰프(BLSA)의 전류 소모량을 저감시킬 수 있다.
- [0075] 오프셋 차지 캐패시터(TC)는 제1 센싱 노드(IB)와 GT 노드(GT) 사이에 연결되어 있고, 오프셋 스위치(SWoc)가 턴온되어 제2 센싱 노드(IB)와 GT 노드(GT)가 전기적으로 연결된 상태이므로, 오프셋 차지 캐패시터(TC)의 양단에는 제1 센싱 노드(IB)와 제2 센싱 노드(IB) 사이의 전압차에 따른 전압이 오프셋 전압($V_{off} = V_{EQ} - V_{TRIP}$)으로서 저장된다.
- [0076] 도 4 및 도 7을 참조하면, 차지 셰어링 구간(CS)의 프리 센싱 구간(PS)에서는 스위칭 회로(21)의 4개의 스위치(SWt1, SWt2, SWb1, SWb2) 중 제1 연결 스위치(SWt1) 또는 제1 전환 스위치(SWb1)가 제1 라인 연결 신호(SBLT1) 또는 제1 라인 전환 신호(SBLB1)에 응답하여 턴온된다. 제어 회로(180)는 비트라인쌍(BLT, BLB) 중 선택된 워드라인(WL)에 의해 활성화된 메모리 셀(MC)이 연결된 라인이 제1 센싱 노드(IT)와 연결되도록 제1 라인 연결 신호(SBLT1) 또는 제1 라인 전환 신호(SBLB1) 중 하나를 활성화할 수 있으며, 이에 제1 연결 스위치(SWt1) 또는 제1 전환 스위치(SWb1) 중 하나가 턴온되어 제1 비트라인(BLT) 또는 제2 비트라인(BLB)을 제1 센싱 노드(IT)와 전기적으로 연결한다. 만일 활성화된 메모리 셀(MC)이 제1 비트라인(BLT)에 연결된 경우, 제어 회로(180)는 제1 라인 연결 신호(SBLT1)를 활성화하여 제1 연결 스위치(SWt1)를 턴온시키고, 메모리 셀(MC)이 제2 비트라인(BLB)에 연결된 경우, 제어 회로(180)는 제1 라인 전환 신호(SBLB1)를 활성화하여 제1 전환 스위치(SWb1)를 턴온시킨다.
- [0077] 이는 본 개시의 비트라인 센스앰프(BLSA)에서 제1 인버터 회로(22)와 제2 인버터 회로(23)가 서로 비대칭 구조를 갖기 때문에, 비트라인쌍(BLT, BLB)에서 데이터를 센싱하고자 하는 메모리 셀(MC)에 연결된 라인이 제1 센싱 노드(IT)와 연결되어야 하기 때문이다.
- [0078] 그리고 프리 센싱 구간(PS)에서도 센스앰프 인에이블 신호쌍(SAE, SAEb)이 비활성화된 상태로 유지되어 제1 인버터가 비활성화된다. 그러나 오프셋 스위치(SWoc)와 이퀄라이즈 스위치(SWeq)는 비활성화되는 오프셋 제거 신호(OC)에 응답하여 턴오프된다. 따라서 GT 노드(GT)와 제2 센싱 노드(IB)는 전기적으로 연결되지 않는다.
- [0079] 제2 인버터 회로(23)에서 제2 인버터를 구성하는 제2 P인버터 트랜지스터(P2)와 제2 N인버터 트랜지스터(N2)는 제1 센싱 노드(IT)에 게이트가 연결되어 있으므로, 제2 P인버터 트랜지스터(P2)와 제2 N인버터 트랜지스터(N2)

를 통해 흐르는 전류는 제1 센싱 노드(IT)의 전압 레벨 변화에 따라 달라진다.

[0080] 그리고 제1 및 제2 오프셋 트랜지스터(SP, SN)는 게이트가 GT 노드(GT)에 연결되어 있으므로, GT 노드(GT) 노드의 전압 레벨 변화에 따라 흐르는 전류가 가변된다. 오프셋 차지 캐패시터(TC)에 차지된 오프셋 전압(V_{off})에 의해 제1 센싱 노드(IT)와 GT 노드(GT) 사이에는 오프셋 전압(V_{off}) 만큼의 전압 차가 유지되며, 제1 센싱 노드(IT)의 전압 레벨이 이퀄라이즈 전압(V_{EQ})에서 ΔV 만큼 변화($V_{EQ} + \Delta V$)하면, GT 노드(GT)의 전압 레벨 또한 트립 전압(V_{TRIP})에서 ΔV 만큼 변화($V_{TRIP} + \Delta V$)하게 된다.

[0081] 상기한 가정과 같이, 메모리 셀(MC)과의 차지 셰어링에 의해 제1 비트라인(BLT)의 전압 레벨이 ΔV 만큼 상승한 경우, 제2 P인버터 트랜지스터(P2)를 통해 흐르는 전류는 감소하는 반면, 제2 N인버터 트랜지스터(N2)를 통해 흐르는 전류는 증가하게 된다. 이와 마찬가지로 제1 오프셋 트랜지스터(SP)를 통해 흐르는 전류는 감소하고, 제2 오프셋 트랜지스터(SN)를 통해 흐르는 전류는 증가한다. 따라서 제2 센싱 노드(IB)의 전압 레벨이 트립 전압(V_{TRIP})에서 점차 감소하게 된다.

[0082] 다만 트립 전압(V_{TRIP})의 전압 레벨이 이퀄라이즈 전압(V_{EQ})과 동일하지 않아 오프셋 전압(V_{off})이 0이 아니면, 제2 P인버터 트랜지스터(P2)와 제2 오프셋 트랜지스터(SN)를 통해 흐르는 전류량이 서로 상이하고, 제2 N인버터 트랜지스터(N2)와 제2 오프셋 트랜지스터(SN)를 통해 흐르는 전류가 서로 상이하게 된다. 이에 제2 센싱 노드(IB)는 차지 셰어링에 의한 전압 변동(ΔV)과 함께 오프셋 전압(V_{off})이 반영된 전압 레벨을 갖게 된다. 즉 오프셋이 제거된 프리 센싱 상태가 된다. 이때 제1 인버터가 비활성화 상태인 센스앰프 인에이블 신호쌍(SAE, SAEB)에 의해 여전히 비활성화된 상태이므로, 제1 센싱 노드(IT)는 차지 셰어링에 의한 전압 변동(ΔV)이 반영된 이퀄라이저 전압 레벨($V_{EQ} + \Delta V$)로 유지되고, GT 노드(GT) 또한 전압 변동(ΔV)이 반영된 트립 전압 레벨($V_{TRIP} + \Delta V$)로 유지된다. 다만 제2 센싱 노드(IB)는 변동된 트립 전압 레벨($V_{TRIP} + \Delta V$)에 의해 제2 인버터 회로(23)가 구동되어, 메인 센싱 구간(MS) 이전 프리 센싱 구간(PS)에 미리전압 레벨이 크게 변동되게 된다. 예로서, 제1 센싱 노드(IT)의 전압 레벨이 ΔV 만큼 상승된 경우, 제2 센싱 노드(IB)의 전압 레벨은 트립 전압(V_{TRIP})에서 ΔV 보다 매우 큰 폭으로 변화될 수 있다.

[0083] 즉 프리 센싱 구간(PS)에 미리 제1 센싱 노드(IT)의 전압 레벨을 감지 및 반전 증폭하여 제2 센싱 노드(IB)에 반영한다. 이때 비트라인쌍(BLT, BLB) 중 단일 라인에서의 전압 변동만을 감지하여 반전 증폭하여 제2 센싱 노드(IB)에 반영하되, 오프셋 전압(V_{off})을 반영하여 제2 센싱 노드(IB)의 전압 레벨이 활성화된 메모리 셀(MC)에 저장된 데이터에 따라 크게 조절되도록 한다.

[0084] 한편 도 4 및 도 8을 참조하면, 메인 센싱 구간(MS)에서는 우선 센스앰프 인에이블 신호쌍(SAE, SAEB)이 활성화되어 제1 및 제2 활성화 트랜지스터(EP, EN)가 턴온된다. 제1 및 제2 활성화 트랜지스터(EP, EN)가 턴온되면, 제1 인버터가 활성화되어 제2 센싱 노드(IB)의 전압 레벨을 감지 및 반전 증폭한다. 상기한 바와 같이 프리 센싱 구간 동안 제2 센싱 노드(IB)의 전압 레벨이 이미 제1 센싱 노드(IT)의 전압 변동(ΔV)과 오프셋 전압(V_{off})이 반영되어 크게 반전 증폭되었으므로, 메인 센싱 구간(MS)에서 활성화된 제1 인버터는 제1 센싱 노드(IT)의 전압 레벨을 제1 전원 전압 레벨로 풀업하거나 제2 전원 전압 레벨로 풀다운 할 수 있다. 여기서는 프리 센싱 구간(PS) 동안 제2 센싱 노드(IB)의 전압 레벨이 강하된 것으로 가정하였으므로, 제1 인버터는 제1 센싱 노드(IT)를 전원 전압(VDD) 레벨까지 풀업할 수 있다.

[0085] 그리고 제1 센싱 노드(IT)의 전압 레벨이 풀업 또는 풀다운되면, 이에 따라 제2 인버터 회로(23) 또한 제2 센싱 노드(IB)의 전압 레벨을 풀다운 또는 풀업할 수 있게 된다. 위의 예에서 제2 센싱 노드(IB)는 접지 전압(VSS) 레벨로 풀다운될 수 있다.

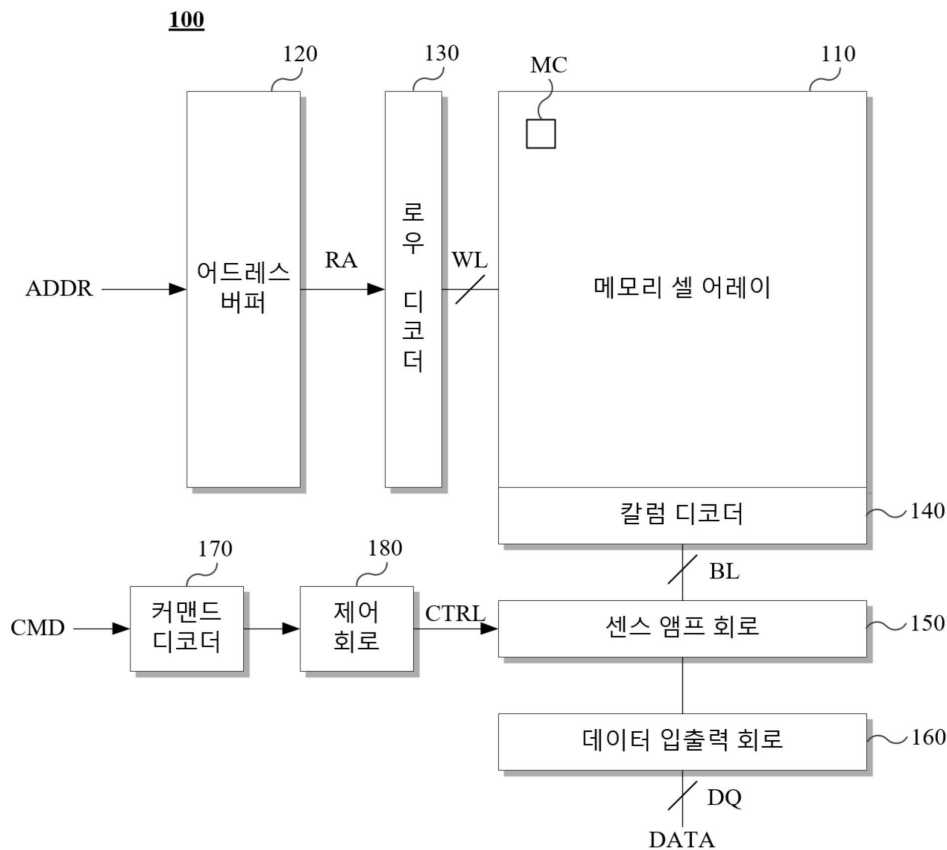
[0086] 한편 센스앰프 인에이블 신호쌍(SAE, SAEB)이 활성화된 이후, 스위칭 회로(21)의 4개의 스위치(SWt1, SWt2, SWb1, SWb2)가 비트라인쌍(BLT, BLB)의 2개의 라인 중 프리 센싱 구간(PS)에 제1 센싱 노드(IT)에 연결되지 않은 나머지 라인을 제2 센싱 노드(IB)에 연결한다. 예로서, 활성화된 메모리 셀(MC)이 제1 비트라인(BLT)에 연결된 경우, 제1 연결 스위치(SWt1)는 턴온 상태를 유지하고, 제2 연결 스위치(SWt2)가 제2 라인 연결 신호(SBLT2)에 응답하여 추가적으로 턴온된다. 반면, 활성화된 메모리 셀(MC)이 제2 비트라인(BLB)에 연결된 경우, 제1 전환 스위치(SWb1)가 턴온 상태를 유지하고, 제2 전환 스위치(SWb2)가 제2 라인 전환 신호(SBLB2)에 응답하여 추가로 턴온된다. 따라서 비트라인쌍(BLT, BLB)이 제1 및 제2 센싱 노드(IT, IB)와 전기적으로 연결되며, 활성화된 메모리 셀(MC)의 위치에 따라 비트라인쌍(BLT, BLB)과 제1 및 제2 센싱 노드(IT, IB)는 그대로 또는

교차하여 연결된다.

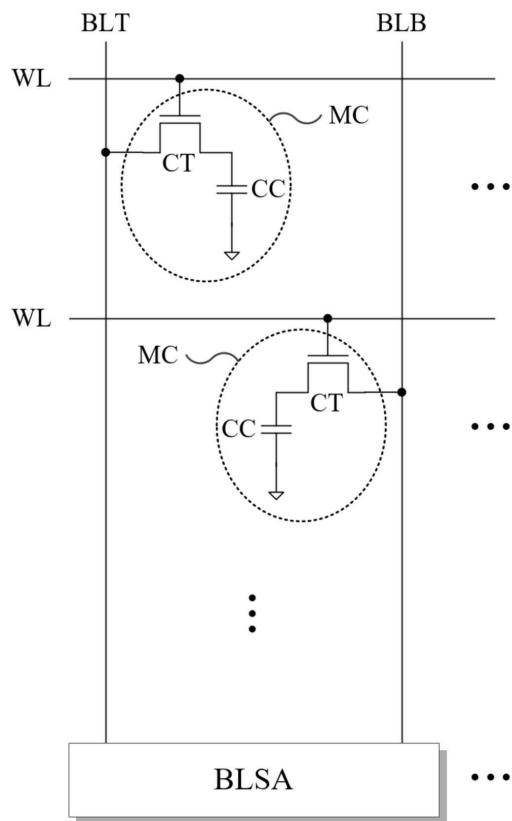
- [0087] 여기서 스위칭 회로(21)가 센스앰프 인에이블 신호쌍(SAE, SAEB)이 활성화된 이후, 나머지 라인을 제2 센싱 노드(IB)에 연결하는 것은 증폭 회로의 제1 및 제2 인버터 회로(22, 23)에 의해 제1 및 제2 센싱 노드(IT, IB)가 제1 및 제2 전원 전압 레벨로 풀업 및 풀다운된 이후, 비트라인쌍(BLT, BLB)과 연결되도록 함으로써 동작 안정성과 속도를 향상시키기 위해서이다.
- [0088] 비트라인쌍(BLT, BLB)이 제1 및 제2 센싱 노드(IT, IB)와 전기적으로 연결되면, 비트라인쌍(BLT, BLB)의 전압 레벨 또한 제1 및 제2 센싱 노드(IT, IB)과 마찬가지로 증폭 회로의 제1 및 제2 인버터 회로(22, 23)에 의해 제1 전원 전압 레벨로 풀업 및 제2 전원 전압 레벨로 풀다운될 수 있다.
- [0089] 이와 같이 본 개시에 따른 비트라인 센스앰프(BLSA)는 메모리 셀(MC)과 비트라인쌍(BLT, BLB)에서 활성화된 메모리 셀(MC)이 연결된 라인 사이에 차지 셰어링이 이루어지는 동안 오프셋 전압(V_{off})을 차지하고, 메모리 셀(MC)이 연결된 라인을 우선 제1 센싱 노드(IT)와 연결하여 프리 센싱을 수행함으로써, 제2 센싱 노드(IB)의 전압 레벨을 크게 변화시키며, 이후 나머지 라인을 제2 센싱 노드(IB)에 연결하여 메인 센싱이 수행되도록 함으로써 비트라인 센스앰프(BLSA)가 정확하게 메모리 셀(MC)의 데이터를 감지하여 증폭할 수 있도록 한다.
- [0090] 도시된 실시예에서, 각 구성들은 이하에 기술된 것 이외에 상이한 기능 및 능력을 가질 수 있고, 이하에 기술되지 것 이외에도 추가적인 구성을 포함할 수 있다. 또한, 일 실시예에서, 각 구성은 물리적으로 구분된 하나 이상의 장치를 이용하여 구현되거나, 하나 이상의 프로세서 또는 하나 이상의 프로세서 및 소프트웨어의 결합에 의해 구현될 수 있으며, 도시된 예와 달리 구체적 동작에 있어 명확히 구분되지 않을 수 있다.
- [0091] 이상에서 대표적인 실시예를 통하여 본 발명에 대하여 상세하게 설명하였으나, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

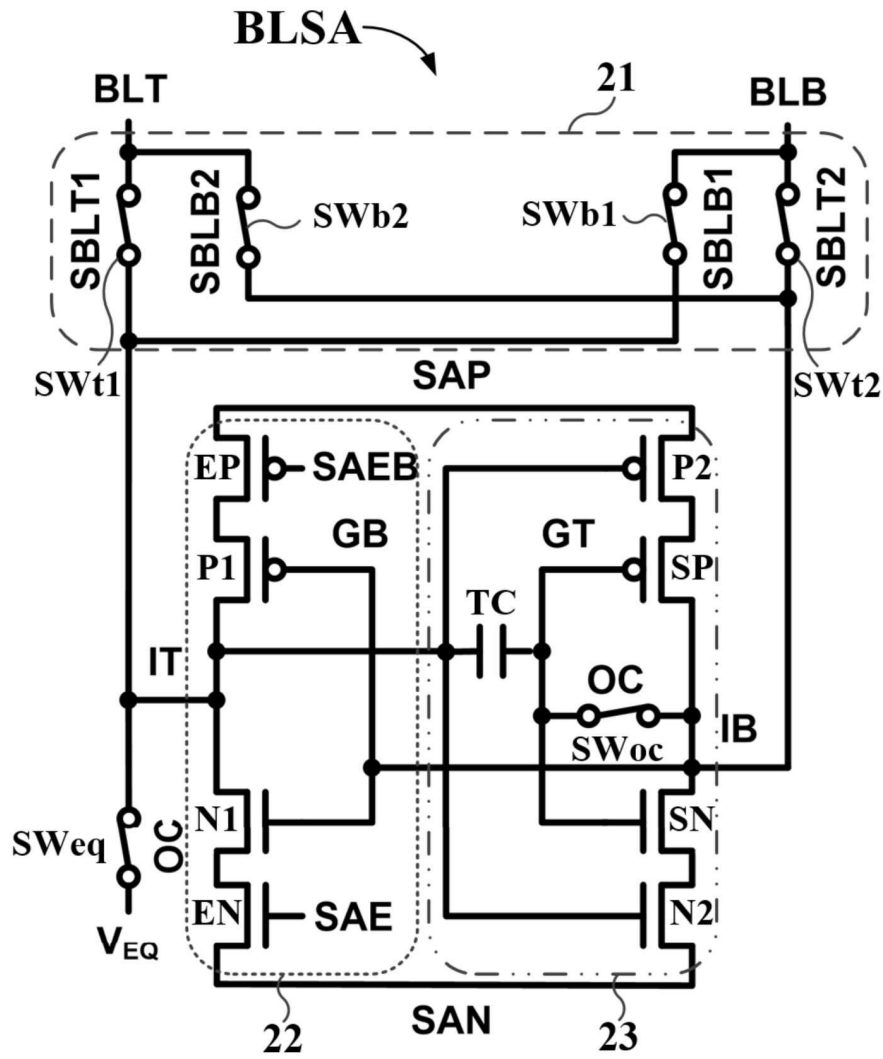
도면1



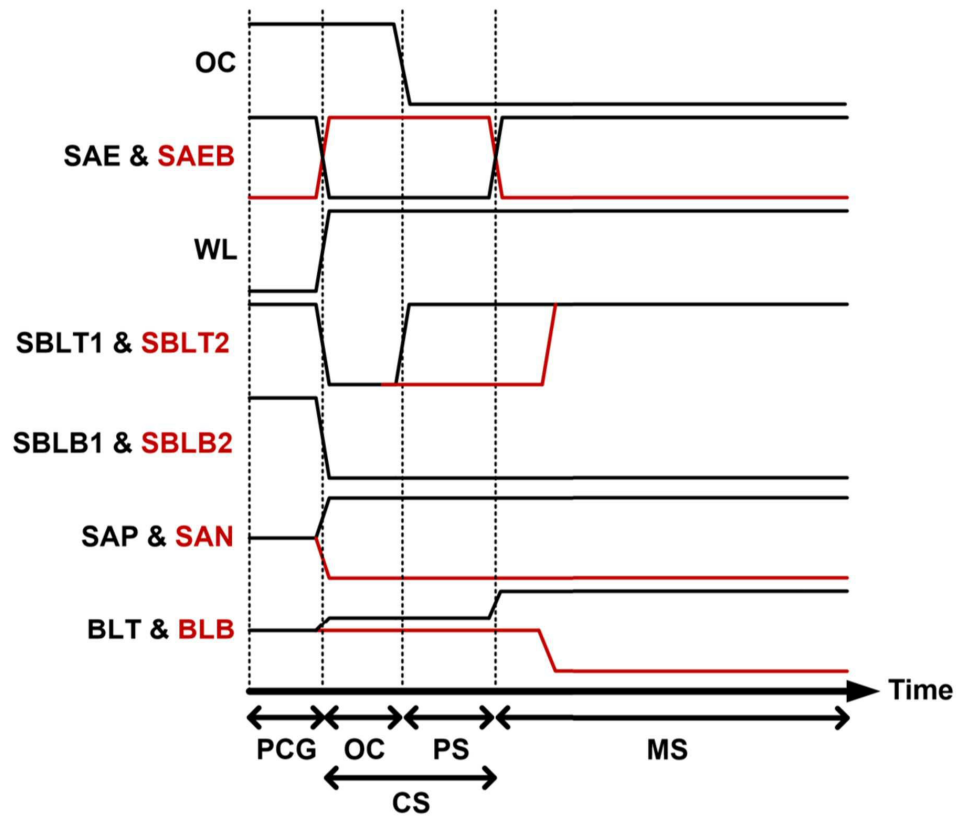
도면2



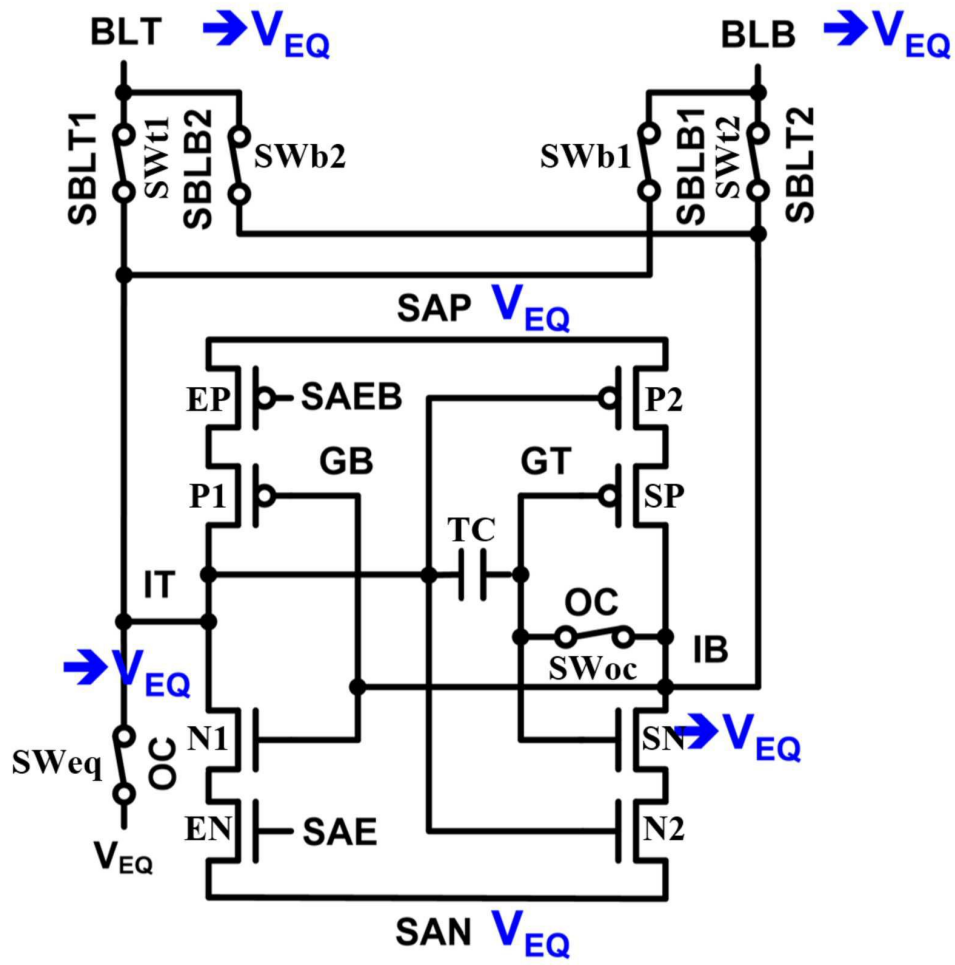
도면3



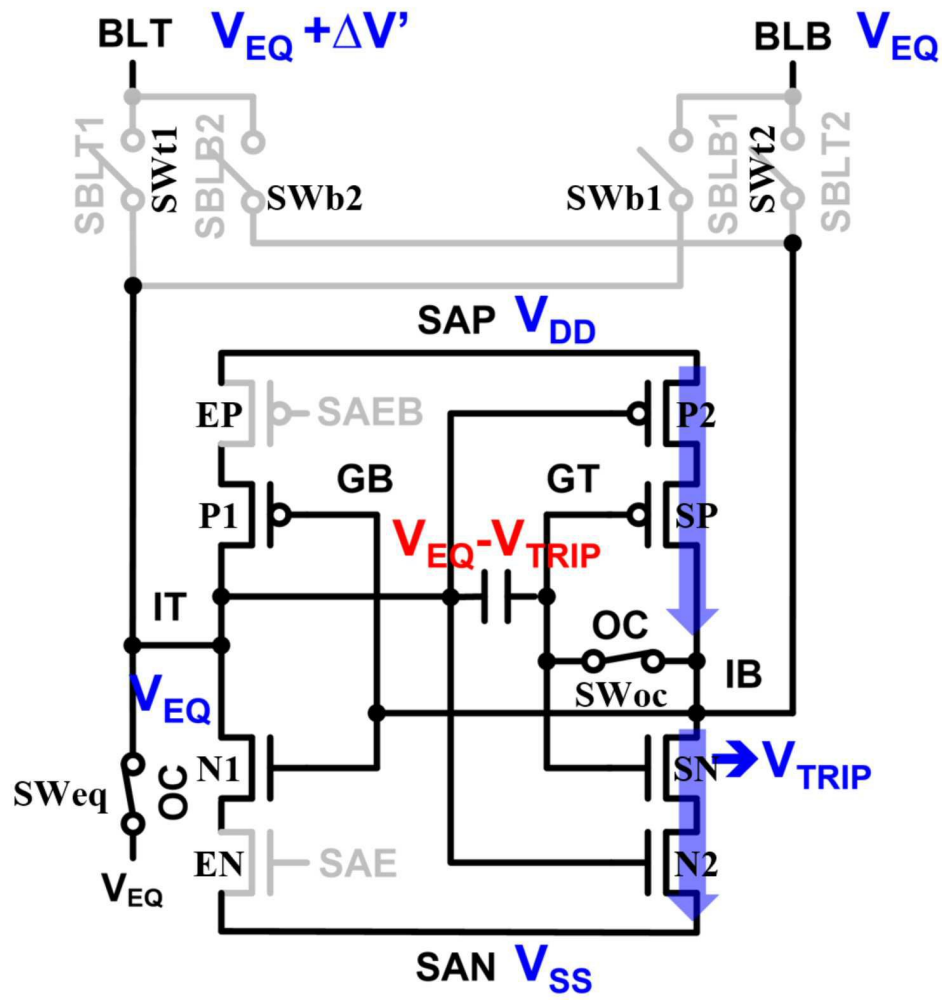
도면4



도면5



도면6



도면7

