



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0035058
(43) 공개일자 2024년03월15일

(51) 국제특허분류(Int. Cl.)

G01R 31/319 (2006.01) G01R 31/3185 (2006.01)

G01R 31/3187 (2006.01)

(52) CPC특허분류

G01R 31/31917 (2013.01)

G01R 31/318541 (2013.01)

(21) 출원번호 10-2022-0114045

(22) 출원일자 2022년09월08일

심사청구일자 2022년09월08일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

강성호

서울특별시 마포구 양화로 45, 101동 2102호

박성환

서울특별시 관악구 신림로11길 39-4, 1층

(74) 대리인

특허법인(유한)아이시스

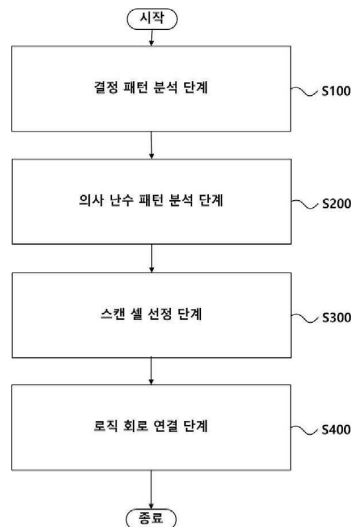
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 테스트 장치 제조 방법

(57) 요약

본 실시예는 체인으로 연결된 복수의 스캔 셀들을 포함하여 테스트 대상 회로(DUT, device under test)의 고장을 검출하는 테스트 장치의 제조 방법으로, 상기 제조 방법은: 자동 테스트 패턴 생성기가 형성한 결정 패턴(deterministic pattern)을 분석하는 결정 패턴 분석 단계; 의사 난수 패턴 생성기가 형성한 의사 난수 패턴이 상기 DUT에 제공되고, 상기 DUT에서 스캔 아웃된 패턴을 분석하는 의사 난수 패턴 분석 단계; 상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로부터 로직 회로와 연결될 상기 스캔 셀을 선정하는 스캔 셀 선정 단계 및 상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로 결정된 로직 회로를 선정된 상기 스캔 셀에 연결하는 로직 회로 연결 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

G01R 31/318555 (2013.01)

G01R 31/318583 (2013.01)

G01R 31/3187 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415179183
과제번호	20012010
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자부품산업기술개발(R&D)
연구과제명	지능형 반도체를 위한 테스트 회로 설계 기술
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2022.01.01 ~ 2022.12.31

명세서

청구범위

청구항 1

체인으로 연결된 복수의 스캔 셀들을 포함하여 테스트 대상 회로(DUT, device under test)의 고장을 검출하는 테스트 장치의 제조 방법으로, 상기 제조 방법은:

자동 테스트 패턴 생성기가 형성한 결정 패턴(deterministic pattern)을 분석하는 결정 패턴 분석 단계;

의사 난수 패턴 생성기가 형성한 의사 난수 패턴이 상기 DUT에 제공되고, 상기 DUT에서 스캔 아웃된 패턴을 분석하는 의사 난수 패턴 분석 단계;

상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로부터 로직 회로와 연결될 상기 스캔 셀을 선정하는 스캔 셀 선정 단계 및

상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로 결정된 로직 회로를 선정된 상기 스캔 셀에 연결하는 로직 회로 연결 단계를 포함하는 제조 방법.

청구항 2

제1항에 있어서,

상기 결정 패턴 분석 단계는,

상기 결정 패턴에서 상기 스캔 셀들 각각에 입력되는 패턴의 입력 가중치(weight)와 지정 비트 비율(specified bit ratio)을 연산하여 수행하는 제조 방법.

청구항 3

제1항에 있어서,

상기 결정 패턴 분석 단계는

상기 DUT로 스캔 인되는 결정 패턴에서 총 비트 수에 대한 논리 하이, 논리 로우 비트로 지정된 비트수의 비율인 SID(scan in specified bit ratio of deterministic pattern)와,

상기 DUT로 스캔 인되는 결정 패턴에서 논리 하이, 논리 로우로 지정된 비트수에 대한 논리 하이 비트로 지정된 비트 수의 비율인 WID(scan in weight of deterministic pattern)를 연산하여 수행하는 제조 방법.

청구항 4

제3항에 있어서,

상기 의사 난수 패턴 분석 단계는,

상기 DUT에서 스캔 아웃되어 출력되는 패턴에서 논리 하이, 논리 로우 비트수에 대한 논리 하이 비트 수의 비율인 WOP(scan out weight of pseudo-random pattern)를 연산하여 수행하는 제조 방법.

청구항 5

제4항에 있어서,

상기 선정 단계는,

SID 값이 큰 셀일수록 우선적으로 선정하는 제조 방법.

청구항 6

제4항에 있어서,

상기 선정 단계는,

WID 값과 WOP 값의 차이가 큰 셀일수록 우선적으로 선정하는 제조 방법.

청구항 7

제4항에 있어서,

상기 선정 단계는,

수학식

$$P = SID^2 \times |WOP - WID_{vert}|$$

를 연산하고, 상기 P 값이 큰 순서로 스캔 셀을 선정하여 수행하는 제조 방법.

청구항 8

제4항에 있어서,

상기 선정 단계는,

상기 로직 회로는 상기 WID와 상기 WOP의 비율에 따라 결정되는 제조 방법.

청구항 9

제4항에 있어서,

상기 WID에 비하여 상기 WOP가 작은 경우, 상기 스캔 셀에 OR 게이트를 통하여 입력을 제공하고,

상기 WID에 비하여 상기 WOP가 큰 경우, 상기 스캔 셀에 AND 게이트를 통하여 입력을 제공하는 제조 방법.

청구항 10

제9항에 있어서,

테스트 장치는 의사 난수 패턴 생성기를 포함하고,

상기 AND 게이트 및 OR 게이트의 일 입력에는 상기 의사 난수 패턴 생성기의 출력이 제공되는 제조 방법.

청구항 11

제9항에 있어서,

상기 AND 게이트 및 상기 OR 게이트의 출력이 제공되는 상기 스캔 셀에는 상기 결정 패턴에 인접한 가중치를 가지도록 출력된 패턴이 입력되는 제조 방법.

청구항 12

각각 복수의 스캔 셀들이 체인으로 연결된 복수의 스캔 체인들;

상기 복수의 스캔 체인들에 의사 난수 테스트 패턴을 입력으로 제공하는 의사 난수 패턴 생성기;

상기 복수의 스캔 셀 중 하나 이상에 연결되며, 상기 의사 난수 테스트 패턴이 테스트 대상 회로(DUT, device under test)에 스캔인 되고, 상기 DUT에서 스캔 아웃된 패턴을 논리 연산하여 조정하는 하나 이상의 로직 게이트를 포함하며,

상기 로직 게이트는, 상기 스캔 아웃된 패턴을 상기 DUT에 대하여 미리 결정된 패턴인 결정 패턴에 근사시키도록 조정하여 조정된 테스트 패턴을 형성하고,

상기 복수의 스캔 체인들은 상기 DUT에 조정된 상기 테스트 패턴을 상기 DUT에 제공하여 상기 DUT의 고장을 검출하는 내장형 자체 테스트 장치.

청구항 13

제12항에 있어서,

상기 로직 게이트는,

상기 결정 패턴의 가중치에 비하여 상기 스캔 셀에 제공되는 상기 스캔 아웃된 패턴의 가중치가 작을 때 연결되는 OR 게이트 및

상기 결정 패턴의 가중치에 비하여 상기 스캔 셀에 제공되는 상기 스캔 아웃된 패턴의 가중치가 클 때 연결되는 AND 게이트 중 어느 하나 이상을 포함하는 내장형 자체 테스트 장치.

청구항 14

제12항에 있어서,

상기 내장형 자체 테스트 장치는,

상기 스캔 아웃된 패턴을 상기 DUT에 대하여 미리 결정된 패턴인 결정 패턴에 근사시키도록 조정하여 조정된 테스트 패턴 형성 및 상기 복수의 스캔 체인들은 상기 DUT에 조정된 상기 테스트 패턴을 상기 DUT에 제공하여 상기 DUT의 고장을 검출하는 과정을 복수회 수행하는 내장형 자체 테스트 장치.

발명의 설명

기술 분야

[0001] 본 기술은 반도체 테스트 장치 제조 방법과 관련된다.

배경 기술

[0002] 반도체 제조 기술의 발전에 따라 반도체 칩의 집적도 및 복잡도가 증가하여 고장 가능성도 더욱 증대하고 있는 추세이며, 반도체 장치에서 발생하는 고장을 분석하는 것이 중요시 되고 있다.

[0003] 반도체 메모리 장치의 테스트는 그동안 외부의 전용 장비에 의해 이루어져 왔으나, 시스템을 하나의 칩으로 구현하는 SoC(System On Chip) 기술의 등장으로 반도체 메모리 장치의 테스트 방식에 큰 변화가 생기게 되었다. 일 예로, 반도체 메모리 장치의 테스트를 위하여 내장형 자체 테스트(BIST: Built-In Self Test) 회로를 SoC 안에 포함시키는 방식이 등장하였다. 이러한 내장형 자체 테스트는 회로의 동작시 마다 테스트를 수행하는 방식으로, 많은 연구가 진행되어 왔고 현재 SoC의 테스트를 위한 방식으로 널리 사용되고 있다.

발명의 내용

해결하려는 과제

[0004] 종래의 내장형 자체 테스트(BIST) 회로는 의사 난수 패턴 발생기에서 제공된 테스트 패턴을 테스트 대상 장치(DUT, device under test)에 제공하고, DUT의 출력을 캡처 후 분석하여 고장을 검출하였다.

[0005] 내장형 자체 테스트(BIST)는 의사 난수 패턴 발생기에서 난수 패턴을 제공받고 이를 DUT에 입력하고, 캡처 후 분석하여 종료하였다. 따라서, 높은 테스트 커버리지를 얻기 위하여 복수회 테스트를 수행하고자 하는 경우에는 장시간이 소모되었다.

[0006] 또한, 의사 난수 패턴은 테스트 패턴 생성기(ATPG)에서 고장을 검출하기 위하여 형성하는 결정 패턴(deterministic pattern)과 달리 “0”과 “1”이 무작위로 배치되어 있어 고장 검출율(test coverage)이 낮다.

[0007] 본 실시예는 이러한 종래 기술의 단점을 해소하기 위한 것으로, 내장형 자체 테스트로 높은 테스트 커버리지를 얻을 수 있는 내장형 자체 테스트 장치를 제조할 수 있는 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0008] 본 실시예에 의한 체인으로 연결된 복수의 스캔 셀들을 포함하여 테스트 대상 회로(DUT, device under test)의 고장을 검출하는 테스트 장치의 제조 방법은: 자동 테스트 패턴 생성기가 형성한 결정 패턴(deterministic

pattern)을 분석하는 결정 패턴 분석 단계와, 의사 난수 패턴 생성기가 형성한 의사 난수 패턴이 상기 DUT에 제공되고, 상기 DUT에서 스캔 아웃된 패턴을 분석하는 의사 난수 패턴 분석 단계와, 상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로부터 로직 회로와 연결될 상기 스캔 셀을 선정하는 스캔 셀 선정 단계 및 상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로 결정된 로직 회로를 선정된 상기 스캔 셀에 연결하는 로직 회로 연결 단계를 포함한다.

- [0009] 본 실시예의 일 측면에 의하면, 상기 결정 패턴 분석 단계는, 상기 결정 패턴에서 상기 스캔 셀들 각각에 입력되는 패턴의 입력 가중치(weight)와 지정 비트 비율(specified bit ratio)을 연산하여 수행한다.
- [0010] 본 실시예의 일 측면에 의하면, 상기 결정 패턴 분석 단계는 상기 DUT로 스캔 인되는 결정 패턴에서 총 비트수에 대한 논리 하이, 논리 로우 비트로 지정된 비트수의 비율인 SID(scan in specified bit ratio of deterministic pattern)와, 상기 DUT로 스캔 인되는 결정 패턴에서 논리 하이, 논리 로우로 지정된 비트수에 대한 논리 하이 비트로 지정된 비트 수의 비율인 WID(scan in weight of deterministic pattern)를 연산하여 수행한다.
- [0011] 본 실시예의 일 측면에 의하면, 상기 의사 난수 패턴 분석 단계는, 상기 DUT에서 스캔 아웃되어 출력되는 패턴에서 논리 하이, 논리 로우 비트수에 대한 논리 하이 비트 수의 비율인 WOP(scan out weight of pseudo-random pattern)를 연산하여 수행한다.
- [0012] 본 실시예의 일 측면에 의하면, 상기 선정 단계는, SID 값이 큰 셀일수록 우선적으로 선정한다.
- [0013] 본 실시예의 일 측면에 의하면, 상기 선정 단계는, WID 값과 WOP 값의 차이가 큰 셀일수록 우선적으로 선정한다.
- [0014] 본 실시예의 일 측면에 의하면, 상기 선정 단계는, 수학적
- $$P = \text{SID}^2 \times |WOP - WID|$$
- [0015] 를 연산하고, 상기 P 값이 큰 순서로 스캔 셀을 선정하여 수행한다.
- [0016] 본 실시예의 일 측면에 의하면, 상기 선정 단계는, 상기 로직 회로는 상기 WID와 상기 WOP의 비율에 따라 결정된다.
- [0017] 본 실시예의 일 측면에 의하면, 상기 WID에 비하여 상기 WOP가 작은 경우, 상기 스캔 셀에 OR 게이트를 통하여 입력을 제공하고, 상기 WID에 비하여 상기 WOP가 큰 경우, 상기 스캔 셀에 AND 게이트를 통하여 입력을 제공한다.
- [0018] 본 실시예의 일 측면에 의하면, 테스트 장치는 의사 난수 패턴 생성기를 포함하고, 상기 AND 게이트 및 OR 게이트의 일 입력에는 상기 의사 난수 패턴 생성기의 출력이 제공된다.
- [0019] 본 실시예의 일 측면에 의하면, 상기 AND 게이트 및 상기 OR 게이트의 출력이 제공되는 상기 스캔 셀에는 상기 결정 패턴에 인접한 가중치를 가지도록 출력된 패턴이 입력된다.
- [0020] 본 실시예의 테스트 장치는: 각각 복수의 스캔 셀들이 체인으로 연결된 복수의 스캔 체인들; 상기 복수의 스캔 체인들에 의사 난수 테스트 패턴을 입력으로 제공하는 의사 난수 패턴 생성기; 상기 복수의 스캔 셀 중 하나 이상에 연결되며, 상기 의사 난수 테스트 패턴이 테스트 대상 회로(DUT, device under test)에 스캔인 되고, 상기 DUT에서 스캔 아웃된 패턴을 논리 연산하여 조정하는 하나 이상의 로직 게이트를 포함하며, 상기 로직 게이트는, 상기 스캔 아웃된 패턴을 상기 DUT에 대하여 미리 결정된 패턴인 결정 패턴에 근사시키도록 조정하여 조정된 테스트 패턴을 형성하고, 상기 복수의 스캔 체인들은 상기 DUT에 조정된 상기 테스트 패턴을 상기 DUT에 제공하여 상기 DUT의 고장을 검출한다.
- [0021] 본 실시예의 일 측면에 의하면, 상기 로직 게이트는, 상기 결정 패턴의 가중치에 비하여 상기 스캔 셀에 제공되는 상기 스캔 아웃된 패턴의 가중치가 작을 때 연결되는 OR 게이트 및 상기 결정 패턴의 가중치에 비하여 상기 스캔 셀에 제공되는 상기 스캔 아웃된 패턴의 가중치가 클 때 연결되는 AND 게이트 중 어느 하나 이상을 포함한다.
- [0022] 본 실시예의 일 측면에 의하면, 상기 내장형 자체 테스트 장치는, 상기 스캔 아웃된 패턴을 상기 DUT에 대하여 미리 결정된 패턴인 결정 패턴에 근사시키도록 조정하여 조정된 테스트 패턴 형성 및 상기 복수의 스캔 체인들은 상기 DUT에 조정된 상기 테스트 패턴을 상기 DUT에 제공하여 상기 DUT의 고장을 검출하는 과정을 복수회 수행한다.

발명의 효과

[0023] 본 실시예에 의하면, 내장형 자체 테스트로 목적하는 가중치를 가지도록 테스트 패턴을 형성할 수 있어 높은 고장 검출율을 가진다는 장점이 제공된다.

도면의 간단한 설명

[0024] 도 1은 본 실시예에 의한 테스트 장치의 제조 방법의 개요를 도시한 순서도이다.

도 2는 본 실시예에 의한 내장형 자체 테스트 장치의 개요를 도시한 도면이다.

도 3은 본 실시예에 의한 테스트 장치의 개요적 타이밍도 이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서는 본 발명의 예시적인 실시예를 첨부된 도면을 참조하여 설명한다. 도 1은 본 실시예에 의한 테스트 장치의 제조 방법의 개요를 도시한 순서도이다. 도 1을 참조하면, 본 실시예는 체인으로 연결된 복수의 스캔 셀들을 포함하여 테스트 대상 회로(DUT, device under test)의 고장을 검출하는 테스트 장치의 제조 방법으로, 상기 제조 방법은: 자동 테스트 패턴 생성기가 형성한 결정 패턴(deterministic pattern)을 분석하는 결정 패턴 분석 단계(S100)와, 의사 난수 패턴 생성기가 형성한 의사 난수 패턴이 상기 DUT에 제공되고, 상기 DUT에서 스캔 아웃된 패턴을 분석하는 의사 난수 패턴 분석 단계(S200)와, 상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로부터 로직 회로와 연결될 상기 스캔 셀을 선정하는 선정 단계(S300) 및 상기 결정 패턴 분석 단계와 의사 난수 패턴 분석 단계들의 결과로 결정된 로직 회로를 선정된 상기 스캔 셀에 연결하는 단계(S400)를 포함한다.

[0026] 도 2는 본 실시예에 의한 내장형 자체 테스트 장치의 개요를 도시한 도면이다. 도 2를 참조하면, 내장형 자체 테스트 장치는 각각 복수의 스캔 셀(S)들이 체인으로 연결된 복수의 스캔 체인들(100)과, 상기 복수의 스캔 체인들에 의사 난수 테스트 패턴을 입력으로 제공하는 의사 난수 패턴 생성기(WRPG)와 상기 복수의 스캔 셀(S) 중 하나 이상에 연결되며, 상기 의사 난수 테스트 패턴이 테스트 대상 회로(DUT, device under test)에 스캔인 되고, 상기 DUT에서 스캔 아웃된 패턴을 논리 연산하여 조정하는 하나 이상의 로직 게이트(X, Y)를 포함하며, 상기 로직 게이트(X, Y)는, 상기 스캔 아웃된 패턴을 상기 DUT에 대하여 미리 결정된 패턴인 결정 패턴에 근사시키도록 조정하여 조정된 테스트 패턴을 형성하고, 상기 복수의 스캔 체인(100)들은 상기 DUT에 조정된 상기 테스트 패턴을 상기 DUT에 제공하여 상기 DUT의 고장을 검출한다.

[0027] 도 1 및 도 2를 참조하면, 결정 패턴(deterministic pattern)을 분석한다(S100). 결정 패턴 분석 단계에서 스캔 셀들에 제공되는 패턴의 입력 가중치(weight), 지정 비트 비율(specified bit ratio)을 연산한다. 결정 패턴은 자동 테스트 패턴 생성기(ATPG, automatic test pattern generator)가 형성한다. 자동 테스트 패턴 생성기(ATPG)가 제공하는 결정 패턴은 높은 테스트 커버리지를 가져 DUT 고장을 높은 정확도로 검출할 수 있다.

[0028] 일 실시예로, 자동 테스트 패턴 생성기(ATPG)는 자동 테스트 장비(ATE, automatic test equipment)에 포함될 수 있다. 다른 실시예로, 자동 테스트 패턴 생성기는 자동 테스트 장비와 별도로 형성될 수 있다.

[0029] 결정 패턴은 논리 하이, 논리 로우로 지정된 비트 및 무관(don't care)으로 설정된 비트를 포함한다. 결정 패턴의 총 비트수에 대한 논리 하이, 논리 로우 비트로 지정된 비트수의 비율을 지정 비트 비율(specified bit ratio)이라 한다. 또한, 결정 패턴에서 논리 하이, 논리 로우로 지정된 비트수에 대한 논리 하이 비트로 지정된 비트 수의 비율을 가중치(weight)라고 한다. 지정 비트 비율과 가중치는 결정 패턴을 참조하여 설명되었으나, 후술할 바와 같이 의사 난수 패턴(pseudo random pattern)으로 지정 비트 비율과 가중치가 연산된다.

[0030] DUT에 스캔 인으로 제공되는 패턴의 지정 비트 비율을 SID(scan in specified bit ratio of deterministic pattern)이라 하고 한다. 또한, DUT에 스캔 인으로 제공되는 결정 패턴의 가중치를 WID(scan in weight of deterministic pattern)이라고 한다.

[0031] 의사 난수 패턴 생성기(PRPG, pseudo random pattern generator)가 제공하는 의사 난수 패턴을 분석한다(S200). 의사 난수 패턴에는 논리 하이 비트와 논리 로우 비트가 무작위로 유사한 비율로 포함되어 있다. 도 2로 예시된 실시예는 설정된 가중치에 따라 의사 난수 패턴에 포함된 논리 하이 비트와 논리 로우 비트의 비율을 제어하는 가중 의사 난수 패턴 생성기(WRPG, weighted pseudo-random pattern generator)를 도시한다.

[0032] 의사 난수 패턴 분석 단계에서는 DUT에서 스캔 아웃되어 출력되는 패턴에 대한 가중치인 WOP(scan out weight

of pseudo-random pattern)을 연산한다.

[0033] 자동 테스트 패턴 생성기가 생성하는 결정 패턴은 DUT에 형성되는 결함을 높은 검출율로 검출할 수 있도록 논리 하이 비트와 논리 로우 비트가 위치하며, 이들은 높은 테스트 커버리지를 얻을 수 있도록 그 비율이 조절된다.

[0034] 그러나, 의사 난수 패턴 생성기가 생성하는 의사 난수 패턴은 상술한 바와 같이 논리 하이 비트의 수와 논리 로우 비트의 수는 무작위, 유사한 비율로 생성된다. 따라서, DUT에 의사 난수 패턴을 조정없이 제공하면, 결정 패턴이 제공되었을 때의 테스트 커버리지에 비하여 낮다.

[0035] 스캔 체인(100)에서 로직 회로(X, Y)와 연결될 스캔 플립플롭을 선정한다(S300). 일 실시예로, 로직 회로와 연결될 스캔 플립 플롭을 선정하는 단계는, DUT에 스캔 인으로 제공되는 패턴 결정 패턴의 지정 비트 비율인 SID가 높은 스캔 셀을 선택하여 수행한다. SID가 높은 스캔 셀은 높은 테스트 커버리지를 얻기 위하여 DUT에 논리 하이 또는 논리 로우로 특정된 비트를 입력할 수 있는 스캔 셀이다. 따라서, SID가 높은 스캔 셀이 높은 비율로 선택되도록 한다.

[0036] 다른 실시예로, 로직 회로와 연결될 스캔 플립 플롭을 선정하는 단계는, 의사 난수 패턴이 DUT에 제공되었을 때, 스캔 아웃된 패턴의 가중치인 WOP와 스캔 인으로 제공되는 결정 패턴의 가중치인 WID의 차이가 큰 스캔 셀을 선택한다. WID 해당 스캔 셀에서 결정 패턴의 가중치 값을 의미하며, WOP는 DUT에서 스캔 아웃되어 다시 새로이 DUT로 제공될 패턴에서의 가중치를 의미한다. 두 값의 차이가 크다는 의미는 DUT에서 스캔 아웃되어 새로이 DUT로 제공될 테스트 패턴의 가중치가 테스트 커버리지가 높은 결정 패턴의 가중치와 차이가 큰 것을 의미한다. 따라서, 스캔 아웃된 패턴의 가중치인 WOP와 스캔 인으로 제공되는 결정 패턴의 가중치인 WID의 차이가 큰 스캔 셀에 결정 패턴의 가중치와 유사하도록 DUT에서 스캔 아웃된 패턴을 조정하여 제공하면 테스트 커버리지를 향상시킬 수 있다.

[0037] 또 다른 실시예로, 로직 회로와 연결될 스캔 플립 플롭을 선정하는 단계는, 아래의 수학식 1을 연산하여 수행할 수 있다.

수학식 1

$$P = \text{SID}^2 \times |WOP - WID|$$

[0038]

[0039] 이와 같이 연산된 우선 순위(P) 값으로부터 로직 회로와 연결될 스캔 플립플롭을 결정한다. 일 실시예로, 로직 회로를 로직 회로에 많이 연결할수록 면적의 부담이 커질 수 있다. 따라서, 전체 스캔 셀의 5%, 10% 등과 같이 수학식 1을 이용하여 미리 설정된 임계 범위 내의 스캔 셀의 개수에 따라 로직 회로와 연결되는 스캔 셀을 선택할 수 있다.

[0040] 선정된 스캔 플립플롭과 연결될 로직 회로를 선정한다. 로직 회로의 선정은 아래의 수학식 2에 의하여 선택한다.

수학식 2

$$\text{Required weight} = \frac{WID}{WOP} \dots \textcircled{1}$$

$$= \frac{WID - WOP}{1 - WOP} \dots \textcircled{2}$$

[0041]

[0042] 수학식 2를 참조하면, WID에 비하여 WOP가 작은 경우는, 결정 패턴의 가중치에 비하여 현재 DUT에서 스캔 아웃되고, 후속하는 테스트에서 스캔 인될 패턴의 가중치가 작다는 것을 의미한다. 따라서, 이러한 경우에는 도 3의 X와 같이 OR 게이트를 연결하여 스캔 셀에 제공되는 비트를 조정하도록 한다.

[0043] 반대로 WID에 비하여 WOP가 큰 경우는, 결정 패턴의 가중치에 비하여 현재 DUT에서 스캔 아웃되고, 후속하는 테스트에서 스캔 인될 패턴의 가중치가 크다는 것을 의미한다. 따라서, 이러한 경우에는 도 3의 Y와 같이 AND 게이트를 연결하여 스캔 셀에 제공되는 비트를 조정하도록 한다.

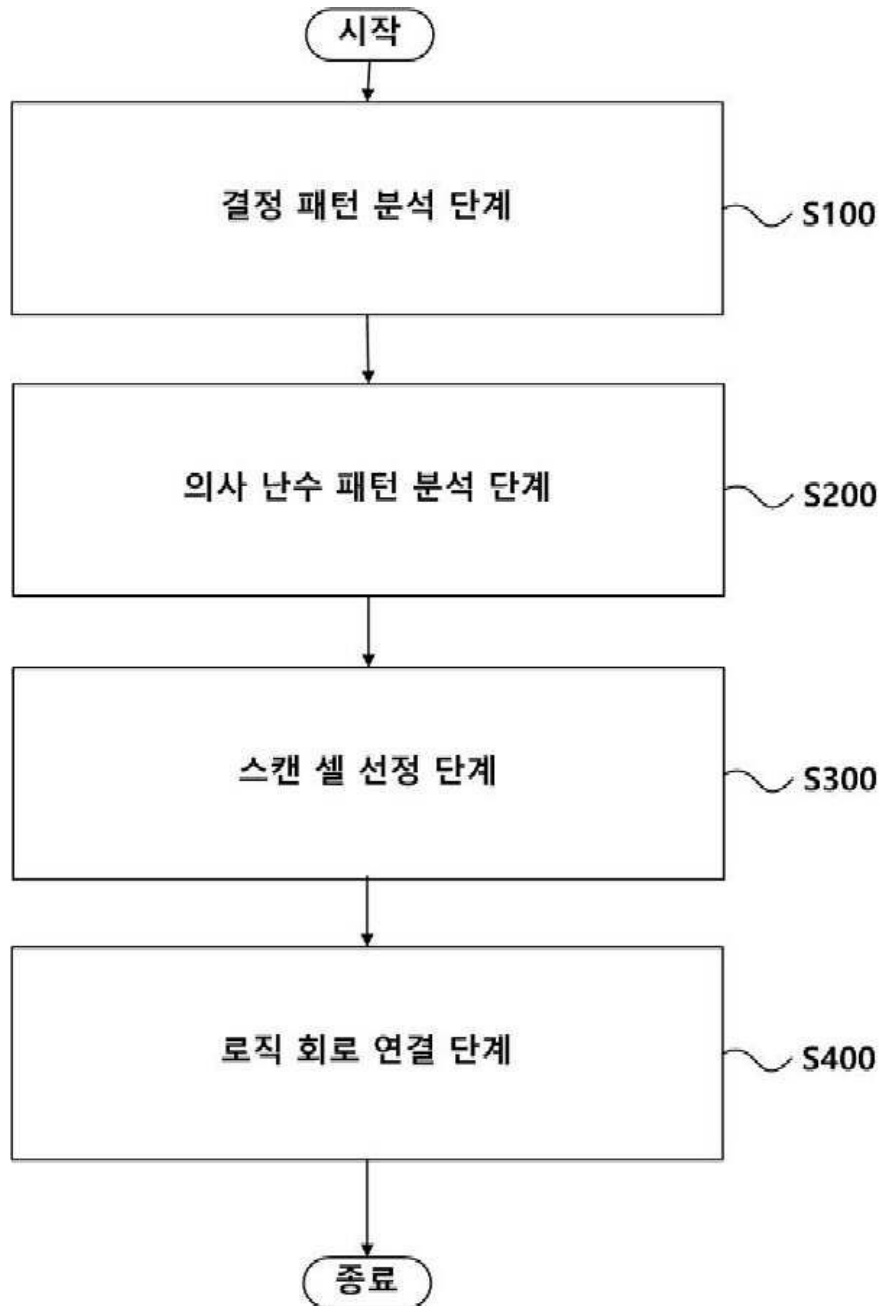
- [0044] 일 실시예에서, AND 게이트 및/또는 OR 게이트에 제공되는 가중치 제어 비트는 수학적 2의 Required weight와 동일한 가중치를 갖는 난수 패턴 생성기의 비트로부터 제공된다. 다른 실시예에서, 동일한 가중치를 가지는 난수 패턴 생성기의 비트가 없는 경우, 이와 가장 가까운 weight를 갖는 가중 난수 패턴 생성기의 비트를 AND 게이트 또는 OR 게이트에 연결한다.
- [0045] 도 3은 본 실시예에 의한 테스트 장치의 개요적 타이밍도 이다. 도 3을 참조하면, 스캔 활성화(SE)를 활성화한 후, 복수 주기의 클록을 제공하여 테스트 패턴을 시프트 인한다. 캡처 단계에서 시프트 인된 테스트 패턴을 DUT에 제공하고, DUT에서 스캔 아웃된 패턴을 다시 스캔 셀에 제공한다. 로직 활성화 신호(ME)가 활성화됨에 따라 스캔 아웃된 패턴을 스캔 셀에 저장될 때 목적하는 가중치 혹은 그와 유사한 가중치를 가지도록 제어된다. 로직 활성화 신호(ME)는 고장 검출율에 따라 제어될 수 있다.
- [0046] 이로부터 논리 하이와 논리 로우가 무작위로 균등하게 분포한 의사 난수 패턴으로 자체 테스트를 수행하는 종래 기술에 비하여 높은 테스트 커버리지를 얻을 수 있다는 장점이 제공된다.
- [0047] 또한 본 실시예는 DUT에서 스캔 아웃된 패턴을 삽입된 로직 회로로 조정하여 복수회 자체 테스트를 수행할 수 있어 높은 테스트 커버리지를 가진다는 장점이 제공된다. 동작 이후 여러 번의 capture 동작을 수행한다. 본 발명의 패턴 교정 다중 주기 테스트의 경우 manipulation enable(ME) 신호가 추가되어 다중 주기 테스트 간 패턴 교정 유무를 조절할 수 있다.
- [0049] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

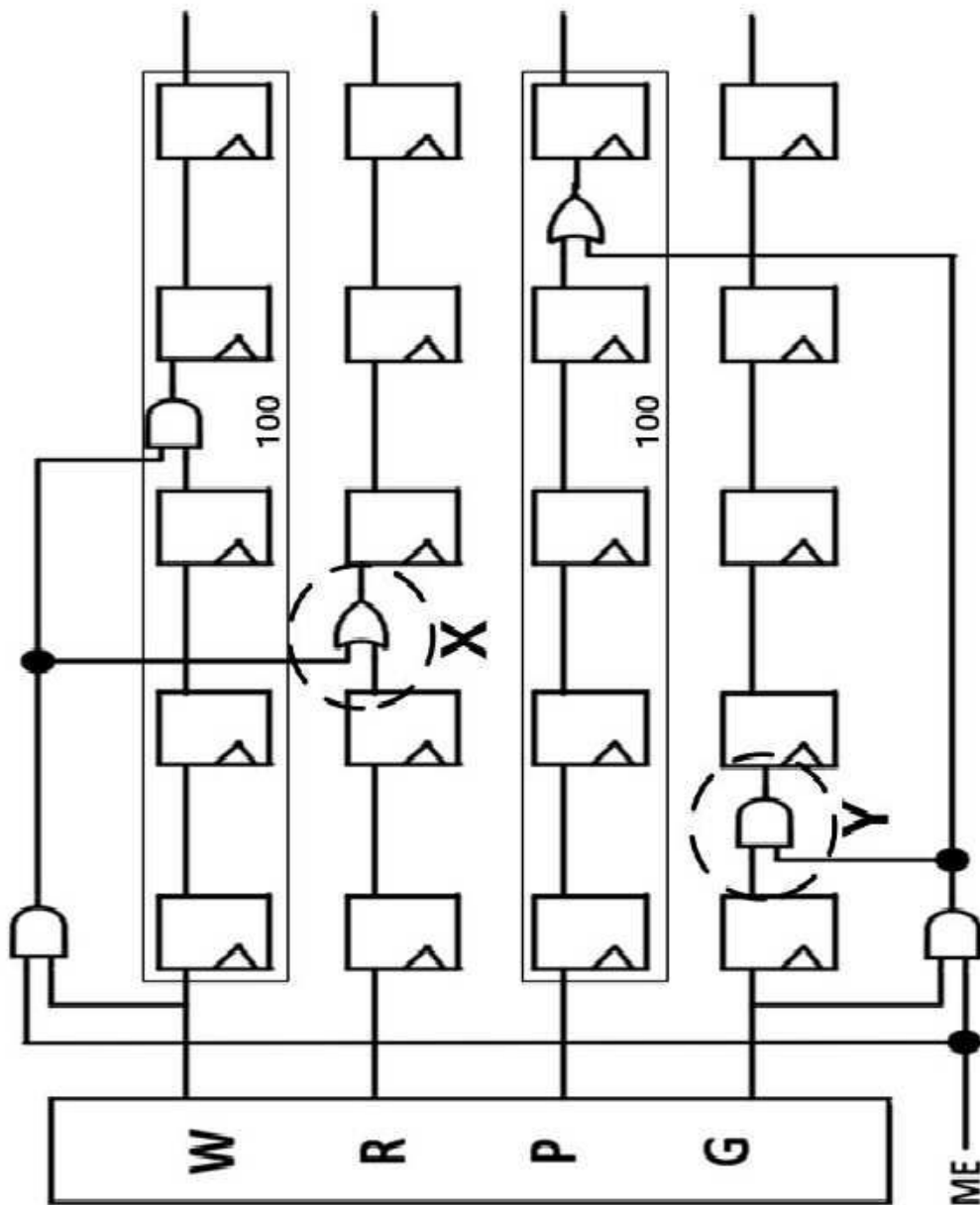
- [0050] 100:스캔 체인 S:스캔 셀

도면

도면1



도면2



도면3

