



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년09월11일
(11) 등록번호 10-2577815
(24) 등록일자 2023년09월07일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/51 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/78391 (2015.01)
H01L 29/516 (2013.01)
(21) 출원번호 10-2022-0046771
(22) 출원일자 2022년04월15일
심사청구일자 2022년04월15일
(56) 선행기술조사문헌
JP2007251194 A*
KR101508971 B1*
KR1020210151583 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
장지원
서울특별시 강남구 개포로 307, 1동 501호(개포동, 우성3차아파트)
이동혁
서울특별시 서대문구 성산로16길 7-7(연희동)
(74) 대리인
특허법인(유한)아이시스

전체 청구항 수 : 총 8 항

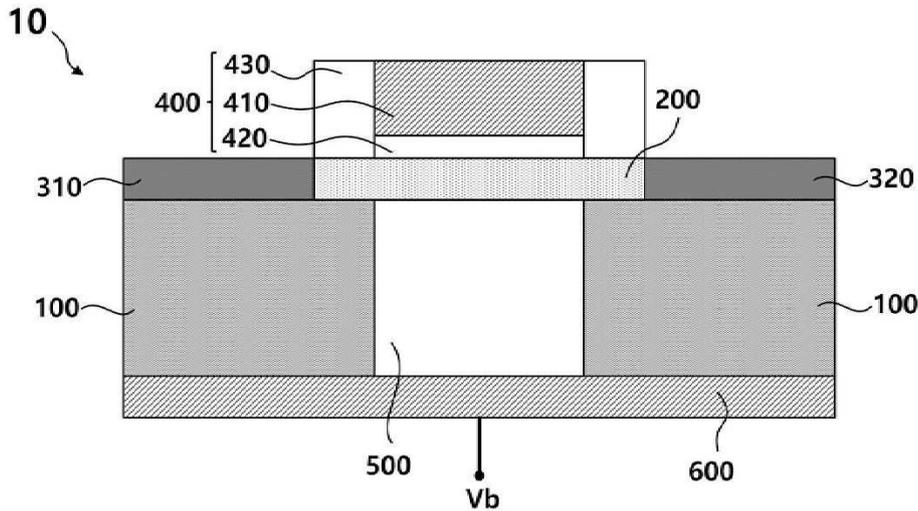
심사관 : 최정민

(54) 발명의 명칭 재구성 가능한 트랜지스터

(57) 요약

본 실시예에 의한 재구성 가능한 트랜지스터는: 채널이 형성되는 채널 영역 상부에 위치하는 게이트 스택; 상기 채널 영역과 전기적으로 연결되어 위치하는 소스 및 드레인; 상기 채널 영역 아래에 위치하는 도전형 결정 패턴; 상기 도전형 결정 패턴의 사이에 위치하는 절연막 패턴 및 상기 도전형 결정 패턴 및 상기 절연막 패턴의 하부에 위치하는 하부 전극을 포함한다.

대표도 - 도1



(52) CPC특허분류
H01L 29/6684 (2013.01)

이 발명을 지원한 국가연구개발사업

| | |
|---------------------------|---|
| 과제고유번호 | 1711155363 |
| 과제번호 | 2021M3F3A2A03017719 |
| 부처명 | 과학기술정보통신부 |
| 과제관리(전문)기관명 | 한국연구재단 |
| 연구사업명 | 차세대지능형반도체기술개발(R&D) |
| 연구과제명 | 강유전체의 분극에 의한 2차원 물질의 전기적 도핑을 이용한 Program Gate 없이 n- |
| 과 p-type으로 재구성이 가능한 트랜지스터 | |
| 기 여 율 | 1/1 |
| 과제수행기관명 | 연세대학교 |
| 연구기간 | 2021.03.04 ~ 2022.02.28 |

명세서

청구범위

청구항 1

채널이 형성되는 채널 영역;

게이트 전극을 포함하고, 상기 채널 영역 상부에 위치하는 게이트 스택;

상기 채널 영역과 전기적으로 연결되어 위치하는 소스 실리사이드 및 드레인 실리사이드;

상기 채널 영역 아래에 위치하며, 서로 이격된 두 개의 도전형 결정 패턴들;

상기 서로 이격된 두 개의 도전형 결정 패턴들의 사이에 위치하는 절연막 패턴 및

상기 도전형 결정 패턴 및 상기 절연막 패턴의 하부에 위치하는 하부 전극을 포함하며,

상기 게이트 전극은 상기 절연막 패턴 직상방에 위치하여 강유전체(ferroelectric) 물질로 이루어진 상기 도전형 결정 패턴에 포함된 다이폴들의 분극 방향에 영향을 미치지 않는 재구성 가능한 트랜지스터.

청구항 2

제1항에 있어서,

상기 도전형 결정 패턴과 상기 절연막 패턴의 경계는,

상기 채널 영역의 하부에 위치하는 트랜지스터.

청구항 3

제1항에 있어서,

상기 도전형 결정 패턴은,

유전 분극에 의하여 상기 채널에 캐리어(carrier)를 모으는(gathering) 트랜지스터.

청구항 4

제1항에 있어서,

상기 하부 전극은,

상기 도전형 결정 패턴의 유전 분극 방향을 변화시키는 도전형 결정 필스가 제공되는 트랜지스터.

청구항 5

제1항에 있어서,

상기 게이트 스택은,

상기 채널 영역에 접촉하여 위치하는 게이트 절연막 및

상기 게이트와 상기 게이트 절연막의 측면에 위치하는 스페이스(spacer)를 더 포함하는 트랜지스터.

청구항 6

제1항에 있어서,

상기 도전형 결정 패턴은 HZO(Zr:HfO₂), Al:HfO₂ 또는 Si:HfO₂ P(VDF-TrFE) (poly(vinylidene fluoride-co-trifluoroethylene), PVDF, polytrifluoroethylene, odd-numbered nylon, PZT, BaTiO₃, PbTiO₃ 중 어느 하나의 물질로 형성된 트랜지스터.

청구항 7

제1항에 있어서,

상기 하부 전극은,

n 타입 실리콘, p 타입 실리콘 및 진성 실리콘중 어느 하나의 물질로 형성된 트랜지스터.

청구항 8

제1항에 있어서,

상기 하부 전극으로 양의 진폭을 가지는 펄스가 제공되면 상기 트랜지스터는 N 타입 트랜지스터로 동작하고,

상기 하부 전극으로 음의 진폭을 가지는 펄스가 제공되면 상기 트랜지스터는 P 타입 트랜지스터로 동작하는 트랜지스터.

발명의 설명

기술 분야

[0001] 본 기술은 재구성 가능한 트랜지스터와 관련된다.

배경 기술

[0002] 트랜지스터는 게이트에 전압을 제공하여 채널을 형성함으로써 소스와 드레인 사이의 전기적 연결을 제어하는 소자로, 전기적 스위치 및/또는 증폭기로 사용된다. 트랜지스터는 전자가 채널을 통하여 이동하여 전도하는 n 타입 트랜지스터와, 정공(hole)이 채널을 통하여 이동하여 전도하는 p 타입 트랜지스터로 크게 나뉜다. n 타입 트랜지스터는 소스를 기준으로 게이트에 문턱 전압 이상의 전압이 제공될 때 채널이 형성되고, p 타입 트랜지스터는 소스를 기준으로 게이트에 문턱 전압 이하의 전압이 제공될 때 채널이 형성된다.

발명의 내용

해결하려는 과제

[0003] 트랜지스터는 제조 공정에서 n 타입 및 p 타입 중 어느 하나의 타입으로 형성되며, 회로의 설계 과정 및 제조 공정에서 도전형은 어느 하나로 선택되어 형성된다. 이로부터 어느 한 트랜지스터의 게이트에 제공되는 전압을 변경하여 트랜지스터에 채널을 형성하고자 하는 경우에는 두 가지 타입의 트랜지스터를 형성하여야하였다.

[0004] 본 기술은 상기한 종래 기술의 단점을 해소하기 위한 것이다. 본 기술로 해결하고자 하는 과제 중 하나는 전기적 신호를 제공하여 도전형을 제어할 수 있는 트랜지스터를 제공하기 위한 것이다.

과제의 해결 수단

[0005] 본 실시예에 의한 재구성 가능한 트랜지스터는: 채널이 형성되는 채널 영역; 상기 채널 영역 상부에 위치하는 게이트 스택; 상기 채널 영역과 전기적으로 연결되어 위치하는 소스 실리사이드 및 드레인 실리사이드; 상기 채널 영역 아래에 위치하는 도전형 결정 패턴; 상기 도전형 결정 패턴의 사이에 위치하는 절연막 패턴 및 상기 도전형 결정 패턴 및 상기 절연막 패턴의 하부에 위치하는 하부 전극을 포함하여 재구성 가능하다.

[0006] 본 실시예의 어느 한 측면에 의하면, 상기 도전형 결정 패턴과 상기 절연막 패턴의 경계는, 상기 채널 영역의 하부에 위치한다.

[0007] 본 실시예의 어느 한 측면에 의하면, 상기 도전형 결정 패턴은, 강유전체(ferroelectric) 물질로 이루어지며, 상기 도전형 결정 패턴은, 유전 분극에 의하여 상기 채널에 캐리어(carrer)를 모은다(gathering).

[0008] 본 실시예의 어느 한 측면에 의하면, 상기 하부 전극은, 상기 도전형 결정 패턴의 유전 분극 방향을 변화시키는 도전형 결정 펄스가 제공된다.

- [0009] 본 실시예의 어느 한 측면에 의하면, 상기 게이트 스택은, 상기 채널 영역에 접촉하여 위치하는 게이트 절연막과, 상기 게이트 절연막 상에 위치하는 게이트 및 상기 게이트와 상기 게이트 절연막의 측면에 위치하는 스페이서(spacer)를 포함한다.
- [0010] 본 실시예의 어느 한 측면에 의하면, 상기 도전형 결정 패턴은 HZO(Zr:HfO₂), Al:HfO₂ 또는 Si:HfO₂ P(VDF-TrFE) (poly(vinylidene fluoride-co-trifluoroethylene), PVDF, polytrifluoroethylene, odd-numbered nylon, PZT, BaTiO₃, PbTiO₃ 중 어느 하나의 물질로 형성된다.
- [0011] 본 실시예의 어느 한 측면에 의하면, 상기 하부 전극은, n 타입 실리콘, p 타입 실리콘 및 진성 실리콘 중 어느 하나의 물질로 형성된다.
- [0012] 본 실시예의 어느 한 측면에 의하면, 상기 하부 전극으로 양의 진폭을 가지는 펄스가 제공되면 상기 트랜지스터는 N 타입 트랜지스터로 동작하고, 상기 하부 전극으로 음의 진폭을 가지는 펄스가 제공되면 상기 트랜지스터는 P 타입 트랜지스터로 동작한다.

발명의 효과

- [0013] 본 실시예에 의하면 하부 전극에 제공되는 신호로 트랜지스터의 도전형을 제어할 수 있다는 장점이 제공되며, 회로에서 소자의 수를 감소시키고 리버스 엔지니어링을 곤란하게 한다는 특유의 효과를 제공한다.

도면의 간단한 설명

- [0014] 도 1은 본 실시예에 의한 재구성 가능한 트랜지스터의 개요를 도시한 단면도이다.
 도 2(a)는 본 실시예에 의한 트랜지스터의 동작예를 설명하기 위한 예시도이고 도 2(b)는 하부 전극에 제공되는 도전형 결정 펄스의 개요를 도시한 도면이다.
 도 3(a)는 본 실시예에 의한 트랜지스터의 다른 동작예를 설명하기 위한 예시도이고 도 3(b)는 하부 전극에 제공되는 도전형 결정 펄스(Vb)의 개요를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하에서는 첨부된 도면들을 참조하여 본 실시예를 설명한다. 도 1은 본 실시예에 의한 재구성 가능한 트랜지스터(10)의 개요를 도시한 단면도이다. 도 1을 참조하면, 본 실시예에 의한 재구성 가능한 트랜지스터(10)는: 채널이 형성되는 채널 영역(200)과, 상기 채널 영역(200) 상부에 위치하는 게이트 스택(400); 상기 채널 영역(200)과 전기적으로 연결되어 위치하는 소스(310) 및 드레인(320); 상기 채널 영역(200) 아래에 위치하는 도전형 결정 패턴(100); 상기 도전형 결정 패턴(100)의 사이에 위치하는 절연막 패턴(500) 및 상기 도전형 결정 패턴(100) 및 상기 절연막 패턴(500)의 하부에 위치하는 하부 전극(600)을 포함한다.
- [0016] 하부 전극(600)은 실리콘일 수 있다. 일 실시예로, 하부 전극(600)은 n 타입, p 타입으로 도핑되거나 진성 실리콘(intrinsic silicon)일 수 있다.
- [0017] 하부 전극(600)의 상부에는 도전형 결정 패턴(100)과 절연막 패턴(500)이 위치한다. 절연막 패턴(500)은 도전형 결정 패턴(100)의 사이에 위치할 수 있다. 일 실시예로, 절연막 패턴(500)과 도전형 결정 패턴(100)의 경계는 채널 영역(200)의 하부에 위치할 수 있다.
- [0018] 일 실시예로, 절연막 패턴(500)은 전기 절연성을 가지는 물질로 형성될 수 있으며, 일 예로 산화막(oxide), 질화막(nitride) 중 어느 하나 이상으로 형성될 수 있다.
- [0019] 또한, 도전형 결정 패턴(100)은 강유전체(ferroelectric) 물질로 형성된다. 일 실시예로, 도전형 결정 패턴(100)을 형성할 수 있는 강유전체(ferroelectrics)물질은 전기장이 제공되지 않아도 자발 분극(spontaneous polarization)이 이루어지는 물질로, 외부에서 제공되는 전기장에 의하여 분극의 방향이 바뀔 수(switching) 있는 물질을 뜻한다. 도전형 결정 패턴(100)은 자발 분극에 의하여 다이폴(dipole)이 형성되며, 보자 전압(coercive voltage) 이상의 전압이 제공되면 다이폴의 방향이 역전(switching)된다.
- [0020] 일 실시예로, 도전형 결정 패턴(100)은 HZO(Zr:HfO₂), Al:HfO₂ 또는 Si:HfO₂ P(VDF-TrFE) (poly(vinylidene fluoride-co-trifluoroethylene), PVDF, polytrifluoroethylene, odd-numbered nylon 등의 강유전특성을 가지는 유기물이거나, PZT, BaTiO₃, PbTiO₃ 등의 강유전특성을 가지는 무기물일 수 있다.

- [0021] 일 실시예로, 하부 전극(600)에 강유전체 물질층을 형성하고 패터닝하여 도전형 결정 패턴(100)을 형성할 수 있으며, 도전형 결정 패턴(100)을 형성한 이후에 절연막을 형성하고, 식각을 통해 패터닝하여 도전형 결정 패턴(100) 사이에 위치하는 절연막 패턴(500)을 형성할 수 있다. 하부 전극은 n 타입, p 타입으로 도핑된 실리콘이거나 진성 실리콘일 수 있다.
- [0022] 도전형 결정 패턴(100) 및 절연막 패턴(500)의 상부에 채널 영역(200) 및 소스 실리사이드(310)와 드레인 실리사이드(320)이 형성된다. 일 실시예로, 채널 영역(200)은 n 타입, p 타입으로 도핑된 실리콘이거나 진성 실리콘일 수 있다.
- [0023] 도 1로 예시된 실시예에서 소스 실리사이드(310)와 드레인 실리사이드(320)에는 접촉 저항 특성을 향상시키기 위하여 소스를 이루는 실리콘과 금속 물질과의 실리사이드가 형성될 수 있으며, 드레인(320)을 이루는 실리콘과 금속 물질과의 실리사이드(322)가 형성될 수 있다.
- [0024] 소스 실리사이드(310), 드레인 실리사이드(320)의 일 함수(work function)는 진성 실리콘의 중간정도에 위치한다. 따라서, n 타입 트랜지스터 및 p 타입 트랜지스터로 도전형이 변화되어도 전자, 정공등의 캐리어(carrier)의 이동이 용이하다는 장점이 제공된다.
- [0025] 게이트(410)에 전압이 제공됨에 따라 채널 영역(200)에는 소스 실리사이드(310)와 드레인 실리사이드(320)를 전기적으로 연결하는 채널(channel)이 형성된다. 종래의 N 타입 트랜지스터는 p 타입으로 도핑된 채널 영역에 전자로 이루어지는 채널이 형성되고, P 타입 트랜지스터는 n 타입으로 도핑된 채널 영역에 정공(hole)으로 이루어지는 채널이 형성된다.
- [0026] 그러나, 본 실시예에서, 채널 영역(200)은 n 타입, p 타입으로 도핑되거나 진성 실리콘으로 이루어질 수 있으며, 하부 전극(600)에 제공되는 도전형 결정 펄스 진폭의 극성에 따라 형성되는 채널이 결정된다.
- [0027] 채널 영역(200)의 상부에 게이트 스택(gate stack, 400)이 위치한다. 게이트 스택(400)은 채널 영역(200) 상부에 위치하는 게이트 절연막(420), 게이트 절연막(420) 상부에 위치하는 게이트(410)와 게이트 절연막(420) 및 게이트(410)의 측면에 위치하는 스페이서(420)를 포함할 수 있다. 일 실시예로, 게이트 절연막(420)은 실리콘 열 산화막, 고유전 물질로 형성될 수 있다. 또한, 게이트(410)는 폴리 실리콘, 금속으로 형성될 수 있다.
- [0028] 이하에서는 본 실시예에 의한 트랜지스터의 동작을 살펴본다. 도 2(a)는 본 실시예에 의한 트랜지스터의 동작예를 설명하기 위한 예시도이고 도 2(b)는 하부 전극(600)에 제공되는 도전형 결정 펄스(Vb)의 개요를 도시한 도면이다. 도 2(a) 및 도 2(b)를 참조하면, 하부 전극(600)으로 양의 보자 전압(Vc, coercive voltage) 이상의 도전형 결정 펄스가 제공되면 강유전체 물질로 이루어진 도전형 결정 패턴(100) 자발 분극되어 형성된 다이폴(dipole, D)들이 도전형 결정 펄스(Vb)에 상응하도록 배열된다.
- [0029] 도시된 실시예에서, 도전형 결정 펄스(Vb)는 양의 보자 전압 이상의 진폭을 가지므로, 도전형 결정 패턴(100)에 형성된 다이폴(D)들은 음전하가 하부 전극(600) 방향으로, 양전하가 채널 영역(200) 방향으로 배열된다. 도전형 결정 패턴(100)과 인접한 채널 영역(200)에는 도전형 결정 패턴(100)에 형성된 다이폴(D)들에 의하여 상응하는 음전하를 가지는 전자들이 누적된다.
- [0030] 소스 실리사이드(310)에 제공되는 전압을 기준으로 게이트(410)를 통하여 양의 전압을 인가하면 채널 영역(200)에는 전자들이 모여 채널을 이루고, 소스 실리사이드(310)와 드레인 실리사이드(320)는 전기적으로 연결된다. 따라서, 도 2(a) 및 도 2(b)로 예시된 트랜지스터(10)는 n 타입 트랜지스터로 동작한다.
- [0031] 도 3(a)는 본 실시예에 의한 트랜지스터의 다른 동작예를 설명하기 위한 예시도이고 도 3(b)는 하부 전극(600)에 제공되는 도전형 결정 펄스(Vb)의 개요를 도시한 도면이다. 도 3(a) 및 도 3(b)를 참조하면, 하부 전극(600)으로 음의 보자 전압(Vc, coercive voltage) 이하의 도전형 결정 펄스가 제공되면 강유전체 물질로 이루어진 도전형 결정 패턴(100) 자발 분극되어 형성된 다이폴(D)들이 도전형 결정 펄스(Vb)에 상응하도록 배열된다.
- [0032] 도시된 실시예에서, 도전형 결정 펄스(Vb)는 음의 보자 전압 이상의 진폭을 가지므로, 도전형 결정 패턴(100)에 형성된 다이폴(D)들은 양전하가 하부 전극(600) 방향으로, 음전하가 채널 영역(200) 방향으로 배열된다. 도전형 결정 패턴(100)과 인접한 채널 영역(200)에는 도전형 결정 패턴(100)에 형성된 다이폴(D)들에 의하여 상응하는 정공(hole)들이 누적된다.
- [0033] 소스 실리사이드(310)에 제공되는 전압을 기준으로 게이트(410)를 통하여 음의 전압을 인가하면 채널 영역(200)에는 정공들이 모여 채널을 이루고, 소스 실리사이드(310)와 드레인 실리사이드(320)는 전기적으로 연결된다.

따라서, 도 3(a) 및 도 3(b)로 예시된 트랜지스터(10)는 p 타입 트랜지스터로 동작한다.

[0035] 본 실시예에 의한 트랜지스터는 도전형 결정 필스를 하부 전극으로 제공하여 트랜지스터가 동작하는 도전형을 제어할 수 있다는 장점이 제공된다.

[0037] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

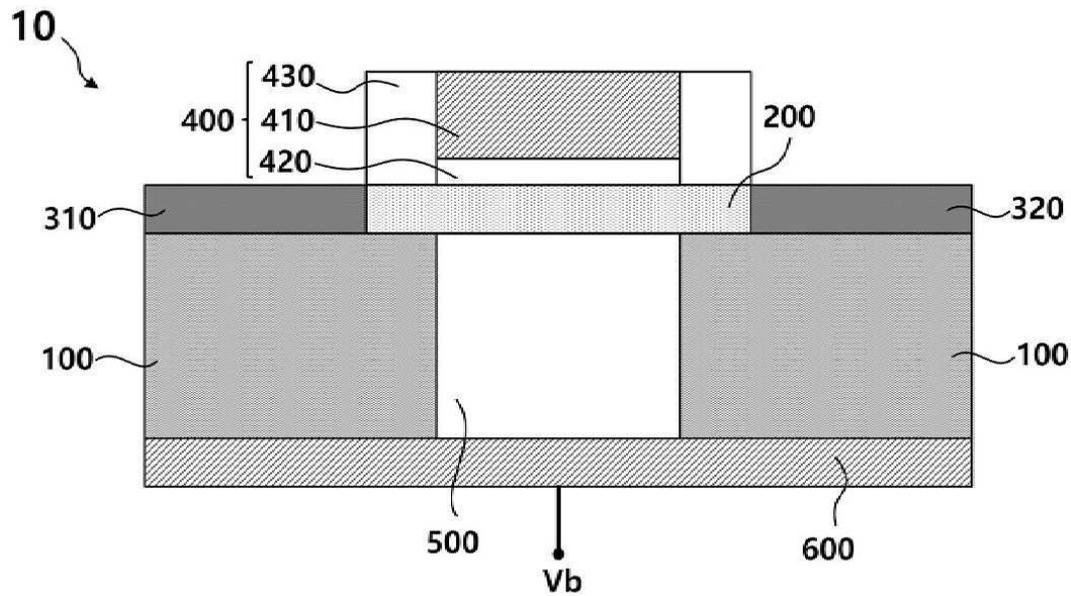
부호의 설명

[0038] 10: 트랜지스터

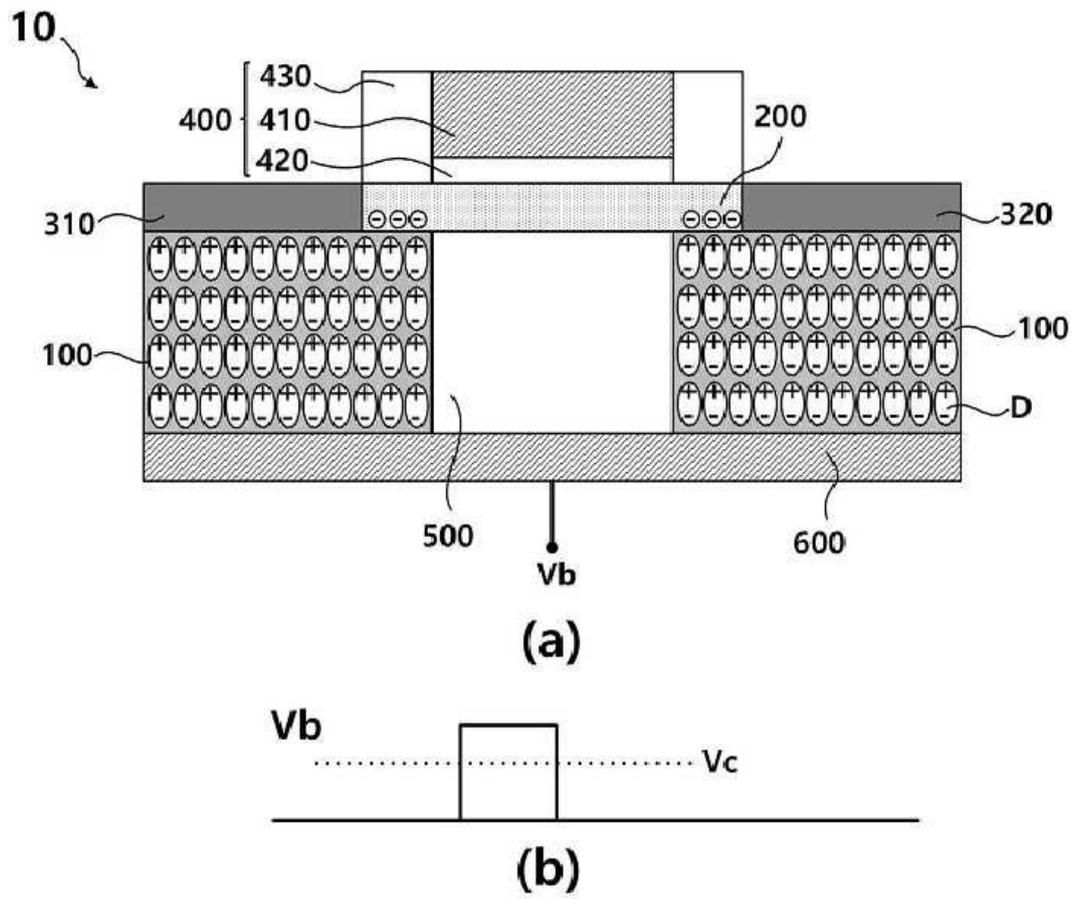
- | | |
|----------------|----------------|
| 100: 도전형 결정 패턴 | 200: 채널 영역 |
| 310: 소스 실리사이드 | 320: 드레인 실리사이드 |
| 400: 게이트 스택 | 410: 게이트 |
| 420: 게이트 절연막 | 430: 스페이서 |
| 500: 절연 패턴 | 600: 하부 전극 |

도면

도면1



도면2



도면3

