



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2023년11월10일

(11) 등록번호 10-2597604

(24) 등록일자 2023년10월30일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) *H03M 1/12* (2006.01)
H04N 25/76 (2023.01)

(52) CPC특허분류
H03M 1/38 (2013.01)
H03M 1/127 (2013.01)

(21) 출원번호 10-2016-0135924

(22) 출원일자 2016년10월19일

심사청구일자 2021년09월06일

(65) 공개번호 10-2018-0043070

(43) 공개일자 2018년04월27일

(56) 선행기술조사문헌

KR1020140104169 A*

US20150138007 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

채영철

서울특별시 서대문구 연세로 50 (신촌동)

조상현

경기도 화성시 노작로4길 39-8, 202호 (반송동)
(뒷면에 계속)

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 6 항

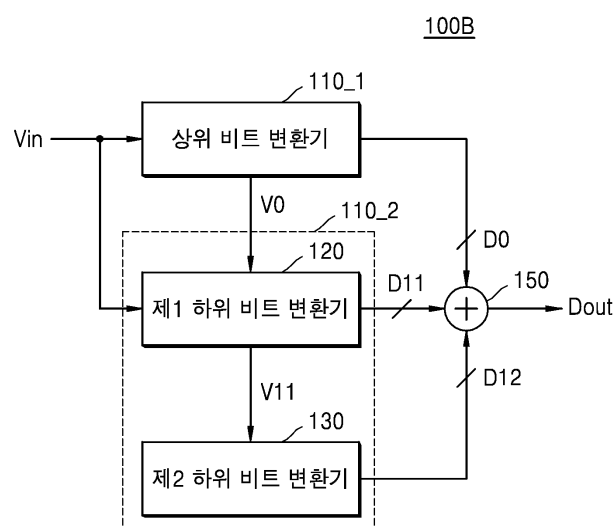
심사관 : 조춘근

(54) 발명의 명칭 아날로그-디지털 변환기 및 이를 포함하는 이미지 센서

(57) 요약

본 개시의 일 실시예에 따른 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기는, 제1 모드에서, 아날로그 신호 형태의 제1 입력 신호를 수신하고, 상기 제1 입력 신호 및 복수의 기준 신호들을 비교하여 상기 복수의 기준 신호들 중 하나를 선택하고, 선택된 기준 신호를 기초로 상기 디지털 신호의 적어도 일부의 상위 비트 값을 출력하는 제1 변환기, 제2 모드에서, 상기 상위 비트 값에 대응되는 상위 아날로그 신호와 상기 제1 입력 신호의 차이 값인 레지듀 신호를 기초로 하여 n 회 오버 샘플링하는 동작을 수행하고, n 회 오버 샘플링하는 동작을 수행하는 동안에 각각 생성되는 제1 내지 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호의 중간 비트 값을 출력하는 제2 변환기, 및 제3 모드에서, 상기 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호의 하위 비트 값을 출력하는 제3 변환기를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

H04N 25/76 (2023.08)

H03M 2201/2266 (2013.01)

(72) 발명자

권민호

서울특별시 송파구 올림픽로 99, 107동 2404호 (잠실동, 잠실엘스)

임승현

경기도 화성시 동탄숲속로 69, 833동 1102호 (능동, 숲속마을자연환경남아너스빌아파트)

조우진

서울특별시 서대문구 연세로 50 (신촌동)

명세서

청구범위

청구항 1

아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기에 있어서,

제1 모드에서, 아날로그 신호 형태의 제1 입력 신호를 수신하고, 상기 제1 입력 신호 및 복수의 기준 신호들을 비교하여 상기 복수의 기준 신호들 중 하나를 선택하고, 선택된 기준 신호를 기초로 상기 디지털 신호의 적어도 일부의 상위 비트 값을 출력하는 제1 변환기;

제2 모드에서, 상기 상위 비트 값에 대응되는 상위 아날로그 신호와 상기 제1 입력 신호의 차이 값인 레지듀 신호를 기초로 하여 n 회 오버 샘플링하는 동작을 수행하고, n 회 오버 샘플링하는 동작을 수행하는 동안에 각각 생성되는 제1 내지 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호의 중간 비트 값을 출력하는 제2 변환기; 및

제3 모드에서, 상기 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호의 하위 비트 값을 출력하는 제3 변환기;를 포함하고,

상기 아날로그-디지털 변환기는 상기 제1 입력 신호에 대한 상기 제1 모드, 상기 제2 모드 및 상기 제3 모드를 순차적으로 수행하고,

상기 아날로그-디지털 변환기는, 상기 제1 입력 신호 이후에 수신한, 아날로그 신호 형태의 제2 입력 신호를 디지털 신호로 변환하고,

상기 제1 입력 신호에 대한 상기 제3 모드의 동작은, 상기 제2 입력 신호에 대한 상기 제1 모드 및 상기 제2 모드의 동작과 병렬적으로 수행되는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 2

제1 항에 있어서,

상기 제1 변환기는 상기 제1 입력 신호 및 기준 신호들의 크기를 비교하는 연속적 근사(successive approximation)를 수행하여 상위 비트 값을 출력하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 3

삭제

청구항 4

삭제

청구항 5

칼럼 라인들에 각각 결합되고, 입사광을 감지하여 상기 칼럼 라인들을 통하여 아날로그 신호를 발생시키는 복수의 픽셀들을 포함하는 픽셀 어레이; 및

상기 칼럼라인들에 각각 결합되고, 상기 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기;를 포함하고,

상기 아날로그-디지털 변환기는,

아날로그 신호 중 제1 입력 신호를 수신하고, 연속적 근사를 통하여 복수의 기준 신호들 및 상기 제1 입력 신호를 서로 비교하고, 상기 복수의 기준 신호들 중 하나를 선택하여 선택된 기준 신호를 기초로 상기 디지털 신호의 적어도 일부의 상위 비트 값을 출력하는 상위 비트 변환기; 및

상기 상위 비트 값에 대응되는 상위 아날로그 신호와 상기 제1 입력 신호의 차이 값인 레지듀 신호를 기초로 하여 n 회 오버 샘플링하는 동작을 수행하고, 상기 레지듀 신호에 상응하는 상기 디지털 신호의 하위 비트 값을 출

력하는 하위 비트 변환기를 포함하고,

상기 하위 비트 변환기는,

상기 상위 아날로그 신호와 상기 제1 입력 신호의 차이 값인 레지듀 신호를 기초로 하여 n회 오버 샘플링하는 동작을 수행하고, n회 오버 샘플링하는 동작을 수행하는 동안에 각각 생성되는 제1 내지 제n 오버 샘플링 신호에 상응하는 제1 하위 비트 값을 출력하는 제1 하위 비트 변환기; 및

상기 제n 오버 샘플링 신호에 상응하는 제2 하위 비트 값을 출력하는 제2 하위 비트 변환기를 포함하고,

상기 제2 하위 비트 변환기가 상기 제1 입력 신호에 대한 동작을 하는 동안, 상기 상위 비트 변환기 및 상기 제1 하위 비트 변환기는 상기 제1 입력 신호 이후에 전달받은 제2 입력 신호에 대한 변환 동작을 수행하는 것을 특징으로 하는 이미지 센서.

청구항 6

제5 항에 있어서,

상기 하위 비트 변환기는 델타-시그마 아날로그-디지털 변환기(delta-sigma analog digital converter)를 포함하는 것을 특징으로 하는 이미지 센서.

청구항 7

삭제

청구항 8

삭제

청구항 9

제5 항에 있어서,

상기 제2 하위 비트 변환기는, 상기 제n 오버 샘플링 신호의 입력을 제어하는 스위칭 부를 포함하고,

상기 스위칭 부는,

상기 상위 비트 변환기 및 상기 제1 하위 비트 변환기가 상기 제2 입력 신호에 대한 변환 동작을 수행하는 동안에는, 턴-온되어 있는 것을 특징으로 하는 이미지 센서.

청구항 10

제5 항에 있어서,

상기 제2 하위 비트 변환기는 싱글-슬롭 아날로그-디지털 변환기(single slope analog-digital converter)를 포함하는 것을 특징으로 하는 이미지 센서.

발명의 설명

기술 분야

[0001] 본 개시는 아날로그-디지털 변환기 및 이를 포함하는 이미지 센서에 관한 것으로, 고해상도 및 고속 동작이 가능한 아날로그-디지털 변환기 및 이를 포함하는 이미지 센서에 관한 것이다.

배경 기술

[0002] 이미지 센서는 빛에 반응하는 반도체의 성질을 이용하여 이미지를 캡처하는 장치이다. 특히, CMOS(complementary metal-oxide semiconductor) 이미지 센서는 CCD(charge coupled device) 이미지 센서보다 적은 전력을 소모하며, CMOS 기술의 발달에 따라 휴대 전화 또는 디지털 카메라 등에서 널리 사용되고 있다.

[0003] CMOS 이미지 센서에는 아날로그 신호로 감지되는 영상 신호를 디지털 신호로 변환하기 위한 아날로그-디지털 변환기가 구비된다. 이미지 센서의 픽셀 어레이(pixel array)는 빛 에너지로부터 영상 신호를 출력한다. 픽셀들 각각은 포토 다이오드를 통하여 입사된 빛의 양에 상응하는 광 전하를 축적하고 축적된 광전하에 따라 아날로그

형태의 픽셀 신호를 출력한다. 픽셀 신호는 아날로그-디지털 변환기에 의해 디지털 신호로 변환된다.

발명의 내용

해결하려는 과제

- [0004] 본 개시의 기술적 사상이 이루고자 하는 과제는 고해상도 및 높은 다이내믹 레인지(dynamic range)가 가능하고, 고속 동작이 가능한 아날로그-디지털 변환기를 제공하는 데 있다.
- [0005] 본 개시의 기술적 사상이 이루고자 하는 과제는 고해상도 및 높은 다이내믹 레인지가 가능하고, 고속 동작이 가능한 이미지 센서를 제공하는 데 있다.

과제의 해결 수단

- [0006] 본 개시의 기술적 사상에 의한 일 양태에 따른 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기는, 제1 모드에서, 아날로그 신호 형태의 제1 입력 신호를 수신하고, 상기 제1 입력 신호 및 복수의 기준 신호들을 비교하여 상기 복수의 기준 신호들 중 하나를 선택하고, 선택된 기준 신호를 기초로 상기 디지털 신호의 적어도 일부의 상위 비트 값을 출력하는 제1 변환기, 제2 모드에서, 상기 상위 비트 값에 대응되는 상위 아날로그 신호와 상기 제1 입력 신호의 차이 값인 레지듀 신호를 기초로 하여 n 회 오버 샘플링하는 동작을 수행하고, n 회 오버 샘플링하는 동작을 수행하는 동안에 각각 생성되는 제1 내지 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호의 중간 비트 값을 출력하는 제2 변환기, 및 제3 모드에서, 상기 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호의 하위 비트 값을 출력하는 제3 변환기를 포함할 수 있다.
- [0007] 본 개시의 기술적 사상에 의한 일 양태에 따른 이미지 센서는, 칼럼라인들에 각각 결합되고, 입사광을 감지하여 상기 칼럼 라인들을 통하여 아날로그 신호를 발생하는 복수의 픽셀들을 포함하는 픽셀 어레이, 및 상기 칼럼라인들에 각각 결합되고, 상기 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기를 포함하고, 상기 아날로그-디지털 변환기는, 아날로그 신호 중 제1 입력 신호를 수신하고, 연속적 근사를 통하여 복수의 기준 신호들 및 상기 제1 입력 신호를 서로 비교하고, 상기 복수의 기준 신호들 중 하나를 선택하여 선택된 기준 신호를 기초로 상기 디지털 신호의 적어도 일부의 상위 비트 값을 출력하는 상위 비트 변환기, 및 상기 상위 비트 값에 대응되는 상위 아날로그 신호와 상기 제1 입력 신호의 차이 값인 레지듀 신호를 기초로 하여 n 회 오버 샘플링하는 동작을 수행하고, 상기 레지듀 신호에 상응하는 상기 디지털 신호의 하위 비트 값을 출력하는 하위 비트 변환기를 포함할 수 있다.

발명의 효과

- [0008] 본 개시의 기술적 사상에 따른 아날로그-디지털 변환기 및 이를 포함하는 이미지 센서는 고해상도 및 높은 다이내믹 레인지가 가능하고, 고속 동작이 가능하다. 또한, 저전력으로 아날로그-디지털 변환이 가능하다.

도면의 간단한 설명

- [0009] 도 1은 본 개시의 기술적 사상에 의한 실시예에 따른 이미지 센서를 설명하는 블록도이다.
- 도 2는 도 1에 도시된 아날로그-디지털 변환기의 일 실시예를 나타내는 블록도이다.
- 도 3은 도 1에 도시된 아날로그-디지털 변환기의 다른 일 실시예를 나타내는 블록도이다.
- 도 4는 본 개시의 기술적 사상에 따른 아날로그-디지털 변환기의 동작을 설명하기 위한 흐름도이다.
- 도 5는 도 2 및 도 3에 도시된 상위 비트 변환기의 일 실시예를 설명하기 위한 도면이다.
- 도 6a는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기를 설명하는 블록도로서, 도 4의 S10단계 동작을 나타낸 것이다.
- 도 6b는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기를 설명하는 블록도로서, 도 4의 S20단계 동작을 나타낸 것이다.
- 도 6c는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기를 설명하는 블록도로서, 도 4의 S30단계 및 S40단계의 동작을 나타낸 것이다.
- 도 7은 도 6a 내지 도 6c의 싱글-슬롭 아날로그-디지털 변환기의 일 실시예를 나타내는 블록도이다.

도 8은 본 개시의 기술적 사상에 의한 실시예에 따른 아날로그-디지털 변환기의 동작을 개념적으로 설명하기 위한 타이밍도이다.

도 9는 본 발명의 일 실시예에 따른 이미지 센서를 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 첨부 도면을 참조하여 본 개시의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0011] 도 1은 본 개시의 기술적 사상에 의한 실시예에 따른 이미지 센서를 설명하는 블록도이다.
- [0012] 도 1을 참조하면, 이미지 센서(1000)는 아날로그-디지털 변환기(100), 픽셀 어레이(200), 출력 버퍼(300), 행 디코더(400) 및 타이밍 컨트롤러(500)를 포함할 수 있다.
- [0013] 픽셀 어레이(200)는 복수의 픽셀들을 포함한다. 각각의 픽셀들은 광신호를 전기적 신호로 변환할 수 있다. 픽셀 어레이(200)는 행 디코더(400)로부터 선택 신호(SEL), 리셋 신호(RS) 및 전송 신호(TG)와 같은 구동 신호들에 의해 구동될 수 있다. 또한, 구동 신호들에 응답하여 각각의 픽셀들에 의해서 센싱된 전기적 신호인 픽셀 신호는 복수의 칼럼라인(CLS)을 통해서 아날로그-디지털 변환기(100)에 제공될 수 있다. 본 발명의 일 실시예에 따른 아날로그-디지털 변환기(100)에 대해서는 도 2에 대한 설명에서 후술하겠다.
- [0014] 출력 버퍼(300)는 아날로그-디지털 변환기(100)에 의해서 제공되는 각각의 칼럼 단위의 영상 데이터를 래치하여 출력할 수 있다. 출력 버퍼(300)는 타이밍 컨트롤러(500)의 제어에 따라 아날로그-디지털 변환기(100)에서 출력되는 영상 데이터를 일시 저장하고, 이후 칼럼 디코더에 의해서 순차적으로 래치된 영상 데이터를 출력할 수 있다.
- [0015] 행 디코더(400)는 타이밍 컨트롤러(500)의 제어에 따라 픽셀 어레이(200)의 어느 하나의 행을 선택할 수 있다. 행 디코더(400)는 복수의 행들 중 어느 하나의 행을 선택하기 위해서 선택 신호(SEL)를 생성할 수 있다. 그리고 행 디코더(400)는 선택된 행에 대응하는 픽셀들에 대해 리셋 신호(RS) 및 전송 신호(TG)를 순차적으로 활성화시킨다. 그러면, 선택된 행의 픽셀들 각각으로부터 생성되는 아날로그 형태의 픽셀 신호가 출력된다. 아날로그-디지털 변환기(100)는 복수의 칼럼라인(CLS)을 통해서 전달되는 픽셀 신호를 디지털 신호로 변환할 수 있다.
- [0016] 타이밍 컨트롤러(500)는 행 디코더(400), 이중 아날로그-디지털 변환기(100), 출력 버퍼(300) 등을 제어할 수 있다. 즉, 타이밍 컨트롤러(500)는 이미지의 센싱에서부터 센싱된 이미지 데이터를 출력하기 위한 제반 절차를 시간 정보에 따라 제어하기 위한 제어 신호를 생성할 수 있다.
- [0017] 도 2는 도 1에 도시된 아날로그-디지털 변환기의 일 실시예를 나타내는 블록도이다.
- [0018] 도 2를 참조하면, 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(100A)는 상위 비트 변환기(110_1), 하위 비트 변환기(110_2) 및 가산기(150)를 포함할 수 있다. 상기 아날로그-디지털 변환기(100A)는 도 1의 복수의 칼럼라인(CLS)을 통해서 전송된 아날로그 신호 형태의 입력 신호(Vin)를 디지털 신호(Dout)로 변환할 수 있다. 상기 입력 신호(Vin)는 도 1의 픽셀 어레이(200)에서 출력된 픽셀 신호일 수 있다.
- [0019] 상위 비트 변환기(110_1)는 도 1의 복수의 칼럼라인(CLS)을 통해서 전송된 아날로그 신호 형태의 입력 신호(Vin)를 수신할 수 있다. 상기 상위 비트 변환기(110_1)는 상기 입력 신호(Vin)를 디지털 변환하여, 상기 디지털 신호(Dout)의 적어도 일부의 상위 비트 값(D0)을 생성할 수 있고, 상기 상위 비트 값(D0)을 가산기(150)로 출력할 수 있다. 상기 상위 비트 변환기(110_1)는 상기 상위 비트 값(D0)에 상응하는 상위 아날로그 신호(V0)를 하위 비트 변환기(110_2)로 출력할 수 있다. 또는, 상기 상위 비트 변환기(110_1)는 하위 비트 변환기(110_2)로 상기 상위 비트 값(D0)을 출력할 수도 있다. 따라서, 상기 상위 비트 변환기(110_1)는 디지털-아날로그 변환기를 포함할 수 있다. 예를 들어, 상기 상위 비트 변환기(110_1)는 연속적 근사 레지스터 아날로그-디지털 변환기(successive approximation analog-to-digital converter, SAR-ADC)일 수 있다. 또는 플래시 아날로그-디지털 변환기(flash analog-to-digital converter)일 수 있다. 그러나 이에 한정되는 것은 아니다.
- [0020] 하위 비트 변환기(110_2)는 상기 입력 신호(Vin) 및 상기 상위 아날로그 신호(V0)를 수신할 수 있다. 다만, 이에 한정되는 것은 아니며, 하위 비트 변환기(110_2)는 입력 신호(Vin)와 상기 상위 아날로그 신호(V0)의 차이값에 대한 신호인 레지듀 신호를 직접 수신할 수도 있다. 또는, 하위 비트 변환기(110_2)는 상기 상위 비트 값(D0)을 수신하여 디지털-아날로그 변환을 수행할 수도 있다. 상기 입력 신호(Vin) 및 상기 상위 아날로그 신호(V0) 기초로, 또는 상기 레지듀 신호를 기초로 상기 디지털 신호(Dout)의 하위 비트 값(D1)을 생성할 수 있고,

상기 하위 비트 값(D1)을 가산기(150)로 출력할 수 있다. 예를 들어, 상기 하위 비트 변환기(110_2)는 델타-시그마 아날로그-디지털 변환기(delta-sigma analog-to-digital converter)를 포함할 수 있다. 그러나 이에 한정되는 것은 아니다.

- [0021] 가산기(150)는 각각 상위 비트 변환기(110_1) 및 하위 비트 변환기(110_2)로부터 수신한 상위 비트 값(D0) 및 하위 비트 값(D1)을 합성하여 입력 신호(Vin)에 대한 디지털 신호(Dout)를 출력할 수 있다. 따라서, 아날로그-디지털 변환기(100A)는 디지털 신호(Dout)의 상위 비트 값 및 하위 비트 값을 각각 서로 다른 변환기가 생성하도록 구성되고, 상기 상위 비트 변환기(110_1)가 1차적인 아날로그-디지털 변환을 통하여 상기 입력 신호(Vin)의 범위를 좁혀준 후에 상기 하위 비트 변환기(110_2)가 동작할 수 있다. 이와 같이, 2 단계를 거쳐 변환 동작이 이루어지게 되므로, 고해상도의 이미지 데이터(Image Data)를 획득할 수 있다.
- [0022] 도 3은 도 1에 도시된 아날로그-디지털 변환기의 다른 일 실시예를 나타내는 블록도이다. 도 3에서 도 2에서와 동일한 참조 부호는 동일 부재를 의미하며, 여기서는 설명의 간략화를 위하여 중복되는 구성의 상세한 설명은 생략한다.
- [0023] 도 3을 참조하면, 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(100B)는 상위 비트 변환기(110_1), 하위 비트 변환기(110_2) 및 가산기(150)를 포함할 수 있다. 하위 비트 변환기(110_2)는 제1 하위 비트 변환기(120) 및 제2 하위 비트 변환기(130)를 포함할 수 있다.
- [0024] 상기 아날로그-디지털 변환기(100B)는 도 1의 복수의 칼럼라인(CLs)을 통해서 전송된 아날로그 신호 형태의 입력 신호(Vin)를 디지털 신호(Dout)로 변환할 수 있다. 상기 입력 신호(Vin)는 도 1의 픽셀 어레이(200)에서 출력된 픽셀 신호일 수 있다.
- [0025] 제1 하위 비트 변환기(120)는 입력 신호(Vin) 및 상위 비트 값(D0)에 상응하는 상위 아날로그 신호(V0)를 수신할 수 있다. 상기 상위 아날로그 신호(V0)는 디지털-아날로그 변환기를 이용하여 상위 비트 값(D0)을 아날로그 신호로 변환한 것이다. 다만, 이에 한정되는 것은 아니며, 상기 제1 하위 비트 변환기(120)는 입력 신호(Vin)와 상기 상위 아날로그 신호(V0)의 차이값에 대한 신호인 레지듀 신호를 직접 수신할 수도 있다. 또는, 상기 제1 하위 비트 변환기(120)는 상위 비트 값(D0)을 수신하고, 디지털-아날로그 변환을 수행할 수 있다.
- [0026] 상기 제1 하위 비트 변환기(120)는 상기 입력 신호(Vin)와 상위 아날로그 신호(V0)의 차이값에 대한 신호인 상기 레지듀 신호를 기초로 n회 오버 샘플링하는 동작을 수행할 수 있다. n회 오버 샘플링 동작을 수행하는 동안에 각각 생성되는, 제1 내지 제n 오버 샘플링 신호에 상응하는 상기 디지털 신호(Dout)의 제1 하위 비트 값(D11)을 생성할 수 있다.
- [0027] 상기 제1 하위 비트 변환기(120)는 상기 제1 하위 비트 값(D11)을 가산기(150)로 출력할 수 있다. 상기 제1 하위 비트 변환기(120)는 하위 아날로그 신호(V11)를 제2 하위 비트 변환기(130)로 출력할 수 있다. 상기 하위 아날로그 신호(V11)는 제n 오버 샘플링 신호일 수 있다. 예를 들어, 상기 제1 하위 비트 변환기(120)는 델타-시그마 아날로그-디지털 변환기(delta-sigma analog-to-digital converter)를 포함할 수 있다.
- [0028] 제2 하위 비트 변환기(130)는 상기 하위 아날로그 신호(V11)를 수신하여 상기 디지털 신호(Dout)의 제2 하위 비트 값(D12)을 출력할 수 있다. 이 때, 상기 제2 하위 비트 값(D12)은 상기 디지털 신호(Dout)의 LSB(least significant bit)를 포함할 수 있다. 상기 제2 하위 비트 변환기(130)는 상기 제2 하위 비트 값(D12)을 가산기(150)로 출력할 수 있다. 예를 들어, 상기 제2 하위 비트 변환기(130)는 싱글-슬롭 아날로그-디지털 변환기(single-slope analog-to-digital converter)를 포함할 수 있다.
- [0029] 입력 신호(Vin)는 제1 입력 신호 및 제2 입력 신호를 포함하고, 상기 제2 입력 신호는 상기 제1 입력 신호 이후에 상기 아날로그-디지털 변환기(100B)에 입력될 수 있다. 상기 제1 입력 신호 및 상기 제2 입력 신호는 상기 아날로그-디지털 변환기(100B)에 의하여, 각각 제1 디지털 신호 및 제2 디지털 신호로 변환될 수 있다.
- [0030] 제2 하위 비트 변환기(130)가 상기 제1 디지털 신호의 제2 하위 비트 값을 출력하는 동안, 상기 상위 비트 변환기(110_1) 및 상기 제1 하위 비트 변환기(120)는 새로 입력되는 상기 제2 입력 신호를 수신하여, 각각 상기 제2 디지털 신호의 상위 비트 값 및 제1 하위 비트 값을 출력할 수 있다.
- [0031] 가산기(150)는 각각 상위 비트 변환기(110_1), 제1 하위 비트 변환기(120) 및 제2 하위 비트 변환기(130)로부터 수신한 상위 비트 값(D0), 제1 하위 비트 값(D11) 및 제2 하위 비트 값(D12)을 합성하여 입력 신호(Vin)에 대한 디지털 신호(Dout)를 출력할 수 있다.
- [0032] 따라서, 아날로그-디지털 변환기(100B)는 상위 비트 값, 제1 하위 비트 값 및 제2 하위 비트 값을 각각 서로 다

른 변환기가 생성하도록 구성되고, 상기 상위 비트 변환기(110_1)가 1차적으로 아날로그-디지털 변환을 통하여 상기 입력 신호(Vin)의 범위를 좁혀준 후에 상기 제1 하위 비트 변환기(120) 및 상기 제2 하위 비트 변환기(130)가 동작할 수 있다. 또한, 상기 제2 하위 비트 변환기(130)는 상기 제1 하위 비트 변환기(120)가 아날로그-디지털 변환 동작을 수행하는 동안에 얻어질 수 있는 유의미한 아날로그 데이터에 대해 아날로그-디지털 변환 동작을 수행할 수 있다. 이와 같이, 3 단계를 거쳐 변환 동작이 이루어지게 되므로, 고해상도의 이미지 데이터를 획득할 수 있다. 각각 상위 비트 변환기(110_1), 제1 하위 비트 변환기(120) 및 제2 하위 비트 변환기(130)의 구체적인 동작에 대해서는 후술하도록 하겠다.

[0033] 도 4는 본 개시의 기술적 사상에 따른 아날로그-디지털 변환기의 동작을 설명하기 위한 흐름도이다. 도 5는 도 2 및 도 3에 도시된 상위 비트 변환기의 일 실시예를 설명하기 위한 도면이다. 설명의 간략화를 위하여 중복되는 구성의 상세한 설명은 생략한다.

[0034] 도 3, 도 4 및 도 5를 참조하면, 상위 비트 변환기(110_1)는 제1 모드에서, 아날로그 신호 형태의 입력 신호(Vin)를 수신하고, 상기 입력 신호(Vin) 및 복수의 기준 아날로그 신호들을 비교할 수 있다. 복수의 기준 아날로그 신호들은 $0[V]$, ..., $(k-1)*V_{LSB}$, $k*V_{LSB}$, $(k+1)*V_{LSB}$, ..., $VREF[V]$ 일 수 있다. k 는 2이상의 자연수 일 수 있으며, V_{LSB} 는 각 비트간의 전압의 차이 값을 의미할 수 있다.

[0035] 이 때, $VREF[V]$ 는 도 1의 복수의 칼럼라인(Cls)을 통해서 전송된 아날로그 신호 형태의 입력 신호(Vin)의 최대 값을 의미할 수 있다. 또한, $0[V]$ 는 상기 입력 신호(Vin)의 최소값을 의미할 수 있다. 따라서, 상기 복수의 기준 아날로그 신호들의 각각의 값들은 예시적인 것으로, 이에 한정되지 않으며, 도 1의 픽셀 어레이(200)에서 출력된 픽셀 신호의 범위에 따라 다르게 설정될 수 있다.

[0036] 상위 비트 변환기(110_1)는 입력 신호(Vin)를 복수의 기준 아날로그 신호들과 비교하여, 상기 복수의 기준 아날로그 신호들 중 하나를 선택할 수 있다. 예를 들어, 상기 입력 신호(Vin)의 크기보다 큰 값을 갖는 상기 기준 아날로그 신호들 중 가장 작은 값을 갖는 기준 아날로그 신호($(k+1)*V_{LSB}$)가 선택되거나, 상기 입력 신호(Vin)의 크기보다 작은 값을 갖는 상기 기준 아날로그 신호들 중 가장 큰 값($k*V_{LSB}$)을 갖는 기준 아날로그 신호가 선택될 수 있다. 다만 이에 한정되는 것은 아니며, 상기 입력 신호(Vin)의 크기와 가장 가까운 값을 갖는 기준 아날로그 신호가 선택될 수도 있다.

[0037] 기준 아날로그 신호들은 각각 대응되는 기준 디지털 신호를 가질 수 있다. 예를 들어, 도 5에서와 같이 4bit의 기준 디지털 신호가 생성되는 경우에는 복수의 기준 아날로그 신호들인 $0[V]$, ..., $(k-1)*V_{LSB}$, $k*V_{LSB}$, $(k+1)*V_{LSB}$, ..., $VREF[V]$ 각각은 기준 디지털 신호들인 0000, ..., 0111, 1000, 1001, ..., 1111에 대응될 수 있다. 따라서, 상위 비트 변환기(110_1)는 선택된 하나의 기준 아날로그 신호에 대응되는 기준 디지털 신호를 상기 디지털 신호(Dout)의 적어도 일부의 상위 비트 값(D0)으로 출력할 수 있다(S10).

[0038] 예를 들어, 상위 비트 변환기(110_1)가 플래시 아날로그-디지털 변환기로 구성되는 경우에는, 입력 신호(Vin)와 복수의 기준 아날로그 신호들 전부를 병렬적으로 비교하여 상기 복수의 기준 아날로그 신호들 중 하나를 선택할 수 있다. 상기 상위 비트 변환기(110_1)는 선택된 하나의 기준 아날로그 신호에 대응되는 기준 디지털 신호를 상기 디지털 신호(Dout)의 적어도 일부의 상위 비트 값(D0)으로 출력할 수 있다.

[0039] 상위 비트 변환기(110_1)가 연속적 근사 레지스터 아날로그-디지털 변환기로 구성되는 경우에 대해서는, 도 6a에 대한 설명에서 후술하도록 하겠다.

[0040] 다시 도 3 및 도 4를 참조하면, 제1 하위 비트 변환기(120)는 제2 모드에서, 입력 신호(Vin) 및 상위 비트 값(D0)에 상응하는 상위 아날로그 신호(V0)를 수신할 수 있다. 제1 하위 비트 변환기(120)는 상기 입력 신호(Vin)와 상위 아날로그 신호(V0) 사이의 차이값인 레지듀 신호를 생성할 수 있다. 다만, 이에 한정되는 것은 아니며, 제1 하위 비트 변환기(110_2)는 외부로부터 상기 레지듀 신호를 직접 수신할 수도 있다.

[0041] 제1 하위 비트 변환기(120)는 상기 레지듀 신호를 기초로 하여, n 회 오버 샘플링하는 동작을 수행할 수 있다. 제1 하위 비트 변환기(120)는 n 회 오버 샘플링하는 동작을 수행하면서 각각 제1 내지 제 n 오버 샘플링 신호를 생성하고, 상기 제1 내지 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호(Dout)의 제1 하위 비트 값(D11)을 출력할 수 있다(S20). 따라서, 상기 제1 하위 비트 변환기(120)는 적분기를 포함할 수 있다.

[0042] 제2 하위 비트 변환기(130)는, 제3 모드에서, 상기 제 n 오버 샘플링 신호를, 상기 제1 하위 비트 변환기(120)로부터 수신하고, 상기 제 n 오버 샘플링 신호에 상응하는 상기 디지털 신호(Dout)의 제2 하위 비트 값을 출력할

수 있다(S30). 하위 아날로그 신호(V11)가 상기 제 n 오버 샘플링 신호일 수 있다. 즉, 제2 모드와 비교할 때, 제3 모드에서, 제2 하위 비트 변환기(130)가 상기 제 n 오버 샘플링 신호에 대하여 추가적이고 세분화된 아날로그-디지털 변환 동작을 수행할 수 있다. 따라서, 제3 모드에서, 상기 제2 하위 비트 변환기(130)는 상기 입력 신호(Vin)에 대한 더욱 세분화된 아날로그-디지털 변환 동작을 수행할 수 있다.

[0043] 가산기(150)는 각각 상위 비트 변환기(110_1), 제1 하위 비트 변환기(120) 및 제2 하위 비트 변환기(130)로부터 수신한 상위 비트 값(D0), 제1 하위 비트 값(D11) 및 제2 하위 비트 값(D12)을 합성하여 입력 신호(Vin)에 대한 디지털 신호(Dout)를 출력할 수 있다(S40).

[0044] 본 개시의 일 실시예 따른 아날로그-디지털 변환기와 프로그램어블 이득 증폭기(programmable gain amplifier)를 비교할 때, 프로그램어블 이득 증폭기는 모든 픽셀 신호들에 대하여 공통의 이득으로 증폭시켜, 일부의 픽셀에 매우 밝은 빛이 조사되는 경우에는 아날로그-디지털 변환기가 변환을 수행할 수 있는 범위를 초과하는 문제가 발생할 수 있다. 따라서, 프로그램어블 이득 증폭기를 사용하면, 각각의 픽셀에 입사되는 광의 세기를 정확하게 표현하는 데 한계가 발생할 수 있다.

[0045] 이에 반해, 본 개시의 일 실시예 따른 아날로그-디지털 변환기는 제1 모드에서 1차적으로 입력 신호(Vin)에 대한 범위를 상위 비트 값(D0)으로 확정하고, 입력 신호(Vin)와 상기 상위 비트 값(D0)에 상응하는 상위 아날로그 신호(V0)의 차이인 레지듀 신호를 형성한다. 제2 모드에서 n 회 오버 샘플링 동작이 수행되면서, 상기 레지듀 신호만 증폭이 증폭되는 것과 유사한 효과가 있으므로, 아날로그-디지털 변환기가 변환을 수행할 수 있는 범위를 초과하지 않을 수 있다. 즉, 다이내믹-레인지가 증가할 수 있다.

[0046] 상기 제1 모드, 상기 제2 모드 및 상기 제3 모드는 순차적으로 수행될 수 있다. 상기 제1 입력 신호에 대한 상기 제3 모드의 동작은, 상기 제2 입력 신호에 대한 상기 제1 모드 및 상기 제2 모드의 동작과 병렬적으로 수행될 수 있다. 따라서, 본 개시의 일 실시예 따른 아날로그-디지털 변환기는 고속 동작이 가능하다.

[0047] 도 6a 내지 도 6c는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기를 설명하는 블록도로서, 도 6a는 도 4의 S10단계 동작, 도 6b는 도 4의 S20단계 동작, 도 6c는 도 4의 S30단계 및 S40 단계의 동작을 구체적으로 나타낸 것이다. 아날로그-디지털 변환기(100C)에서 활성화되는 영역에 한하여 실선으로 표시하고, 비활성화되는 영역에 대해서는 점선으로 표시하였다. 도 6a 내지 도 6c에서 동일한 참조 부호는 동일 부재를 의미할 수 있다. 도 7은 도 6a 내지 도 6c의 싱글-슬롭 아날로그-디지털 변환기의 일 실시예를 나타내는 블록도이다.

[0048] 도 6a를 참조하면, 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(100C)는 레지스터(111), 연속적 근사 레지스터 논리 블록(SAR Logic Block, 113), 디지털-아날로그 변환기(115), 감산기(117), 제1 비교기(119), 증폭기(121_1), 디지털 필터(123) 및 싱글-슬롭 아날로그-디지털 변환기(130c)를 포함할 수 있다. 이 때, 레지스터(111), 연속적 근사 레지스터 논리 블록(113), 디지털-아날로그 변환기(115), 감산기(117), 제1 비교기(119) 및 증폭기(121_1)는 상위 비트 변환기(110_1c)를 구성할 수 있다. 본 도면은 상기 상위 비트 변환기(110_1c)로 연속적 근사 레지스터 아날로그-디지털 변환기가 사용된 경우를 나타낸 도면이다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0049] 감산기(117)는 제1 모드에서, 아날로그 신호 형태의 제1 입력 신호(Vin1) 및 디지털-아날로그 변환기(115)에서 출력된 제1 피드백 신호(FBS1)를 수신할 수 있다. 상기 감산기(117)는 상기 제1 입력 신호(Vin1)에서 상기 제1 피드백 신호(FBS1)를 감산하여 제1 차이 신호(DIFF1)를 생성할 수 있다.

[0050] 증폭기(121_1)는 상기 제1 차이 신호(DIFF1)를 수신하여, 단순 증폭시키는 역할을 수행할 수 있다. 증폭 신호(AMP)를 제1 비교기(119)로 출력할 수 있다.

[0051] 제1 비교기(119)는 상기 증폭 신호(AMP)와 제1 비교 신호의 크기를 비교하여 제1 비교 결과 신호(CMP1)를 출력할 수 있다. 예를 들어, 제1 비교 신호는 그라운드와 연결되어 0[V]값을 나타낼 수 있다. 예를 들어, 제1 비교기(119)는 증폭 신호(AMP)가 제1 비교 신호보다 크거나 같은 경우 논리 하이 레벨을 갖는 제1 비교 결과 신호(CMP1)를 출력하고, 증폭 신호(AMP)가 제1 비교 신호보다 작은 경우 논리 로우 레벨을 갖는 제1 비교 결과 신호(CMP1)를 출력할 수 있다. 따라서 제1 비교 결과 신호(CMP1)는 하나의 비트를 갖는 디지털 신호에 상응할 수 있다.

[0052] 연속적 근사 레지스터 아날로그-디지털 변환은 바이너리 서치(binary search) 알고리즘을 이용하여 변환하는 방법이다. 연속적 근사 레지스터 논리 블록(113)은 바이너리 서치 알고리즘을 위한 복수의 기준 디지털 신호들을 생성할 수 있다. 연속적 근사 레지스터 논리 블록(113)은 제1 비교 결과 신호(CMP1)를 수신하여, 제1 비교 결과 신호(CMP1)의 논리 레벨이 하이 레벨 인지 로우 레벨 인지에 따라, 이전의 기준 디지털 신호인 제1 기준 디지털

신호와 다른 제2 기준 디지털 신호를 출력할 수 있다. 예를 들어, 제1 비교 결과 신호(CMP1)의 논리 레벨이 하이 레벨인 경우에는, 연속적 근사 레지스터 논리 블록(113)은 상기 제1 기준 디지털 신호보다 큰 값을 갖는 제2 기준 디지털 신호를 출력할 수 있다. 또는, 제1 기준 디지털 신호에 대해 제1 비교 결과 신호(CMP1)의 논리 레벨이 로우 레벨인 경우에는, 연속적 근사 레지스터 논리 블록(113)은 상기 제1 기준 디지털 신호보다 작은 값을 갖는 제2 기준 디지털 신호를 출력할 수 있다.

[0053] 복수의 기준 아날로그 신호들은 도 5의 0[V], $(k-1)*V_{LSB}$, $k*V_{LSB}$, $(k+1)*V_{LSB}$, VREF[V] 등 일 수 있고, 복수의 기준 디지털 신호들은 도 5의 0000, 0111, 1000, 1001, 1111 등 일 수 있다. VREF[V]는 상기 제1 입력 신호(Vin1)의 최대값을 의미하고 0[V]는 상기 제1 입력 신호(Vin1)의 최소값을 의미할 수 있다. 따라서, 상기 복수의 기준 아날로그 신호들의 각각의 값들은 예시적인 것으로 이에 한정되지 않으며, 도 1의 픽셀 어레이(200)에서 출력된 픽셀 신호의 범위에 따라 다르게 설정될 수 있다.

[0054] 레지스터(111)는 상기 연속적 근사 레지스터 논리 블록(113)에서 출력된 기준 디지털 신호를 저장할 수 있다. 상기 레지스터(111)는 저장된 상기 기준 디지털 신호를 디지털-아날로그 변환기(115)로 출력할 수 있다. 상기 디지털-아날로그 변환기(115)는 상기 기준 디지털 신호를 기준 아날로그 신호로 변환한 제1 피드백 신호(FBS1)를 감산기(117)로 출력할 수 있다.

[0055] 레지스터(111)는 저장된 기준 디지털 신호를, 제1 디지털 신호의 적어도 일부의 상위 비트 값(D0_1)으로 출력할 수 있다. 상기 레지스터(111)는 상기 상위 비트 값(D0_1)을 가산기(150)로 출력할 수 있다.

[0056] 싱글-슬롭 아날로그-디지털 변환기(130c)는 도 3의 제2 하위 비트 변환기(130)를 구성할 수 있다. 제1 모드에서, 상기 싱글-슬롭 아날로그-디지털 변환기(130c)는 상기 제1 입력 신호(Vin1) 이전에 상기 아날로그-디지털 변환기(100C)로 입력된 입력 신호에 대한 변환 동작을 수행하여, 이전 입력 신호가 변환된 디지털 신호의 제2 하위 비트 값(D12_0)을 가산기(150)로 출력할 수 있다.

[0057] 도 6b를 참조하면, 디지털-아날로그 변환기(115), 감산기(117), 제1 비교기(119), 적분기(121_2) 및 디지털 필터(123)는 제1 하위 비트 변환기(120c)를 구성할 수 있다. 도 6b는 상기 제1 하위 비트 변환기(120c)로 델타-시그마 아날로그-디지털 변환기가 사용된 경우를 나타낸 도면이다. 도 6b에 도시된 델타-시그마 아날로그-디지털 변환기는 1차 델타-시그마 아날로그-디지털 변환기이나, 본 발명이 이에 한정되는 것은 아니다.

[0058] 제2 모드가 시작되면, 디지털-아날로그 변환기(115)는 레지스터(111)로부터 제1 디지털 신호의 적어도 일부의 상위 비트 값(D0_1)을 수신하고, 상기 상위 비트 값(D0_1)에 대한 디지털-아날로그 변환을 수행하여, 상기 상위 아날로그 신호(V0)를 생성할 수 있다. 감산기(117)는 제2 모드가 시작되면, 아날로그 신호 형태의 제1 입력 신호(Vin1) 및 디지털-아날로그 변환기(115)에서 출력된 상위 아날로그 신호(V0)를 수신할 수 있다. 감산기(117)는 상기 제1 입력 신호(Vin1)에서 상기 상위 아날로그 신호(V0)를 감산하여 레지듀 신호(RES)를 생성할 수 있다.

[0059] 적분기(121_2)는 레지듀 신호(RES)를 적분하여 제1 오버 샘플링 신호를 생성할 수 있다. 또한, 적분기(121_2)는 레지듀 신호(RES)를 기초로, n회 오버 샘플링 동작을 수행하여 제1 내지 제n 오버 샘플링 신호(OSS)를 생성할 수 있다. 자세한 것은 후술하도록 하겠다. 예를 들어, 상기 적분기(121_2)는 루프 필터(loop filter)일 수 있다. 상기 적분기(121_2)와 도 6a의 증폭기(121_1)는 실질적으로 동일한 구성일 수 있다. 수행되는 모드가 제1 모드 또는 제2 모드인지 여부에 따라 각각 증폭기(121_1) 또는 적분기(121_2)로 작동할 수 있도록 구성될 수 있다. 다만, 이에 한정되는 것은 아니며, 도 6a의 증폭기(121_1) 및 도 6b의 적분기(121_2)는 각각 별도로 아날로그-디지털 변환기(100C) 내부에 형성될 수도 있다.

[0060] 제1 비교기(119)는 제1 내지 제n 오버 샘플링 신호(OSS)와 제2 비교 신호의 크기를 비교하여 제2 비교 결과 신호(CMP2)를 출력할 수 있다. 예를 들어, 제1 비교기(119)는 제1 내지 제n 오버 샘플링 신호(OSS)가 제2 비교 신호보다 크거나 같은 경우 논리 하이 레벨을 갖는 제2 비교 결과 신호(CMP2)를 출력하고, 제1 내지 제n 오버 샘플링 신호(OSS)가 제2 비교 신호보다 작은 경우 논리 로우 레벨을 갖는 제2 비교 결과 신호(CMP2)를 출력할 수 있다. 따라서 제2 비교 결과 신호(CMP2)는 한 비트를 갖는 디지털 신호에 상응할 수 있다.

[0061] 디지털-아날로그 변환기(115)는 제2 비교 결과 신호(CMP2)를 수신하고, 레지스터(111)로부터 상기 상위 비트 값(D0_1)을 수신하여 상기 제2 비교 결과 신호(CMP2) 및 상기 상위 비트 값(D0_1)을 아날로그 신호인 제2 피드백 신호(FBS2)로 변환할 수 있다. 따라서, 디지털-아날로그 변환기(115)는 제2 모드에서 오버 샘플링 횟수가 증가할 때마다 새로운 제2 피드백 신호(FBS2)를 다시 생성하여 감산기(117)로 출력할 수 있다.

- [0062] 감산기(117)는 제1 입력 신호(Vin1)에서 제2 피드백 신호(FBS2)를 감산하여 제2 차이 신호(DIFF2)를 생성할 수 있다. 따라서, 제2 모드에서, 오버 샘플링의 횟수가 증가함에 따라 새로운 제2 피드백 신호(FBS2)가 감산기(117)로 입력되고, 이에 따라 감산기(117)는 새로운 제2 차이 신호(DIFF2)를 생성한다. 적분기(121_2)에서는 새로운 제2 차이 신호(DIFF2)를 적분하여 오버 샘플링의 횟수를 증가시키고, 제2 내지 제n 오버 샘플링 신호를 생성할 수 있다.
- [0063] 디지털 필터(123)는 제2 비교 결과 신호(CMP2)에 기초하여 제1 디지털 신호의 제1 하위 비트 값(D11_1)을 생성할 수 있다. 예를 들어, 디지털 필터(123)는 카운터(counter)를 포함할 수 있다. 디지털 필터(123)는, 상기 디지털 필터(123)에 입력되는 타이밍 신호가 제1 논리 레벨을 갖는 제1 시간 동안 생성되는 제2 비교 결과 신호(CMP2)들을 합산하여, 상기 제1 하위 비트 값(D11_1)의 일부의 비트들을 생성하고, 상기 타이밍 신호가 제2 논리 레벨을 갖는 상기 제2 시간 동안 생성되는 제2 비교 결과 신호(CMP2)들을 상기 제1 하위 비트 값(D11_1)의 다른 일부의 비트들로서 생성함으로써, 상기 제1 하위 비트 값(D11_1)을 생성할 수 있다.
- [0064] 따라서, 제2 모드에서는 상기 상위 비트 값(D0_1)에 대응되는 상위 아날로그 신호(V0)와 상기 제1 입력 신호(Vin)의 차이 값인 레지듀 신호(RES)를 기초로 하여, n회 오버 샘플링하는 동작을 수행하고, n회 오버 샘플링하는 동작을 수행하는 동안에 각각 생성되는 제1 내지 제n 오버 샘플링 신호(OSS)에 상응하는 제1 하위 비트 값(D11_1)을 출력할 수 있다.
- [0065] 도 6c 및 도 7을 참조하면, 싱글-슬롭 아날로그-디지털 변환기(130c)는 도 3의 제2 하위 비트 변환기(130)를 구성할 수 있다. 다만, 본 발명에 이에 한정되는 것은 아니다.
- [0066] 싱글-슬롭 아날로그-디지털 변환기(130c)는 스위칭 부(131), 제2 비교기(133) 및 카운터(135)를 포함할 수 있다.
- [0067] 스위칭 부(131)는 스위치 신호(SW)에 기초하여, 제2 비교기(133)로 입력되는 제n 오버 샘플링 신호(OSSn)를 제어할 수 있다. 상기 제n 오버 샘플링 신호(OSSn)는, 도 6b의 제1 하위 비트 변환기(120c)가 제2 모드에서 n회 오버 샘플링 동작을 수행 한 후, 제1 하위 비트 변환기(120c)의 적분기(121_2)로부터 출력되는 신호이다.
- [0068] 제1 모드 및 제2 모드에서 상기 스위칭 부(131)는 턴-오프되어, 상기 제2 비교기(133)로 상기 제n 오버 샘플링 신호(OSSn)를 전송하지 않을 수 있다., 제3 모드가 시작되면, 상기 스위칭 부(131)는 턴-온되어, 상기 제2 비교기(133)로 상기 제n 오버 샘플링 신호(OSSn)를 전송할 수 있다.
- [0069] 제2 비교기(133)는 상기 제n 오버 샘플링 신호(OSSn) 및 램프 신호(Vramp)를 수신하여, 상기 제n 오버 샘플링 신호(OSSn) 및 상기 램프 신호(Vramp)의 크기를 비교하고 제3 비교 결과 신호(CMP3)를 출력할 수 있다. 예를 들어, 제2 비교기(133)는 상기 제n 오버 샘플링 신호(OSSn)가 상기 램프 신호(Vramp)보다 작은 경우 논리 하이 레벨을 갖는 제3 비교 결과 신호(CMP3)를 출력하고, 상기 제n 오버 샘플링 신호(OSSn)가 상기 램프 신호(Vramp)보다 크거나 같은 경우 논리 로우 레벨을 갖는 제3 비교 결과 신호(CMP3)를 출력할 수 있다.
- [0070] 카운터(135)는 제3 비교 결과 신호(CMP3) 및 카운트 클럭 신호에 기초하여 디지털 신호를 생성할 수 있다. 상기 디지털 신호는 제1 디지털 신호의 제2 하위 비트 값(D12_1)이다. 상기 카운터(135)는 상기 제2 하위 비트 값(D12_1)을 가산기(150)로 출력할 수 있다.
- [0071] 가산기(150)는 제3 모드가 종료되면, 도 6a의 상위 비트 변환기(110_1c), 도 6b의 제1 하위 비트 변환기(120) 및 제2 하위 비트 변환기(130)로부터 각각 수신한 상위 비트 값(D0_1), 제1 하위 비트 값(D11_1) 및 제2 하위 비트 값(D12_1)을 합성하여 제1 디지털 신호를 출력한다. 이 때, 상기 제2 하위 비트 값(D12_1)은 제1 디지털 신호의 LSB를 포함할 수 있다.
- [0072] 다시 도 6c 및 도 7을 참조하면, 제3 모드의 일부를 나타낸 것으로, 제2 비교기(133)가 제n 오버 샘플링 신호(OSSn)의 수신을 완료하면, 스위칭 부(131)는 턴-오프되고, 증폭기/적분기(121)와 싱글-슬롭 아날로그-디지털 변환기(130c)는 전기적으로 연결되지 않을 수 있다. 상기 스위칭 부(131)는 턴-오프된 후에도 싱글-슬롭 아날로그-디지털 변환기(130c)는 아날로그-디지털 변환 동작을 수행할 수 있다.
- [0073] 도 8은 본 개시의 기술적 사상에 의한 실시예에 따른 아날로그-디지털 변환기의 동작을 개념적으로 설명하기 위한 타이밍도이다. 도 6a 내지 도 6c에 도시된 아날로그-디지털 변환기(100C)가 수행하는 동작을 개념적으로 설명하기 위한 것이다.
- [0074] 도 8을 참조하면, 제1 구간(Phase 1)은 본 개시의 일 실시예에 따른 아날로그-디지털 변환기에 제1 입력 신호(Vin1)가 입력되는 구간을 의미하며, 제2 구간(Phase 2)은 상기 아날로그-디지털 변환기에 제2 입력 신호가 입

력되는 구간을 의미한다. 제1 구간(Phase 1)은 제1 시간(t1)부터 제4 시간(t4)까지 진행되며, 제2 구간(Phase 2)은 제4 시간(t4)부터 제7 시간(t7)까지 진행된다. 상기 아날로그-디지털 변환기는 제1 입력 신호(Vin1) 및 제2 입력 신호를 각각 아날로그-디지털 변환하여 제1 디지털 신호 및 제2 디지털 신호를 출력할 수 있다.

[0075] 도 6a 및 도 8을 참조하면, 제1 모드 신호(MODE1)의 논리 레벨이 하이 레벨이 되면, 제1 모드가 실행될 수 있다. 따라서, 제1 구간(Phase 1)에서, 제1 모드 신호(MODE1)의 논리 레벨이 하이 레벨이 되는 제1 시간(t1)부터 제1 모드 신호(MODE1)의 논리 레벨이 로우 레벨이 되는 제2 시간(t2)까지 제1 모드가 실행될 수 있다. 상기 제1 모드가 실행되면, 상위 비트 변환기(110_1c)가 동작하여, 아날로그-디지털 변환기(100C)로 입력되는 제1 입력 신호(Vin1)에 대응하는 제1 디지털 신호의 상위 비트 값(D0_1)을 생성할 수 있다. 상위 비트 데이터(DATA0)는 상위 비트 값(D0_1)을 찾아가는 과정의 디지털 값을 10진수로 표현한 것이다. 따라서, 제1 모드가 종료된 후, 상위 비트 데이터(DATA0)가 갖는 값을 2진수로 표현한 것이 제1 디지털 신호(Dout1)의 상위 비트 값(D0_1)이 될 수 있다.

[0076] 제2 구간(Phase 2)에서, 제1 모드 신호(MODE1)의 논리 레벨이 하이 레벨이 되어 제1 모드가 실행되면, 제4 시간(t4)부터 제5 시간(t5)까지 상위 비트 변환기(110_1c)가 동작할 수 있다. 상기 상위 비트 변환기(110_1)는 아날로그-디지털 변환기(100C)로 입력되는 제2 입력 신호에 대응하는 제2 디지털 신호(Dout2)의 상위 비트 값을 생성할 수 있다. 제1 모드가 종료된 후, 상위 비트 데이터(DATA0)가 갖는 값을 2진수로 표현한 것이 제2 디지털 신호의 상위 비트 값이 될 수 있다.

[0077] 다만, 이에 한정되는 것은 아니며, 제1 모드 신호(MODE1)의 논리 레벨이 로우 레벨이 되면, 제1 모드가 실행되도록 설정할 수 있다.

[0078] 도 6b 및 도 8을 참조하면, 제2 모드 신호(MODE2)의 논리 레벨이 하이 레벨이 되면, 제2 모드가 실행될 수 있다. 따라서, 제1 구간(Phase 1)에서, 제2 시간(t2)부터 제3 시간(t3)까지 제2 모드가 실행될 수 있다. 상기 제2 모드가 실행되면, 제1 하위 비트 변환기(120c)가 동작되어, 아날로그-디지털 변환기(100C)로 입력되는 제1 입력 신호(Vin1)를 아날로그-디지털 변환하여 제1 디지털 신호의 제1 하위 비트 값(D11_1)을 생성할 수 있다. 제1 하위 비트 데이터(DATA1)는 제1 하위 비트 값(D11_1)을 찾아가는 과정의 디지털 값을 10진수로 표현한 것이다. 따라서, 제2 모드가 종료된 후, 제1 하위 비트 데이터(DATA1)가 갖는 값을 2진수로 표현한 것이 제1 디지털 신호(Dout1)의 제1 하위 비트 값(D11_1)이 될 수 있다.

[0079] 제2 구간(Phase 2)에서, 제2 모드 신호(MODE2)의 논리 레벨이 하이 레벨이 되어 제2 모드가 실행되면, 제5 시간(t5)부터 제6 시간(t6)까지 제1 하위 비트 변환기(120c)가 동작할 수 있다. 상기 제1 하위 비트 변환기(120c)는 아날로그-디지털 변환기(100C)로 입력되는 제2 입력 신호를 아날로그-디지털 변환하여 제2 디지털 신호의 제1 하위 비트 값을 생성할 수 있다. 제1 모드가 종료된 후, 제1 하위 비트 데이터(DATA1)가 갖는 값을 2진수로 표현한 것이 제2 디지털 신호의 제1 하위 비트 값이 될 수 있다.

[0080] 또한, 제1 모드 신호(MODE1)의 논리 레벨이 로우 레벨이 되는 시간 및 제2 모드 신호(MODE2)의 논리 레벨이 하이 레벨이 되는 시간이 제2 시간(t2) 및 제5 시간(t5)으로 동일하도록 한정되는 것은 아니다. 제1 모드 신호(MODE1)의 논리 레벨이 로우 레벨이 되는 시간 및 제2 모드 신호(MODE2)의 논리 레벨이 하이 레벨이 되는 시간 사이에 일정한 시간 간격이 존재할 수 있다.

[0081] 도 6c, 도 7 및 도 8을 참조하면, 스위치 신호(SW)의 논리 레벨이 하이 레벨이 되면, 스위칭 부(131)가 턴-온 상태가 될 수 있다. 따라서, 제1 구간(Phase 1)에서, 제3 시간(t3)부터 제4 시간(t4)까지 스위칭 부(131)가 턴-온 상태가 될 수 있다. 제2 비교기(133)로 제n 오버 샘플링 신호(OSSn)가 입력될 수 있다.

[0082] 제4 시간(t4) 이후에는 스위치 신호(SW)의 논리 레벨이 로우 레벨이 되어, 스위칭 부(131)가 턴-오프 상태가 될 수 있다. 따라서, 제2 구간(Phase 2)에서, 제4 시간(t4)에서 제6 시간(t6)까지는, 상기 제2 입력 신호와 관련된 데이터가 싱글-슬롭 아날로그-디지털 변환기(130c)에 입력되지 않는다. 제2 구간(Phase 2)에서, 상기 싱글-슬롭 아날로그-디지털 변환기(130c)는 상기 제1 입력 신호(Vin1)에 대한 아날로그-디지털 변환 동작을 수행할 수 있다.

[0083] 제1 입력 신호(Vin1) 및 제2 입력 신호에 대한 제1 모드, 제2 모드 및 제3 모드의 동작은 순차적으로 이루어질 수 있다.

[0084] 제1 입력 신호(Vin1)에 대한 상기 제3 모드의 동작은, 상기 제2 입력 신호에 대한 제1 모드 및 제2 모드의 동작과 병렬적으로 수행될 수 있다. 즉, 싱글-슬롭 디지털-아날로그 변환기(130c)가 상기 제1 입력 신호(Vin1)에 대한 동작을 하는 구간과 상위 비트 변환기(110_1c) 및 제1 하위 비트 변환기(120c)가 상기 제2 입력 신호에 대한

변환 동작을 수행하는 구간이 서로 오버랩될 수 있다. 따라서, 제1 입력 신호(Vin1) 및 제2 입력 신호에 대한 아날로그-디지털 변환 동작을 병렬적으로 수행하는 파이프 라인(pipe line) 동작이 가능하므로, 일 실시예에 따른 아날로그-디지털 변환기(100C)는 고속 변환 동작이 가능하다.

[0085] 제2 모드 신호(MODE2)의 논리 레벨이 로우 레벨이 되는 시간 및 스위치 신호(SW)의 논리 레벨이 하이 레벨이 되는 시간이 제3 시간(t3) 및 제6 시간(t6)으로 동일하도록 한정되는 것은 아니다. 제2 모드 신호(MODE2)의 논리 레벨이 로우 레벨이 되는 시간 및 스위치 신호(SW)의 논리 레벨이 하이 레벨이 되는 시간 사이에 일정한 시간 간격이 존재할 수 있다.

[0086] 또한, 스위치 신호(SW)의 논리 레벨이 로우 레벨이 되는 시간 및 제1 모드 신호(MODE1)의 논리 레벨이 하이 레벨이 되는 시간이 제4 시간(t4) 및 제7 시간(t7)으로 동일하도록 한정되는 것은 아니다. 스위치 신호(SW)의 논리 레벨이 로우 레벨이 되는 시간 및 제1 모드 신호(MODE1)의 논리 레벨이 하이 레벨이 되는 시간 사이에 일정한 시간 간격이 존재할 수 있다.

[0087] 도 9는 본 발명의 일 실시예에 따른 이미지 센서를 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.

[0088] 도 9를 참조하면, 컴퓨팅 시스템(1300)은 이미지 센서(1310), 프로세서(1320), 저장 장치(1330), 메모리 장치(1340), 입출력 장치(1350) 그리고 디스플레이 장치(1360)를 포함한다. 도 9에는 도시되어 있지 않지만, 컴퓨팅 시스템(1300)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 포트들을 더 포함할 수 있다.

[0089] 이미지 센서(1310)는 입사광에 상응하는 영상 데이터를 생성한다. 디스플레이 장치(1360)는 영상 데이터를 표시한다. 저장 장치(1330)는 영상 데이터를 저장한다. 프로세서(1320)는 이미지 센서(1310), 디스플레이 장치(1360) 및 저장 장치(1330)의 동작을 제어한다.

[0090] 프로세서(1320)는 특정 계산들 또는 태스크들(tasks)을 수행할 수 있다. 실시예에 따라, 프로세서(1320)는 어드레스 버스, 제어 버스 및 데이터 버스를 통하여 저장 장치(1330), 메모리 장치(1340) 및 입출력 장치(1350)에 연결되어 통신을 수행할 수 있다. 실시예에 따라, 프로세서(1320)는 PCI (Peripheral Component Interconnect) 버스와 같은 확장 버스에도 연결될 수 있다.

[0091] 저장 장치(1330)는 플래시 메모리 장치(flash memory device), 솔리드 스테이트 드라이브(Solid State Drive: SSD), 하드 디스크 드라이브(Hard Disk Drive: HDD), 씨디롬(CD-ROM) 및 다양한 형태의 비휘발성 메모리 장치 등을 포함할 수 있다.

[0092] 메모리 장치(1340)는 컴퓨팅 시스템(1300)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(1340)는 DRAM (Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등과 같은 휘발성 메모리 장치 및 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory) 및 플래시 메모리 장치 등과 같은 비휘발성 메모리 장치를 포함할 수 있다.

[0093] 입출력 장치(1350)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터, 디스플레이 등과 같은 출력 수단을 포함할 수 있다.

[0094] 이미지 센서(1310)는 도 1에 도시된 이미지 센서(1000)로 구현될 수 있다. 도 1의 이미지 센서(1000)는 도 2에 도시된 아날로그-디지털 변환기(100A), 도 3에 도시된 아날로그-디지털 변환기(100B) 또는 도 6a 내지 도 6c에 도시된 아날로그-디지털 변환기(100C)를 포함할 수 있다.

[0095] 이미지 센서(1310)는 다양한 형태의 패키지로 구현될 수 있다. 예를 들어, 이미지 센서(1310)의 적어도 일부의 구성들은 PoP(Package On Package), BGA(Ball Grid Arrays), CSP(Chip Scale Package), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-line Package), Die in Wafer Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(CERamic Dual In-line Package), MQFP(Metric Quad Flat Package), TQFP(Thin Quad FlatPack), Small Outline(SOIC), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-level processed Stack Package) 등과 같은 패키지를 이용하여 실장될 수 있다.

[0096] 실시예에 따라서, 이미지 센서(1310)는 프로세서(1320)와 함께 하나의 칩에 집적될 수도 있고, 서로 다른 칩에 각각 집적될 수도 있다.

[0097] 상술한 컴퓨팅 시스템(1300)은 이미지 센서(1310)를 이용하는 다양한 종류의 컴퓨팅 시스템으로 해석되어야 할

것이다. 예를 들어, 컴퓨팅 시스템(1300)은 디지털 카메라, 이동 전화기, PDA(Personal Digital Assistants), PMP(Portable Multimedia Player), 스마트폰 등을 포함할 수 있다.

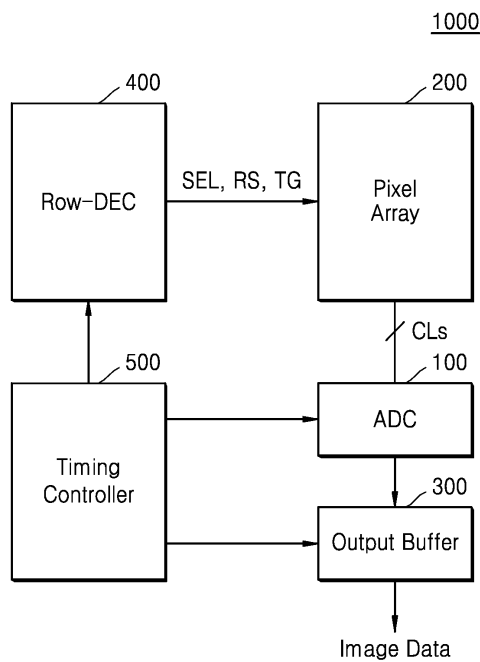
[0098] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형 및 변경이 가능하다.

부호의 설명

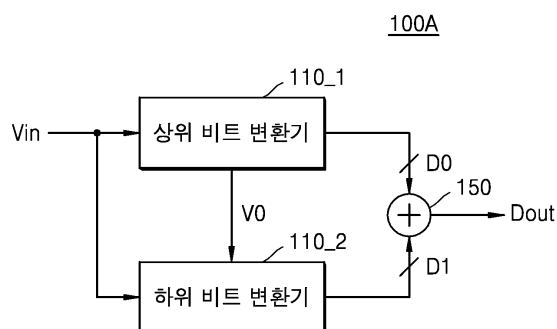
[0099] 110_1: 상위 비트 변환기 120: 제1 하위 비트 변환기
130: 제2 하위 비트 변환기 150: 가산기
111: 레지스터 113: 연속적 근사 레지스터 논리 블록, 115: 디지털-아날로그 변환기 117: 감산기 119: 제1 비교기 증폭기 121: 증폭기/적분기 123: 디지털 필터
130c: 싱글-슬롭 아날로그-디지털 변환기
131: 스위칭 부 131: 제2 비교기 135: 카운터

도면

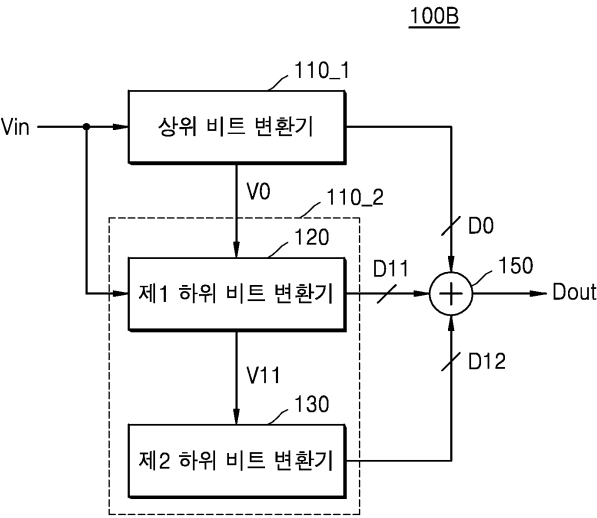
도면1



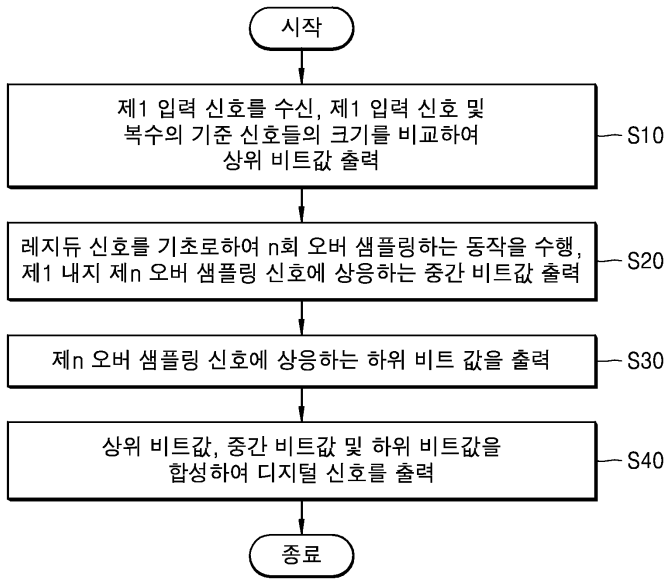
도면2



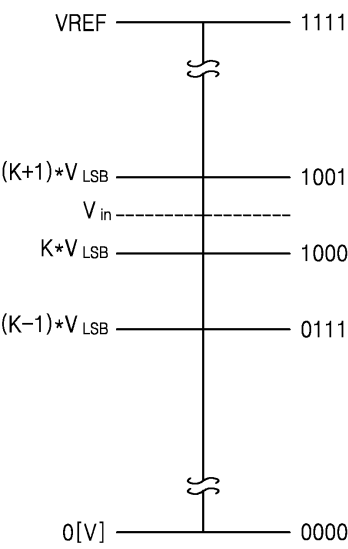
도면3



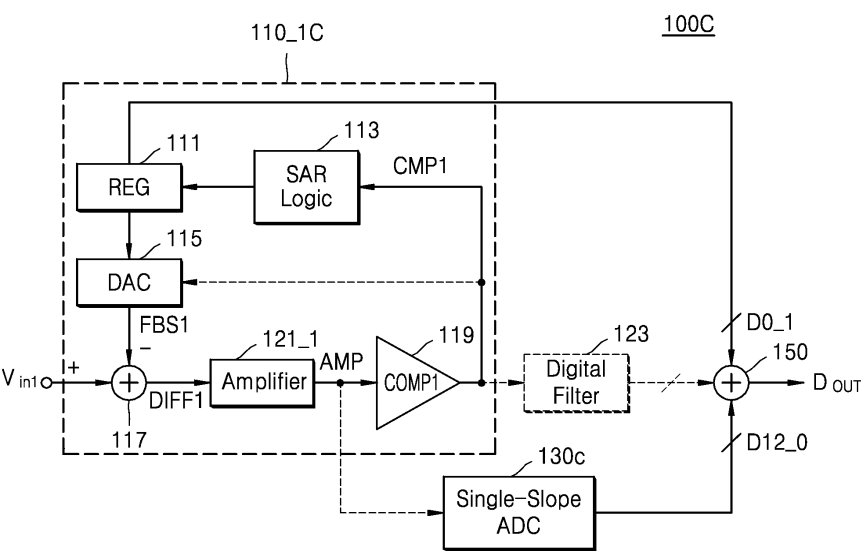
도면4



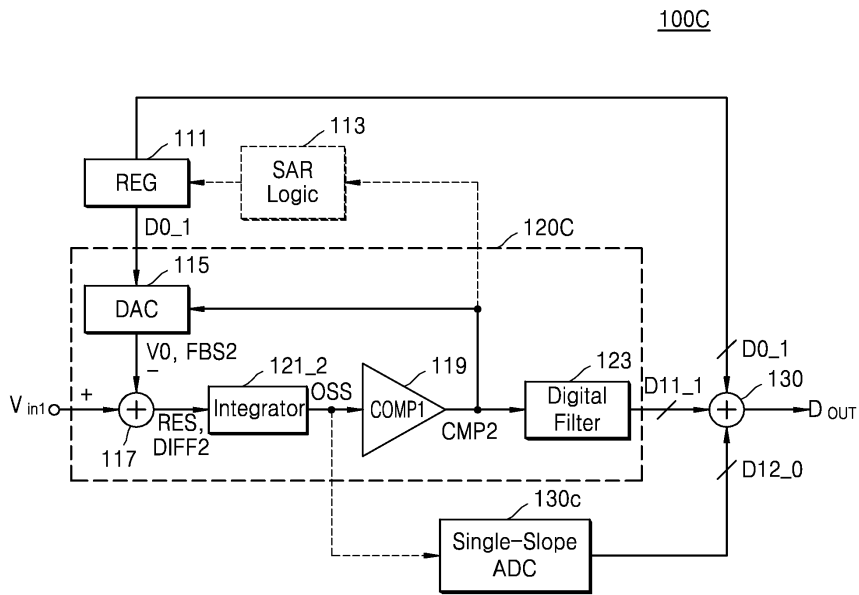
도면5



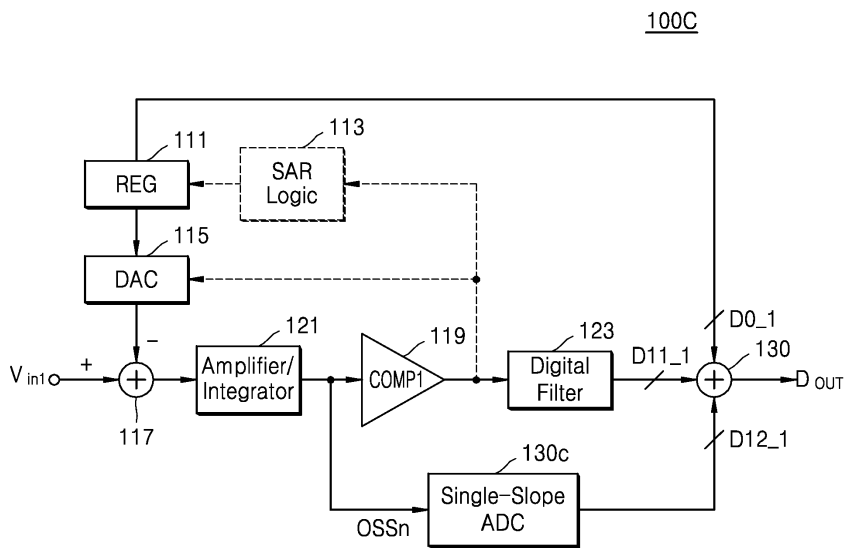
도면6a



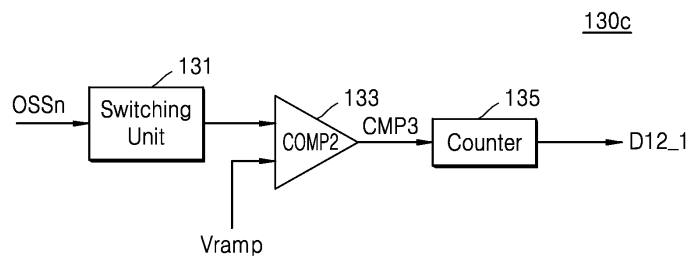
도면6b



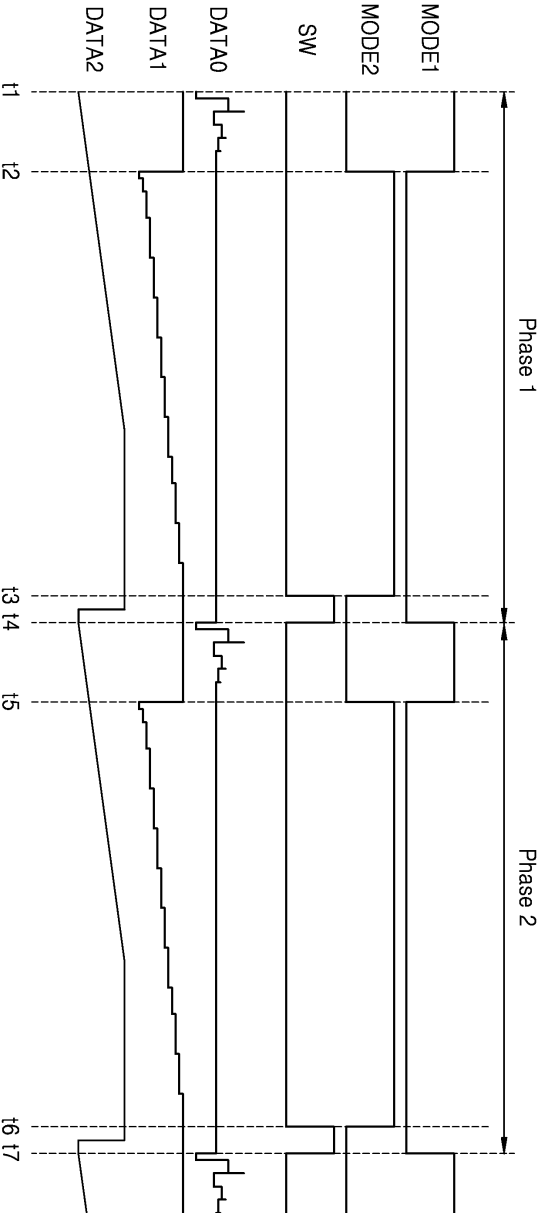
도면6c



도면7



도면8



도면9

