



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월13일
(11) 등록번호 10-2554466
(24) 등록일자 2023년07월06일

(51) 국제특허분류(Int. Cl.)
H10K 10/00 (2023.01) H10K 10/80 (2023.01)
H10K 99/00 (2023.01)
(52) CPC특허분류
H10K 10/486 (2023.02)
H10K 10/466 (2023.02)
(21) 출원번호 10-2021-0086638
(22) 출원일자 2021년07월01일
심사청구일자 2021년07월01일
(65) 공개번호 10-2023-0006686
(43) 공개일자 2023년01월11일
(56) 선행기술조사문헌
KR101933771 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
성균관대학교산학협력단
경기도 수원시 장안구 서부로 2066 (천천동, 성균관대학교내)
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
강주훈
경기도 수원시 장안구 서부로 2066, 제2공학관 25119호 (천천동, 성균관대학교)
조정호
서울시 서대문구 연세로 50
(74) 대리인
한상수

전체 청구항 수 : 총 10 항

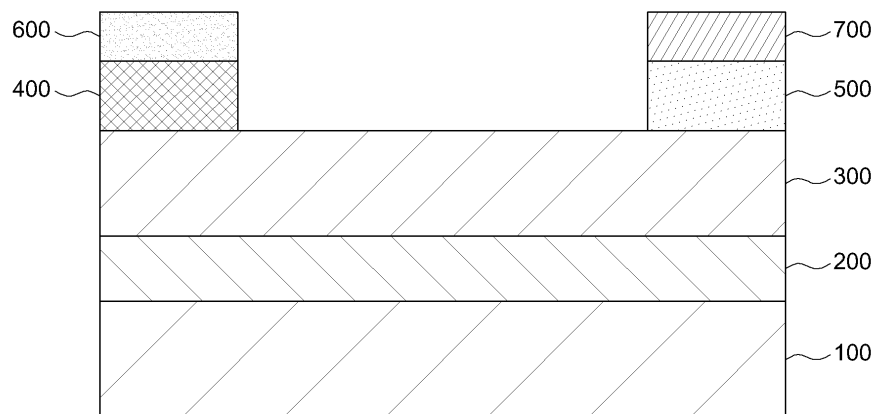
심사관 : 정미나

(54) 발명의 명칭 다진법 연산을 위한 이중 반도체 접합 전자소자 및 제조방법

(57) 요약

본 발명의 일실시예는 기판, 상기 기판상에 위치하는 부도체층, 상기 부도체층 상에 위치하여 수평으로 전자 이동 채널 역할을 하는 제1반도체층, 상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이중 접합을 이루는 제2반도체층, 상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이중 접합을 이루며 상기 제2반도체층과 이격되어 위치하는 제3반도체층, 상기 제2반도체층 상에 위치하는 소스 전극 및 상기 제3반도체층 상에 위치하는 드레인 전극을 포함하는 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자를 제공한다.

대표도 - 도1



(52) CPC특허분류

H10K 10/82 (2023.02)

H10K 85/10 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711114180
과제번호	2020R1C1C1009381
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신진연구 1/3
연구과제명	[통합EZ]차세대 근적외선 발광소재 합성 및 화학적/구조적 정밀 제어를 통한 C-band 레이저 구현
기 여 율	1/4
과제수행기관명	성균관대학교(자연과학캠퍼스)
연구기간	2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711104279
과제번호	2019M3D1A1078299
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리사업
연구과제명	공유결합성 인공원자 합성 및 응용
기 여 율	1/4
과제수행기관명	성균관대학교 산학협력단
연구기간	2021.01.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711107517
과제번호	2020R1A2C200781912
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구
연구과제명	광 감지 및 기억이 가능한 하이브리드 소자 기반 파장 선택적 광전자 컴퓨팅 시스템 개발
기 여 율	1/4
과제수행기관명	연세대학교 산학협력단
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1415167165
과제번호	20006537
부처명	산업통상자원부(P21)
과제관리(전문)기관명	한국산업기술평가관리원(ABX2955)
연구사업명	소재부품산업미래성장동력(R&D)(211260110117XXXXXXX028)
연구과제명	플렉시블 OLED 디스플레이용 산화물 TFT를 위한 고품성 습식 절연소재 및 공정기술 개발
기 여 율	1/4
과제수행기관명	(주)코맥
연구기간	2020.01.01 ~ 2020.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

기관;

상기 기관상에 위치하는 부도체층;

상기 부도체층 상에 위치하여 수평으로 전자 이동 채널 역할을 하는 제1반도체층;

상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이종 접합을 이루는 제2반도체층;

상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이종 접합을 이루며 상기 제2반도체층과 이격되어 위치하는 제3반도체층;

상기 제2반도체층 상에 위치하는 소스 전극; 및

상기 제3반도체층 상에 위치하는 드레인 전극을 포함하고,

상기 제1반도체층의 일함수가 제2반도체층 및 제3반도체층의 일함수보다 작은 것을 특징으로 하는 다진법 연산을 위한 이종 반도체 접합 전자소자.

청구항 2

제1항에 있어서,

상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층은 n형 반도체를 포함하는 것을 특징으로 하는 다진법 연산을 위한 이종 반도체 접합 전자소자.

청구항 3

기관;

상기 기관상에 위치하는 부도체층;

상기 부도체층 상에 위치하여 수평으로 전자 이동 채널 역할을 하는 제1반도체층;

상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이종 접합을 이루는 제2반도체층;

상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이종 접합을 이루며 상기 제2반도체층과 이격되어 위치하는 제3반도체층;

상기 제2반도체층 상에 위치하는 소스 전극; 및

상기 제3반도체층 상에 위치하는 드레인 전극을 포함하고,

상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제1스테이트;

상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층의 작동전압 이상이고 제2반도체층 및 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제2스테이트; 및

상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 이상일 때 흐르는 전류 및 전압 상태를 나타내는 제3스테이트가 구분되어 나타나는 것을 특징으로 하는 다진법 연산을 위한 이종 반도체 접합 전자소자.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제1반도체층은 IGZO(Indium-Gallium-Zinc-Oxide)를 포함하는 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자.

청구항 6

기관;

상기 기관상에 위치하는 부도체층;

상기 부도체층 상에 위치하여 수평으로 전자 이동 채널 역할을 하는 제1반도체층;

상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이중 접합을 이루는 제2반도체층;

상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이중 접합을 이루며 상기 제2반도체층과 이격되어 위치하는 제3반도체층;

상기 제2반도체층 상에 위치하는 소스 전극; 및

상기 제3반도체층 상에 위치하는 드레인 전극을 포함하고,

상기 제2반도체층 및 제3반도체층은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함하는 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자.

청구항 7

기관상에 부도체층을 형성하는 부도체층 형성단계;

상기 부도체층 상에 제1반도체층을 형성하는 제1반도체층 형성단계;

상기 제1반도체층 상에 제2반도체층을 형성하는 제2반도체층 형성단계;

상기 제1반도체층 상에 제3반도체층을 형성하는 제3반도체층 형성단계;

상기 제2반도체층 상에 소스 전극을 형성하는 소스 전극 형성단계; 및

상기 제3반도체층 상에 드레인 전극을 형성하는 드레인 전극 형성단계를 포함하여 웨이퍼 크기로 대량 생산이 가능하고,

상기 제1반도체층의 일함수가 제2반도체층 및 제3반도체층의 일함수보다 작은 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법.

청구항 8

제7항에 있어서,

상기 제1반도체층 내지 제3반도체층은 n형 반도체를 포함하는 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법.

청구항 9

기관상에 부도체층을 형성하는 부도체층 형성단계;

상기 부도체층 상에 제1반도체층을 형성하는 제1반도체층 형성단계;

상기 제1반도체층 상에 제2반도체층을 형성하는 제2반도체층 형성단계;

상기 제1반도체층 상에 제3반도체층을 형성하는 제3반도체층 형성단계;

상기 제2반도체층 상에 소스 전극을 형성하는 소스 전극 형성단계; 및

상기 제3반도체층 상에 드레인 전극을 형성하는 드레인 전극 형성단계를 포함하여 웨이퍼 크기로 대량 생산이 가능하고,

상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제1스테이트;

상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층의 작동전압 이상이고 제2반도체층 및 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제2스테이트; 및

상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 이상일 때 흐르는 전류 및 전압 상태를 나타내는 제3스테이트가 구분되어 나타나는 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법.

청구항 10

삭제

청구항 11

제7항에 있어서,

상기 제1반도체층은 IGZO(Indium-Gallium-Zinc-Oxide)를 포함하는 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법.

청구항 12

기판상에 부도체층을 형성하는 부도체층 형성단계;

상기 부도체층 상에 제1반도체층을 형성하는 제1반도체층 형성단계;

상기 제1반도체층 상에 제2반도체층을 형성하는 제2반도체층 형성단계;

상기 제1반도체층 상에 제3반도체층을 형성하는 제3반도체층 형성단계;

상기 제2반도체층 상에 소스 전극을 형성하는 소스 전극 형성단계; 및

상기 제3반도체층 상에 드레인 전극을 형성하는 드레인 전극 형성단계를 포함하여 웨이퍼 크기로 대량 생산이 가능하고,

상기 제2반도체층 및 제3반도체층은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함하는 것을 특징으로 하는 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 다진법 연산 소자에 관한 것으로, 더욱 상세하게는 반도체 이중 접합 구조를 통해 3진법 이상의 연산이 가능한 전자소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 전자소자의 고도화 및 소형화에 따라 무어의 법칙(Moore's law)은 점차 포화상태에 이르고 있다. 소자의 크기 감소에 따른 집적도 향상이 점차 한계에 다다르고 있으며 이에 단위 소자 면적에서 연산 효율을 높이고 전력을 감소시킬 수 있는 다진법 연산 소자에 대한 연구가 주목을 받고 있다.

[0003] 구체적으로 0과 1을 사용하는 기존의 2진법 논리회로를 기반으로 하는 컴퓨터는 대용량 정보처리를 위해 수많은 소자와 도선이 집적되어야 하며, 이로 인해 전력 소모와 발열이 굉장히 크다. 반면, 3진법 이상을 이해할 수 있는 다진법 논리회로 소자를 컴퓨팅 기술에 활용하면, 2진법 논리회로에 사용된 2진법 소자 대비 절반 이하의 소자 개수만으로도 동일한 양의 정보처리가 가능하며, 절반 이하의 소비전력으로 수행할 수 있어, 미래 폭증하는 정보의 연산, 저장, 전달을 수행하기 위한 초절전 그리고 초고성능 정보처리 소자의 요구에 대응할 수 있다.

[0004] 이러한 다진법 연산소자 구현을 위한 종래 시도로 나노 소재 기반의 연구가 진행되어 왔으나 실제 산업에 응용 가능한 수준에 미치지 못하였으며, 불안정한 물성을 제어할 필요가 있었다. 이에 물성에 기여하는 전하를 보다 효율적으로 제어하기 위하여 양자점을 활용하는 방식이 소개되었으나 하지만 복잡한 공정이 해결해야 할 한계점

으로 나타났다. 2020년 터널링 현상을 기반으로 한 대면적 다진법 소자 구현에 성공하였으나 아직 복잡한 공정 및 소자 구조를 요구하는 단계이다. 따라서 대면적 생산이 가능하고 공정 방법이 상용화에 타당한 수준인 다진법 연산 소자 구현에 대한 필요성이 계속되고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) (특허) 대한민국 등록특허 제10-2149971호

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 반도체 이중 접합 구조를 포함하여 3진법 이상의 연산이 가능한 다진법 연산을 위한 이중 반도체 접합 전자소자를 제공하는 것이다.

[0007] 또한, 그 제조방법을 제공하는 것이다.

[0008] 본 발명이 이루고자 하는 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예는 다진법 연산을 위한 이중 반도체 접합 전자소자를 제공한다.

[0010] 본 발명의 실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자는 기판, 상기 기판상에 위치하는 부도체층, 상기 부도체층 상에 위치하여 수평으로 전자 이동 채널 역할을 하는 제1반도체층, 상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이중 접합을 이루는 제2반도체층, 상기 제1반도체층 상에 위치하여 상기 제1반도체층과 이중 접합을 이루며 상기 제2반도체층과 이격되어 위치하는 제3반도체층, 상기 제2반도체층 상에 위치하는 소스 전극, 및 상기 제3반도체층 상에 위치하는 드레인 전극을 포함할 수 있다.

[0011] 이때, 상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층은 n형 반도체를 포함할 수 있다.

[0012] 또한, 상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제1스테이트; 상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층의 작동전압 이상이고 제2반도체층 및 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제2스테이트; 및 상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 이상일 때 흐르는 전류 및 전압 상태를 나타내는 제3스테이트가 구분되어 나타나는 것을 특징으로 할 수 있다.

[0013] 또한, 상기 제1반도체층의 일함수가 제2반도체층 및 제3반도체층의 일함수보다 작은 것을 특징으로 할 수 있다.

[0014] 또한, 상기 제1반도체층은 IGZO(Indium-Gallium-Zinc-Oxide)를 포함하는 것을 특징으로 할 수 있다.

[0015] 또한, 상기 제2반도체층 및 제3반도체층은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함하는 것을 특징으로 할 수 있다.

[0016] 다음으로 상기 기술적 과제를 달성하기 위하여, 본 발명의 또 다른 일 실시예는 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법을 제공한다.

[0017] 본 발명의 실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법은 기판상에 부도체층을 형성하는 부도체층 형성단계; 상기 부도체층 상에 제1반도체층을 형성하는 제1반도체층 형성단계; 상기 제1반도체층 상에 제2반도체층을 형성하는 제2반도체층 형성단계; 상기 제1반도체층 상에 제3반도체층을 형성하는 제3반도체층 형성단계; 상기 제2반도체층 상에 소스 전극을 형성하는 소스 전극 형성단계; 및 상기 제3반도체층 상에 드레인 전극을 형성하는 드레인 전극 형성단계를 포함할 수 있으며 이러한 경우 웨이퍼 크기로 대량 생산이 가능하다.

- [0018] 이때, 상기 제1반도체층 내지 제3반도체층은 n형 반도체를 포함할 수 있다.
- [0019] 또한, 상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제1스테이트; 상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층의 작동전압 이상이고 제2반도체층 및 제3반도체층의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제2스테이트; 및 상기 부도체층을 통해 인가되는 전압이 상기 제1반도체층 내지 상기 제3반도체층의 작동전압 이상일 때 흐르는 전류 및 전압 상태를 나타내는 제3스테이트가 구분되어 나타나는 것을 특징으로 할 수 있다.
- [0020] 또한, 상기 제1반도체층의 일함수가 제2반도체층 및 제3반도체층의 일함수보다 작은 것을 특징으로 할 수 있다.
- [0021] 또한, 상기 제1반도체층은 IGZO(Indium-Gallium-Zinc-Oxide)를 포함하는 것을 특징으로 할 수 있다.
- [0022] 또한, 상기 제2반도체층 및 제3반도체층은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함하는 것을 특징으로 할 수 있다.

발명의 효과

- [0023] 본 발명의 실시예에 따르면, 3진법 이상의 연산이 가능한 연산 소자의 구현이 가능하며 구체적으로 본 발명의 실시예에 따르면 기존의 반도체 소자 제작 과정을 그대로 유지하면서 다진법 연산이라는 새로운 물성을 구현할 수 있으며 또한 용액 공정을 기반으로 하여 반도체 소자의 대면적화 및 저비용 고효율 소자 구현을 할 수 있다.
- [0024] 본 발명의 효과는 상기한 효과로 한정되는 것은 아니며, 본 발명의 상세한 설명 또는 특허청구범위에 기재된 발명의 구성으로부터 추론 가능한 모든 효과를 포함하는 것으로 이해되어야 한다.

도면의 간단한 설명

- [0025] 도1은 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 구조를 도식화한 단면도이다.
- 도2는 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 제조방법을 나타낸 순서도이다.
- 도3은 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 제조예를 도식화한 이미지이다.
- 도4는 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 부도체층에 게이트 전압(Vg)인가에 따른 드레인 전류 측정 실험 그래프이다.
- 도5는 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 부도체층에 게이트 전압(Vg)인가에 따른 전압 측정 실험 그래프이다.
- 도6 및 도7은 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 부도체층에 게이트 전압(Vg)을 제어(도6)하는 것을 나타낸 그래프 및 그에 따른 출력 전압 측정(도7)값을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하에서는 첨부한 도면을 참조하여 본 발명을 설명하기로 한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 따라서 여기에서 설명하는 실시예로 한정되는 것은 아니다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0027] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결(접속, 접촉, 결합)"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 부재를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 구비할 수 있다는 것을 의미한다.
- [0028] 본 명세서에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 이하 첨부된 도면을 참고하여 본 발명의 실시예를 상세히 설명하기로 한다.

- [0030] 도1을 참조하여 구조에 대해 살펴보면 본 발명의 일 실시예에 따른 다진법 연산을 위한 이중 반도체 접합 전자 소자는 기판; 상기 기판(100)상에 위치하는 부도체층(200); 상기 부도체층(200) 상에 위치하여 수평으로 전자 이동 채널 역할을 하는 제1반도체층(300); 상기 제1반도체층(300) 상에 위치하여 상기 제1반도체층(300)과 이중 접합을 이루는 제2반도체층(400); 상기 제1반도체층(300) 상에 위치하여 상기 제1반도체층(300)과 이중 접합을 이루며 상기 제2반도체층(400)과 이격되어 위치하는 제3반도체층(500); 상기 제2반도체층(400) 상에 위치하는 소스 전극(600); 및 상기 제3반도체층(500) 상에 위치하는 드레인 전극(700)을 포함하는 것을 특징으로 한다.
- [0031] 이때, 상기 제1반도체층(300), 상기 제2반도체층(400) 및 상기 제3반도체층(500)은 n형 반도체를 포함할 수 있다.
- [0032] 또한, 상기 제1반도체층(300)의 일함수가 제2반도체층(400) 및 제3반도체층(500)의 일함수보다 작은 것을 포함할 수 있다.
- [0033] 또한, 상기 제1반도체층(300)은 IGZO(Indium-Gallium-Zinc-Oxide)를 포함할 수 있다.
- [0034] 또한, 상기 제2반도체층(400) 및 제3반도체층(500)은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함할 수 있다.
- [0035] 위와 같은 구조를 가지는 다진법 연산을 위한 이중 반도체 접합 전자소자를 이하 구체적으로 살펴본다.
- [0036] 상기 기판(100)은 반도체 소자에 있어서 통상적으로 사용되는 기판(100)을 의미하며 silicon을 포함하여 반도체 소자의 기판(100)으로 통상적으로 사용될 수 있는 물질로 구성된 기판(100)을 의미한다. 기판(100)은 상기 부도체층(200) 하단에 위치하며 본 발명인 다진법 연산을 위한 이중 반도체 접합 전자소자의 지지 및 기초가 된다.
- [0037] 다음으로 상기 부도체층(200)은 상기 기판(100) 상에 위치하며 기판(100) 상에 도핑 되어 형성된다. 다만 이에 제한되는 것은 아니다. Silicon 기판(100)을 사용하는 경우 부도체층(200) 물질로 SiO₂가 깊게 도핑(heavily doped) 되는 것을 포함하며 다만 이에 제한되는 것은 아니다. 상기 부도체층(200)에 게이트 전압(V_g)이 인가되며, 인가되는 게이트 전압(V_g)을 조절하여 상기 부도체층(200)과 제1반도체층(300) 간의 계면 준위(Surface potentials) 및 상기 제1반도체층(300) 내지 제3반도체층(500) 간의 계면 준위를 제어하는 역할을 한다.
- [0038] 다음으로 상기 제1반도체층(300)은 상기 부도체층(200) 상에 위치하며 상기 제1반도체층(300)은 상기 제2반도체층(400) 및 상기 제3반도체층(500)과 이중 접합을 이루고 있다.
- [0039] 상기 제1반도체층(300) 형성 방법은 스핀 코팅(Spin coating)을 포함하며 다만 이에 제한되지 않고 반도체층 형성을 위해 당업자가 통상적으로 이용할 수 있는 방법으로 형성되는 것을 포함한다.
- [0040] 이때 상기 제1반도체층(300)은 n형 반도체가 도핑된 것을 특징으로 한다. 상기 제1반도체층(300)을 구성하는 물질은 상기 제2반도체층(400) 및 상기 제3반도체층(500)을 구성하는 물질과의 관계를 고려하여 선택되며 하기 제2반도체층(400)과 관련하여 설명할 것과 같이 상기 제2반도체층(400) 및 상기 제3반도체층(500)과 전자친화도 값의 차이가 큰 물질로 구성되는 것을 포함한다. 또한, 상기 제1반도체층(300)의 일함수는 상기 제2반도체층(400) 및 상기 제3반도체층(500)의 일함수보다 작게 구성되어야 한다. 상기 제1반도체층(300)의 일함수가 상기 제2반도체층(400) 및 상기 제3반도체층(500)의 일함수보다 큰 경우에는 연산을 위한 제1스테이트 내지 제3스테이트의 구별이 불가하거나 명확하지 않게 된다. 구체적인 물질로 상기 제1반도체층(300)은 IGZO(Indium-Gallium-Zinc-Oxide)를 포함할 수 있다. 다만 이에 제한되는 것은 아니며 상기 설명한 바와 같이 상기 제2반도체층(400) 및 상기 제3반도체층(500)과 전자친화도 값의 차이가 큰 물질이라면 모두 포함될 수 있다.
- [0041] 상기 제1반도체층(300)과 상기 제2반도체층(400) 그리고 상기 제1반도체층(300)과 상기 제3반도체층(500) 각각 간의 전자친화도 값의 차이가 크면 클수록 하기 설명할 것과 같이 연산소자로서 게이트 전압(V_g) 조절에 따른 전류 및 전압의 출력값(output current or output voltage)의 스테이트가 확연하게 구분될 수 있다. 3진법 연산소자로서 구동하기 위해 요구되는 구체적인 전자친화도의 차이값은 상기 제1반도체층(300) 내지 상기 제3반도체층(500)을 구성하는 물질에 따라 달라지는 값이다.
- [0042] 또한, 상기 제1반도체층(300)은 상기 부도체층(200) 상에 위치하여 수평으로 전자 이동 채널 역할을 한다. 구체적으로 상기 소스 전극(600)과 상기 드레인 전극(700) 간에 전류의 흐름을 가능하게 하는 역할을 한다.
- [0043] 다음으로 상기 제2반도체층(400)에 대하여 설명한다. 상기 제2반도체층(400)은 상기 제1반도체층(300) 상에 위치하며 상기 소스 전극(600) 아래에 위치한다. 상기 제2반도체층(400)은 상기 제1반도체층(300)과 이중 접합(Hetero-Junction)을 이루며 스핀 코팅(Spin coating)을 포함하여 반도체 소자 형성에서 통상적으로 사용될 수

있는 방법으로 형성되는 것을 포함한다.

[0044] 상기 제2반도체층(400)은 n형 반도체로 구성되며, 상기 제1반도체층(300) 보다 일함수가 크게 구성되어야 하며, 상기 제1반도체층(300)과 전자친화도 값이 차이가 나도록 구성되어야 한다. 본 발명은 상기 제1반도체층(300)과 일정 값이 상의 전자친화도 차이가 나는 n형 반도체로 제2반도체층(400)을 구성하여 상기 제1반도체층(300)과 상기 제2반도체층(400)에 인가된 전압의 제어에 따라 전류의 흐름이 확인하게 차이가 나도록 하여 3진법 이상의 연산 소자로서 기능이 가능하도록 하였다. 구체적으로 상기 제2반도체층(400)을 구성하는 물질은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함할 수 있으며 다만 이에 제한되지 않고 상기 언급한 바와 같이 상기 제1반도체층(300) 보다 일함수가 크며 전자친화도가 값의 차이가 큰 n형 반도체에 해당하는 물질을 모두 포함할 수 있다.

[0045] 다음으로 상기 제3반도체층(500)에 대하여 설명한다. 상기 제3반도체층(500)은 상기 제1반도체층(300) 상에 위치하며 상기 드레인 전극(700) 아래에 위치한다. 상기 제3반도체층(500)은 상기 제1반도체층(300)과 이종 접합(Hetero-Junction)을 이루며 상기 제2반도체층(400)과는 이격되어 위치하는 것을 특징으로 한다. 상기 제3반도체층(500)과 상기 제2반도체층(400)이 이격되지 않고 형성되는 경우에는 채널층이 형성되어 본 발명인 목적인 출력값(output current or output voltage)이 구분되어 나타나는 연산소자로서 기능할 수 없다. 따라서 상기 제2반도체층(400)과 상기 제3반도체층(500)이 이격되어 위치하는 것이 본 발명이 3진법 이상의 연산 기능을 하기 위한 기본 구조이다. 상기 제3반도체층(500)은 스핀 코팅(Spin coating)을 포함하여 반도체 소자 형성에서 통상적으로 사용될 수 있는 방법으로 형성되는 것을 포함한다.

[0046] 상기 제3반도체층(500)은 n형 반도체로 구성되며, 상기 제1반도체층(300) 보다 일함수가 크게 구성되어야 하며, 상기 제1반도체층(300)과 전자친화도 값의 차이가 크도록 구성되어야 한다. 본 발명은 상기 제1반도체층(300)과 일정 값이 상의 전자친화도 차이가 나는 n형 반도체로 제3반도체층(500)을 구성하여 상기 제1반도체층(300)과 상기 제3반도체층(500)에 인가된 전압의 제어에 따라 전류의 흐름이 확인하게 차이가 나도록 하여 3진법 이상의 연산 소자로서 기능이 가능하도록 하였다. 구체적으로 상기 제3반도체층(500)을 구성하는 물질은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함할 수 있으며 다만 이에 제한되지 않고 상기 언급한 바와 같이 상기 제1반도체층(300) 보다 일함수가 크며 전자친화도 값의 차이가 큰 n형 반도체에 해당하는 물질을 모두 포함할 수 있다.

[0047] 다음으로 상기 소스 전극(600) 및 상기 드레인 전극(700)에 대하여 설명한다. 상기 소스 전극(600)은 제2반도체층(400) 상에 위치하며 상기 드레인 전극(700)은 제3반도체층(500) 상에 위치한다. 통상적으로 반도체 소자에 사용되는 소스 전극(600) 및 드레인 전극(700) 기능을 하며 스핀 코팅(Spin Coating)을 포함하여 담당자에게 통상적으로 사용될 수 있는 방법으로 형성된다. 또한, 구성 물질로 Aluminum을 포함할 수 있으며 다만 이에 제한되지 않고 통상적으로 사용될 수 있는 전극 물질로 구성되는 것을 포함한다. 기능 또한 트랜지스터를 포함하여 반도체 소자의 통상적인 소스 전극(600) 및 드레인 전극(700)이 가지는 기능을 포함하는 것을 의미한다.

[0048] 다음으로 본 발명이 연산소자로 기능하는 방식을 설명하면, 본 발명의 일 실시예에 따른 다진법 연산을 위한 이종 반도체 접합 전자소자는 상기 부도체층(200)을 통해 인가되는 전압이 상기 제1반도체층(300) 내지 상기 제3반도체층(500)의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제1스테이트; 상기 부도체층(200)을 통해 인가되는 전압이 상기 제1반도체층(300)의 작동전압 이상이고 제2반도체층(400) 및 제3반도체층(500)의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제2스테이트; 및 상기 부도체층(200)을 통해 인가되는 전압이 상기 제1반도체층(300) 내지 상기 제3반도체층(500)의 작동전압 이상일 때 흐르는 전류 및 전압 상태를 나타내는 제3스테이트가 구분되어 나타나는 것을 특징으로 한다.

[0049] 구체적으로 이하 설명하면 상기 언급한 바와 같이 상기 제1반도체층(300) 내지 상기 제3반도체층(500)을 구성하는 경우 상기 부도체층(200)에 인가되는 게이트 전압(Vg) 제어에 따라 순차적으로 출력값(output current or output voltage)이 확인하게 구분되어 나타난다. 상기 제1스테이트에서는 상기 소스 전극(600), 상기 제2반도체층(400), 상기 제1반도체층(300), 상기 제3반도체층(500) 및 상기 드레인 전극(700)을 통해 흐르는 전류는 상기 제1반도체층(300) 내지 상기 제3반도체층(500) 간의 에너지 밴드갭 차이로 전자 터널링(electron tunneling effect)에 의해 발생하는 미세한 전류만이 측정되는 상태이다. 다음으로 상기 제2스테이트에서는 상기 제2반도체층(400) 및 상기 제3반도체층(500)을 통해서는 여전히 전자 터널링에 의해 전류가 흐르나 상기 제1반도체층(300)을 통해서는 상기 제1반도체층(300)과 상기 제2반도체층(400) 및 상기 제1반도체층(300)과 상기 제3반도체층(500) 간의 에너지 밴드갭 차이 이상의 전압 인가로 인한 전류 흐름이 형성되며 상기 제1스테이트와 확연히 구분되는 출력값(output current or output voltage)이 측정되는 상태이다. 다음으로 제3스테이트에서는 상기

제1반도체층(300) 내지 상기 제3반도체층(500) 모두의 에너지 밴드갭 이상의 전압 인가로 인한 전류 흐름이 형성되어 상기 제1스테이트 및 상기 제2스테이트와 확연히 구분되는 출력값이 측정되는 상태이다. 따라서 이러한 게이트 전압(Vg) 제어에 따라 확연히 구분되는 3 이상의 스테이트가 발생하므로 이를 통해 3진법 이상의 연산 소자로서 기능이 가능하게 된다.

[0050] 다음으로 도2를 참조하면, 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자 제조방법은 기판상에 부도체층을 형성하는 부도체층 형성단계;(S100) 상기 부도체층 상에 제1반도체층을 형성하는 제1반도체층 형성단계;(S200) 상기 제1반도체층 상에 제2반도체층을 형성하는 제2반도체층 형성단계;(S300) 상기 제1반도체층 상에 제3반도체층을 형성하는 제3반도체층 형성단계;(S400) 상기 제2반도체층 상에 소스 전극을 형성하는 소스 전극 형성단계;(S500) 및 상기 제3반도체층 상에 드레인 전극을 형성하는 드레인 전극 형성단계(S600)를 포함할 수 있다.

[0051] 이때, 상기 제1반도체층(300) 내지 제3반도체층(500)은 n형 반도체를 포함할 수 있다.

[0052] 또한, 상기 부도체층(200)을 통해 인가되는 전압이 상기 제1반도체층(300) 내지 상기 제3반도체층(500)의 작동 전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제1스테이트; 상기 부도체층(200)을 통해 인가되는 전압이 상기 제1반도체층(300)의 작동전압 이상이고 제2반도체층(400) 및 제3반도체층(500)의 작동전압 미만일 때 흐르는 전류 및 전압 상태를 나타내는 제2스테이트; 및 상기 부도체층(200)을 통해 인가되는 전압이 상기 제1반도체층(300) 내지 상기 제3반도체층(500)의 작동전압 이상일 때 흐르는 전류 및 전압 상태를 나타내는 제3스테이트가 구분되어 나타나는 것을 특징으로 한다.

[0053] 또한, 상기 제1반도체층(300)의 일함수가 제2반도체층(400) 및 제3반도체층(500)의 일함수보다 작은 것을 특징으로 한다.

[0054] 또한, 상기 제1반도체층(300)과 상기 제2반도체층(400)의 전자친화도 값이 상기 제1스테이트 내지 상기 제3스테이트 간의 차이가 명확히 나타날 수 있을 만큼 큰 것을 특징으로 한다.

[0055] 또한, 상기 제1반도체층(300)과 상기 제3반도체층(500)의 전자친화도 값이 상기 제1스테이트 내지 상기 제3스테이트 간의 차이가 명확히 나타날 수 있을 만큼 큰 것을 특징으로 한다.

[0056] 또한, 상기 제1반도체층(300)은 IGZO(Indium-Gallium-Zinc-Oxide)를 포함하는 것을 특징으로 한다.

[0057] 또한, 상기 제2반도체층(400) 및 제3반도체층(500)은 유기 반도체 PTCDI-C8(N,N'-dioctyl-3,4,9,10-perylenedicarboximide)를 포함하는 것을 특징으로 한다.

[0058] 이하 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 제조방법에 대해 설명하면 구체적인 제조 방법은 상기 구조에 대한 설명에서 언급한 바와 같다.

[0059] 이때, 본 발명의 제조방법에 따라 제조된 다진법 연산을 위한 이중 반도체 접합 전자소자 및 제조방법의 특징을 설명하면 상기 제2반도체층(400) 및 상기 제3반도체층(500)에 이용되는 공정과 동일하게 연속하여 상기 소스 전극(600)과 상기 드레인 전극(700)의 형성이 가능한 이점이 있으며 기존의 반도체 공정을 추가적인 공정 없이 그대로 이용 가능하여 공정 방법이 복잡하지 않으며 또한 별도의 설비 추가에 대한 비용이 소모되지 않으므로 상용화 및 상업화에 있어서 적용이 용이하다. 또한, 웨이퍼 크기로 대량 생산이 가능한 것이 기존 다진법 연산을 위한 이중 반도체 접합 전자 소자 관련 발명에서의 기술적 과제를 해결한 것이라 할 수 있다.

[0060] 제조예1

[0061] 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자의 제조예

[0062] 도3을 참조하면 상기 언급한 구체적인 물질을 적용한 본 발명의 구성 및 에너지 밴드갭 구성을 확인할 수 있다. 도3은 상기 제1반도체층(300) 내지 상기 제3반도체층(500)의 이중 접합 전에 각 층을 구성하는 반도체가 가지는 에너지 밴드갭을 나타낸다. 도3과 같이 상기 제1반도체층(300)을 구성하는 IGZO와 상기 제2반도체층(400) 및 상기 제3반도체층(500)을 구성하는 PTCDI-C8의 평형상태에서의 페르미 레벨은 4.25eV와 약5.0eV로 일함수는 4.1eV와 4.3eV로 차이가 나게 구성됨을 확인할 수 있다. 이러한 페르미 레벨과 일함수의 차이는 상기 제1반도체층(300) 내지 상기 제3반도체층(500)을 구성하는 물질이 상기 언급한 조건(상기 제1반도체층(300)의 일함수가 상기 제2반도체층(400) 및 상기 제3반도체층(500)의 일함수 보다 작으며 상기 제1반도체층(300)과 상기 제2반도체층(400) 및 상기 제1반도체층(300)과 상기 제3반도체층(500)간의 전자친화도 값이 상기 제1스테이트 내지 상기 제3스테이트를 명확히 구분할 수 있도록 차이 나는 조건)을 갖춘다면 도3에 제시된 값으로 제한되지 않는다.

[0063] 실험예1

[0064] 본 발명의 일실시예인 다진법 연산을 위한 이중 반도체 접합 전자소자에 게이트 전압(Vg)을 인가하여 출력값(output current or output voltage)을 측정하는 실험

[0065] 도4 내지 도7을 참조하면 상기 제1반도체층(300)을 IGZO로 구성하고 상기 제2반도체층(400) 및 상기 제3반도체층(500)을 PTCDI-C8로 구성하였을 때 게이트 전압(Vg)인가에 따른 출력값을 확인할 수 있다.

[0066] 구체적으로 도4를 참조하면 상기 드레인 전극(700)을 10V로 유지할 때 게이트 전압(Vg)인가에 따른 드레인 전극(700)에서 측정되는 전류 값을 확인할 수 있다. 그래프에 나타난 것과 같이 게이트 전압(Vg)인가에 따른 측정값(drain voltage)이 3가지의 스테이트로 확연히 구분되어 나타남을 확인할 수 있다.

[0067] 다음으로 도5를 참조하면 게이트 전압(Vg)인가에 따른 소스 전극(600)에서의 측정값이 3가지 스테이트로 확연히 구분되어 나타남을 확인할 수 있다.

[0068] 마찬가지로 도6 내지 도7을 참조하면 도6과 같이 게이트 전압(Vg)인가에 따라 도7과 같이 출력 전압이 3가지 스테이트가 확연히 구분되어 나타남을 확인할 수 있다.

[0069] 이를 통해 본 발명이 3진법 연산 소자로서 확연한 스테이트 차이를 보이는 것을 확인할 수 있으며 이를 통해 본 발명이 3진법 소자로서 기능을 충실하게 할 수 있음을 예상할 수 있다.

[0070] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

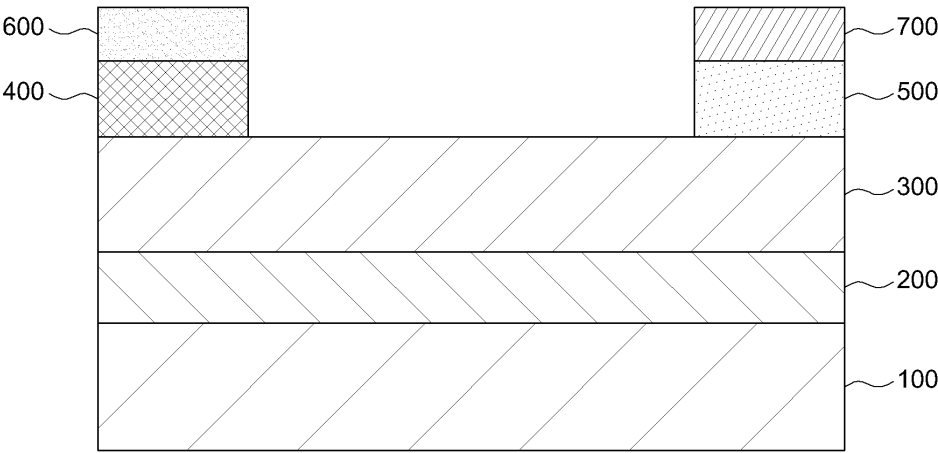
[0071] 본 발명의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

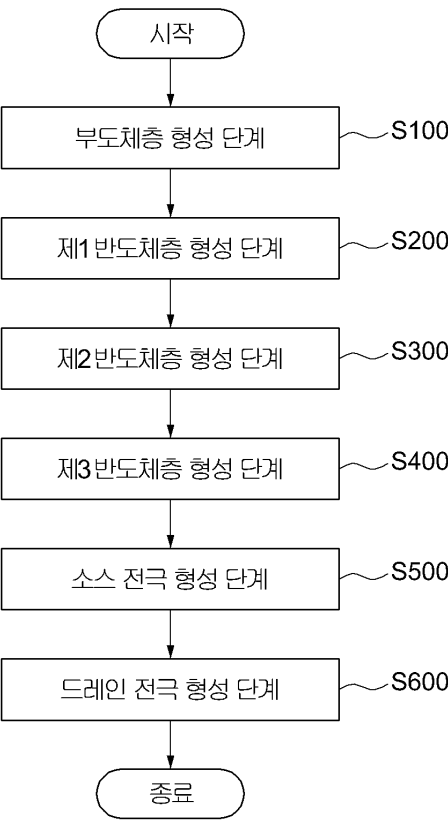
- [0072] 100 : 기판
200 : 반도체층
300 : 제1반도체층
400 : 제2반도체층
500 : 제3반도체층
600 : 소스 전극
700 : 드레인 전극

도면

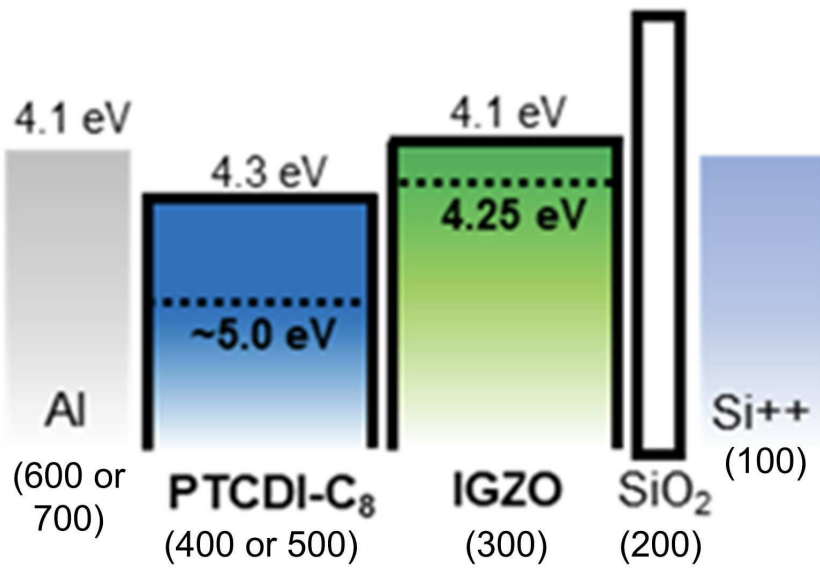
도면1



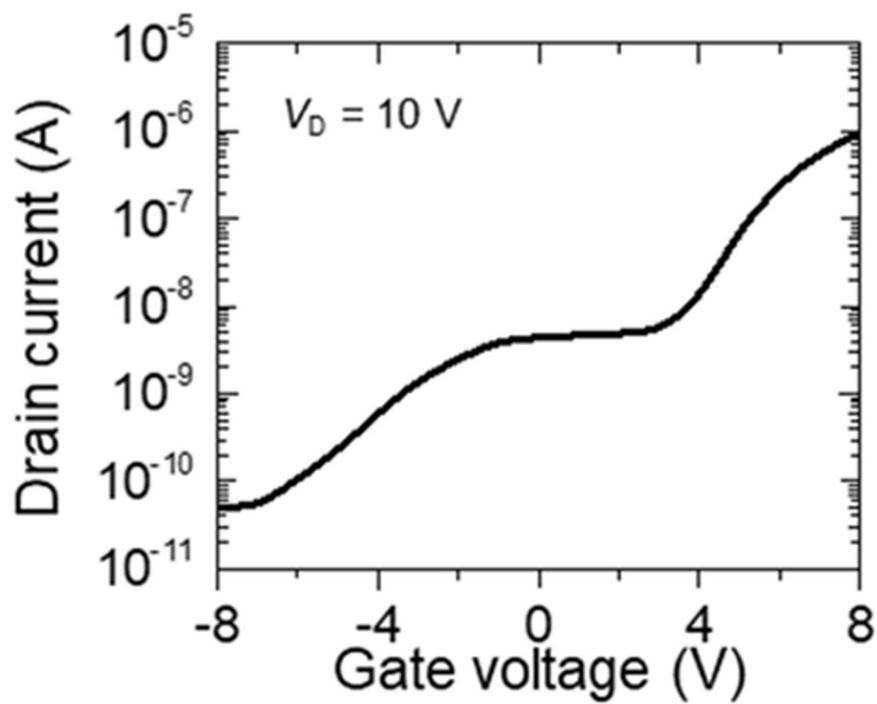
도면2



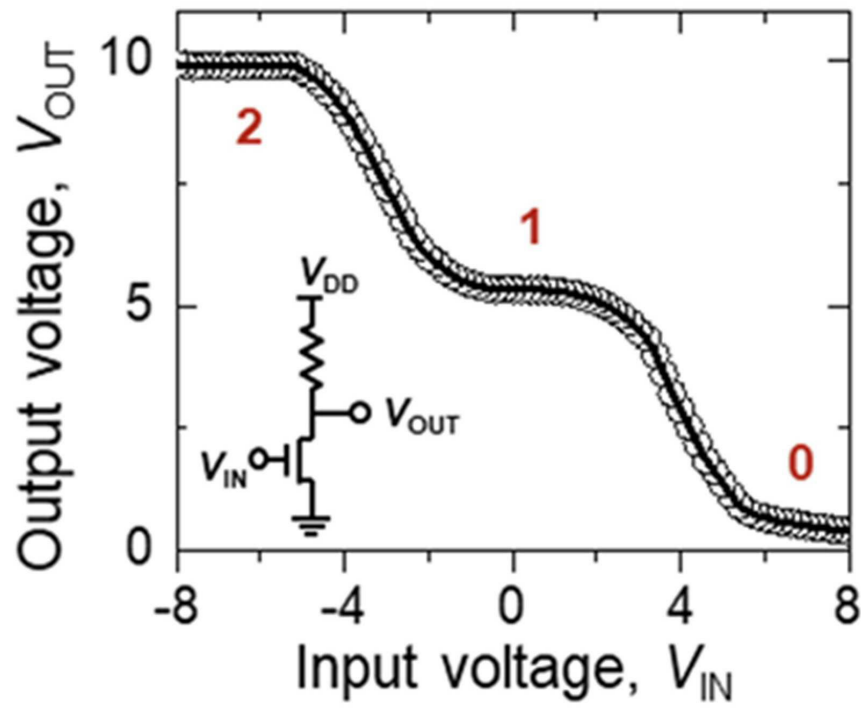
도면3



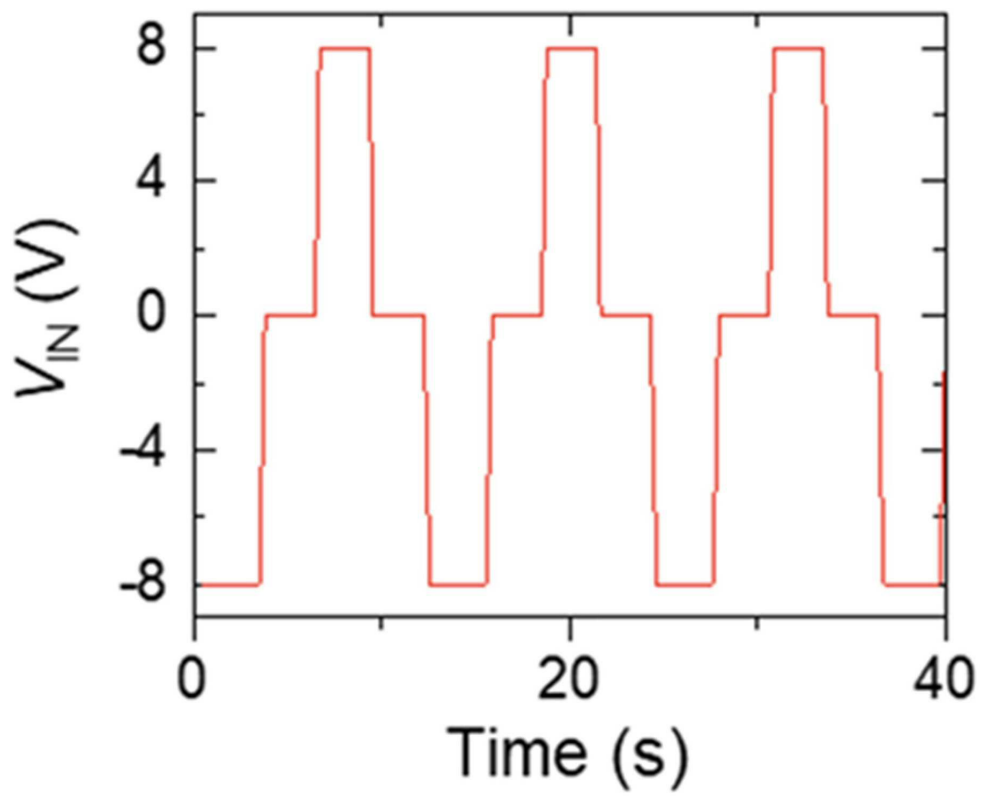
도면4



도면5



도면6



도면7

