



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년08월07일
(11) 등록번호 10-2564145
(24) 등록일자 2023년08월02일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
H10K 59/00 (2023.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2018-0135799
(22) 출원일자 2018년11월07일
심사청구일자 2021년08월06일
(65) 공개번호 10-2020-0052625
(43) 공개일자 2020년05월15일
(56) 선행기술조사문헌
JP2013191824 A*
KR1020140142519 A*
KR1020160082852 A*
KR1020160009500 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
배준현
경기도 파주시 월롱면 엘지로 245
김현재
서울특별시 마포구 마포대로 195 마포래미안푸르지오 402동 1101호
(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 11 항

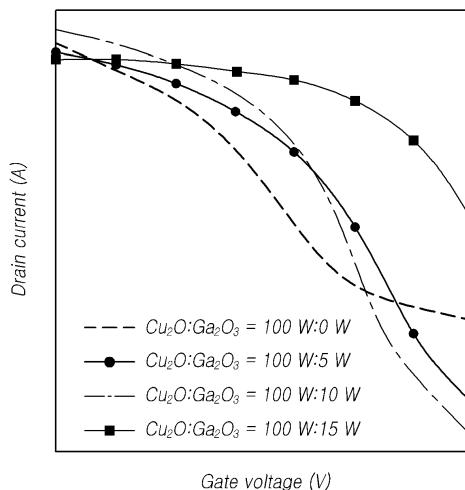
심사관 : 임창연

(54) 발명의 명칭 트랜지스터, 전자장치 및 트랜지스터 회로

(57) 요약

본 실시예들은 트랜지스터, 전자장치 및 트랜지스터 회로에 관한 것으로서, 더욱 상세하게는, CuOx로 표시되고, x가 0 초과 1 미만인 구리 산화물에 도핑제가 혼입된 p형 반도체인 산화물 반도체층을 포함하는 트랜지스터 등에 관한 것이다. 본 발명의 실시예들에 의하면, on/off 스위칭 특성이 우수한 산화물 반도체층을 포함하는 트랜지스터 등을 제공할 수 있다.

대표도 - 도7



(52) CPC특허분류

H01L 29/78606 (2013.01)

H01L 29/78618 (2013.01)

H10K 59/1213 (2023.02)

H01L 2924/10673 (2013.01)

명세서

청구범위

청구항 1

게이트 전극; 소스 전극; 드레인 전극; 산화물 반도체층; 및 게이트 절연층을 포함하고,

상기 산화물 반도체층은, CuO_x 로 표시되고, 상기 x 가 0 초과 1 미만인 구리 산화물에 갈륨을 포함하는 도핑제가 혼입된 p형 반도체이며,

상기 도핑제는 구리 원자에 대한 갈륨의 원자비(atomic ratio)가 0.015 이상 0.030 이하인 트랜지스터.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 산화물 반도체층은 산화구리(I) 결정 단위 셀 및 산화구리(I) 결정 단위 셀의 구리 자리에 상기 도핑제가 치환되어 형성된 단위 셀을 포함하는 p형 반도체인 트랜지스터.

청구항 5

제 4항에 있어서,

상기 산화물 반도체층은 구리, 산소 및 도핑제로 구성되는 스핀넬 구조를 형성하지 않는 트랜지스터.

청구항 6

게이트 전극; 소스 전극; 드레인 전극; 산화물 반도체층; 및 게이트 절연층을 포함하고,

상기 산화물 반도체층은,

산소 및 산소가 아닌 제1 원소를 포함하고, 산화물의 환원반응 생성물인 p형 산화물 반도체에 상기 산소와 결합 가능하고, 상기 제1 원소와는 상이한 제2 원소를 포함하는 도핑제가 혼입된 p형 반도체이며,

상기 제1 원소는 구리이고,

상기 제2 원소는 갈륨이며,

상기 도핑제는 구리 원자에 대한 갈륨의 원자비(atomic ratio)가 0.015 이상 0.030 이하인 트랜지스터.

청구항 7

제 6항에 있어서,

상기 p형 산화물 반도체는,

구리 산화물 전구체의 환원반응 생성물이고, CuO_x 로 표시되며, 상기 x 가 0 초과 1 미만이고,

상기 구리 산화물 전구체는, CuO_y 로 표시되며, y 가 0.5 초과 1 이하이며,
상기 x 가 상기 y 보다 작은 트랜지스터.

청구항 8

삭제

청구항 9

삭제

청구항 10

패널; 및

상기 패널을 구동하는 구동회로를 포함하고,

상기 패널은

기판; 및

상기 기판 상에 배치된 트랜지스터를 포함하며,

상기 트랜지스터는 게이트 전극, 소스 전극, 드레인 전극, 산화물 반도체층 및 게이트 절연층을 포함하고,

상기 산화물 반도체층은,

CuO_x 로 표시되고, 상기 x 가 0 초과 1 미만인 구리 산화물; 및

상기 구리 산화물에 갈륨을 포함하는 도핑제가 혼입된 p형 반도체이며,

상기 도핑제는 구리 원자에 대한 갈륨의 원자비(atomic ratio)가 0.015 이상 0.030 이하인 전자장치.

청구항 11

제 10항에 있어서,

상기 트랜지스터는 패널의 액티브 영역에 배치되는 전자장치.

청구항 12

제 10항에 있어서,

상기 트랜지스터는 패널의 넌-액티브 영역에 위치하는 GIP (Gate in Panel) 회로에 배치되는 전자장치.

청구항 13

제 1항에 있어서,

상기 산화물 반도체층은 산화구리(II) 결정 단위 셀을 추가로 포함하는 p형 반도체인 트랜지스터.

청구항 14

제 13항에 있어서,

상기 산화물 반도체층은 산화구리(II) 결정 단위 셀의 구리 자리에 도핑제가 치환되어 형성된 단위 셀을 추가로

포함하는 p형 반도체인 트랜지스터.

청구항 15

기관;

상기 기관 상에 배치되고, 게이트 전극, 소스 전극, 드레인 전극, n형 반도체층 및 게이트 절연층을 포함하는 n형 트랜지스터; 및

상기 기관 상에 배치되고, p형 반도체층을 포함하는 p형 트랜지스터를 포함하고,

상기 p형 트랜지스터는 청구항 1항의 트랜지스터이고,

상기 p형 트랜지스터의 상기 p형 반도체층은 청구항 1항의 산화물 반도체층인 트랜지스터 회로.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터, 전자장치 및 트랜지스터 회로에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라, 표시장치, 조명장치 등의 다양한 전자장치에 대한 요구가 다양한 형태로 증가하고 있다. 이러한 전자장치는 트랜지스터를 포함할 수 있다.

[0003] 트랜지스터는 인가되는 전기적 신호에 따라 on/off 스위칭이 가능한 반도체를 포함한다. 최근에는 상기 반도체로 전자 이동도가 우수하고, 누설 전류가 작고, 제조공정이 간단한 금속 산화물 반도체가 이용되고 있다.

[0004] 그러나, p형 금속 산화물 반도체는 on/off 스위칭 특성이 낮다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들의 목적은, 게이트 전극, 소스 전극, 드레인 전극, 산화물 반도체층 및 게이트 절연층을 포함하는 트랜지스터를 제공하는 데 있다.

[0006] 또한, 본 발명의 실시예들의 다른 목적은, on/off 스위칭 특성이 우수한 트랜지스터를 제공하는 데 있다.

[0007] 또한, 본 발명의 실시예들의 또 다른 목적은, on/off 스위칭 특성이 우수한 트랜지스터를 포함하는 전자장치를 제공하는 데 있다.

[0008] 또한, 본 발명의 실시예들의 또 다른 목적은, on/off 스위칭 특성이 우수한 트랜지스터를 포함하는 트랜지스터 회로를 제공하는 데 있다.

과제의 해결 수단

[0009] 일 측면에서, 본 발명의 실시예들은, 게이트 전극, 소스 전극, 드레인 전극, 산화물 반도체층, 및 게이트 절연층을 포함하는 트랜지스터를 제공할 수 있다.

[0010] 산화물 반도체층은, CuO_x 로 표시되고, 상기 X가 0 초과 1 미만인 구리 산화물에 실리콘, 티타늄, hafnium 및 갈륨으로 이루어진 군에서 선택되는 하나 이상을 포함하는 도핑제가 혼입된 p형 반도체를 포함할 수 있다.

[0011] 도핑제는 갈륨을 포함할 수 있다.

[0012] 산화물 반도체층은 구리 원자에 대한 도핑제의 원자비가 0 초과 0.078 미만일 수 있다.

[0013] 산화물 반도체층은 구리, 산소 및 도핑제로 구성되는 스피넬 구조를 형성하지 않을 수 있다.

[0014] 산화물 반도체층은 산화구리(I) 결정 단위 셀 및 산화구리(I) 결정 단위 셀의 구리 자리에 도핑제가 치환되어 형성된 단위 셀을 포함하는 p형 반도체일 수 있다.

- [0015] 산화물 반도체층은 산화구리(II) 결정 단위 셀을 추가로 포함하는 p형 반도체일 수 있다.
- [0016] 산화물 반도체층은 산화구리(II) 결정 단위 셀의 구리 자리에 도핑제가 치환되어 형성된 단위 셀을 추가로 포함하는 p형 반도체일 수 있다.
- [0017] 산화물 반도체층은, 산소 및 산소가 아닌 제1 원소를 포함하고, 산화물의 환원반응 생성물인 p형 산화물 반도체에 산소와 결합 가능하고, 제1 원소와는 상이한 제2 원소를 포함하는 도핑제가 혼입된 p형 반도체를 포함할 수 있다.
- [0018] 제1 원소는 구리일 수 있다.
- [0019] p형 산화물 반도체는 구리 산화물 전구체의 환원반응 생성물일 수 있다.
- [0020] 구리 산화물 전구체는 CuO_y 로 표시되며, y 가 0.5 초과 1 이하일 수 있다.
- [0021] 구리 산화물 전구체의 환원반응 생성물인 p형 산화물 반도체는, CuO_x 로 표시되며, x 가 0 초과 1 미만일 수 있고, x 가 y 보다 작을 수 있다.
- [0022] 제2 원소는 실리콘, 티타늄, hafnium 및 갈륨으로 이루어진 군에서 선택되는 하나 이상일 수 있다.
- [0023] 제2 원소는 갈륨일 수 있다.
- [0024] 다른 측면에서, 본 발명의 실시예들은, 패널 및 패널을 구동하는 구동회로를 포함하는 전자장치를 제공할 수 있다.
- [0025] 패널은 기판 및 기판 상에 배치된 트랜지스터를 포함할 수 있다.
- [0026] 트랜지스터는 게이트 전극, 소스 전극, 드레인 전극, 산화물 반도체층 및 게이트 절연층을 포함할 수 있다.
- [0027] 트랜지스터는 패널의 액티브 영역에 배치될 수 있다.
- [0028] 트랜지스터는 패널의 non-액티브 영역에 위치하는 GIP (Gate in Panel) 회로에 배치될 수 있다.
- [0029] 다른 측면에서, 본 발명의 실시예들은, 기판, n형 반도체층을 포함하는 n형 트랜지스터 및 p형 반도체층을 포함하는 p형 트랜지스터를 포함하는 트랜지스터 회로를 제공할 수 있다.
- [0030] 트랜지스터 회로의 p형 반도체층은, CuO_x 로 표시되고, x 가 0 초과 1 미만인 구리 산화물에 실리콘, 티타늄, hafnium 및 갈륨으로 이루어진 군에서 선택되는 하나 이상을 포함하는 도핑제가 혼입된 p형 반도체를 포함할 수 있다.

발명의 효과

- [0031] 본 발명의 실시예들의 목적은, 게이트 전극, 소스 전극, 드레인 전극, 산화물 반도체층, 및 게이트 절연층을 포함하는 트랜지스터를 제공하는 데 있다.
- [0032] 또한, 본 발명의 실시예들의 다른 목적은, on/off 스위칭 특성이 우수한 p형 반도체인 산화물 반도체층을 포함하는 트랜지스터를 제공하는 데 있다.
- [0033] 또한, 본 발명의 실시예들의 또 다른 목적은, on/off 스위칭 특성이 우수한 트랜지스터를 포함하는 전자장치를 제공하는 데 있다.
- [0034] 또한, 본 발명의 실시예들의 또 다른 목적은, on/off 스위칭 특성이 우수한 트랜지스터를 포함하는 트랜지스터 회로를 제공하는 데 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 실시예들에 따른 전자장치의 개략적인 시스템 구성도이다.
- 도 2는 본 발명의 실시예들에 따른 전자장치의 시스템 구현 예시도이다.
- 도 3은 본 발명의 실시예들에 따른 패널이 OLED (Organic Light Emitting Diode) 패널인 경우, 서브픽셀의 구조를 나타낸 도면이다.
- 도 4는 본 발명의 실시예들에 따른 패널이 LCD (Organic Light Emitting Diode) 패널인 경우, 서브픽셀의 구조

를 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 트랜지스터의 단면도이다.

도 6은 본 발명의 실시예들에 따른 산화구리(I) 결정 및 산화구리(II) 결정을 설명하기 위한 그림이다.

도 7은 예시적인 트랜지스터들의, 구리 산화물에 혼입된 갈륨의 원자비에 따른 on/off 스위칭 특성 변화를 나타낸 자료이다.

도 8은 예시적인 트랜지스터들의, 구리 산화물에 혼입된 갈륨의 원자비에 따른 산화물 반도체층의 엑스선 회절 분석 자료이다.

도 9는 본 발명의 실시예들에 따른 트랜지스터 회로의 회로도이다.

도 10은 본 발명의 실시예들에 따른 트랜지스터 회로의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 공지된 구성이 아니더라도 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0037] 또한, 본 발명의 구성요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성요소를 다른 구성요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성요소 사이에 다른 구성요소가 "개재"되거나, 각 구성요소가 다른 구성요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0038] 도 1은 본 발명의 실시예들에 따른 전자장치의 개략적인 시스템 구성도이다.
- [0039] 본 발명의 실시예들에 따른 전자장치는 표시장치, 조명장치, 발광장치 등을 포함할 수 있다. 아래에서는, 설명의 편의를 위하여, 표시장치를 중심으로 설명한다. 하지만, 아래의 설명은 조명장치, 발광장치 등의 다른 다양한 전자장치에도 동일하게 적용될 수 있을 것이다.
- [0040] 본 발명의 실시예들에 따른 전자장치는, 영상을 표시하거나 빛을 출력하는 패널(PNL)과, 이러한 패널(PNL)을 구동하기 위한 구동회로를 포함할 수 있다.
- [0041] 패널(PNL)은, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP)이 매트릭스 타입으로 배열될 수 있다.
- [0042] 패널(PNL)에서 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)은 서로 교차하여 배치될 수 있다. 예를 들어, 다수의 게이트 라인(GL)은 행(Row) 또는 열(Column)으로 배열될 수 있고, 다수의 데이터 라인(DL)은 열(Column) 또는 행(Row)으로 배열될 수 있다. 아래에서는, 설명의 편의를 위하여, 다수의 게이트 라인(GL)은 행(Row)으로 배치되고, 다수의 데이터 라인(DL)은 열(Column)로 배치되는 것으로 가정한다.
- [0043] 패널(PNL)에는, 서브픽셀 구조 등에 따라, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL) 이외에, 다른 종류의 신호배선들이 배치될 수 있다. 구동전압 배선, 기준전압 배선, 또는 공통전압 배선 등이 더 배치될 수 있다.
- [0044] 패널(PNL)은 LCD (Liquid Crystal Display) 패널, OLED (Organic Light Emitting Diode) 패널 등 다양한 타입의 패널일 수 있다.
- [0045] 패널(PNL)에 배치되는 신호배선들의 종류는, 서브픽셀 구조, 패널 타입(예: LCD 패널, OLED 패널 등) 등에 따라 달라질 수 있다. 그리고, 본 명세서에서는 신호배선은 신호가 인가되는 전극을 포함하는 개념일 수도 있다.
- [0046] 패널(PNL)은 화상(영상)이 표시되는 액티브 영역(A/A)과, 그 외곽 영역이고 화상이 표시되지 않는 넌-액티브 영역(N/A)을 포함할 수 있다. 여기서, 넌-액티브 영역(N/A)은 베젤 영역이라고도 한다.
- [0047] 액티브 영역(A/A)에는 화상 표시를 위한 다수의 서브픽셀(SP)이 배치된다.

- [0048] 년-액티브 영역(N/A)에는 데이터 드라이버(DDR)가 전기적으로 연결되기 위한 패드부가 배치되고, 이러한 패드부와 다수의 데이터 라인(DL) 간의 연결을 위한 다수의 데이터 링크 라인이 배치될 수도 있다. 여기서, 다수의 데이터 링크 라인은 다수의 데이터 라인(DL)이 년-액티브 영역(N/A)으로 연장된 부분들이거나, 다수의 데이터 라인(DL)과 전기적으로 연결된 별도의 패드들일 수 있다.
- [0049] 또한, 년-액티브 영역(N/A)에는 데이터 드라이버(DDR)가 전기적으로 연결되는 패드 부를 통해 게이트 드라이버(GDR)로 게이트 구동에 필요한 전압(신호)을 전달해 주기 위한 게이트 구동 관련 배선들이 배치될 수 있다. 예를 들어, 게이트 구동 관련 배선들은, 클럭 신호를 전달해 주기 위한 클럭 배선들, 게이트 전압(VGH, VGL)을 전달해주는 게이트 전압 배선들, 스캔신호 생성에 필요한 각종 제어신호를 전달해주는 게이트 구동 제어 신호배선들을 포함할 수 있다. 이러한 게이트 구동 관련 배선들은, 액티브 영역(A/A)에 배치되는 게이트 라인들(GL)과 다르게, 년-액티브 영역(N/A)에 배치된다.
- [0050] 구동회로는, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(DDR)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(GDR)와, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)를 제어하는 컨트롤러(CTR) 등을 포함할 수 있다.
- [0051] 데이터 드라이버(DDR)는 다수의 데이터 라인(DL)으로 데이터 전압을 출력함으로써 다수의 데이터 라인(DL)을 구동할 수 있다.
- [0052] 게이트 드라이버(GDR)는 다수의 게이트 라인(GL)으로 스캔신호를 출력함으로써 다수의 게이트 라인(GL)을 구동할 수 있다.
- [0053] 컨트롤러(CTR)는, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)의 구동 동작에 필요한 각종 제어신호(DCS, GCS)를 공급하여 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)의 구동 동작을 제어할 수 있다. 또한, 컨트롤러(CTR)는 데이터 드라이버(DDR)로 영상데이터(DATA)를 공급할 수 있다.
- [0054] 컨트롤러(CTR)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상데이터를 데이터 드라이버(DDR)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(DATA)를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0055] 컨트롤러(CTR)는, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등의 타이밍 신호를 외부 (예: 호스트 시스템)로부터 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(DDR) 및 게이트 드라이버(GDR)로 출력한다.
- [0056] 예를 들어, 컨트롤러(CTR)는, 게이트 드라이버(GDR)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0057] 또한, 컨트롤러(CTR)는, 데이터 드라이버(DDR)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0058] 컨트롤러(CTR)는, 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행할 수 있는 제어장치일 수 있다.
- [0059] 컨트롤러(CTR)는, 데이터 드라이버(DDR)와 별도의 부품으로 구현될 수도 있고, 데이터 드라이버(DDR)와 함께 통합되어 집적회로로 구현될 수 있다.
- [0060] 데이터 드라이버(DDR)는, 컨트롤러(CTR)로부터 영상데이터(DATA)를 입력 받아 다수의 데이터 라인(DL)로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(DDR)는 소스 드라이버라고도 한다.
- [0061] 데이터 드라이버(DDR)는 다양한 인터페이스를 통해 컨트롤러(CTR)와 각종 신호를 주고받을 수 있다.
- [0062] 게이트 드라이버(GDR)는, 다수의 게이트 라인(GL)로 스캔신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(GDR)는 스캔 드라이버라고도 한다.
- [0063] 게이트 드라이버(GDR)는, 컨트롤러(CTR)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔신호를 다수의

게이트 라인(GL)로 순차적으로 공급한다.

- [0064] 데이터 드라이버(DDR)는, 게이트 드라이버(GDR)에 의해 특정 게이트 라인이 열리면, 컨트롤러(CTR)로부터 수신한 영상데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)로 공급한다.
- [0065] 데이터 드라이버(DDR)는, 패널(PNL)의 일 측(예: 상측 또는 하측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 패널(PNL)의 양측(예: 상 측과 하 측)에 모두 위치할 수도 있다.
- [0066] 게이트 드라이버(GDR)는, 패널(PNL)의 일 측(예: 좌측 또는 우측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 패널(PNL)의 양측(예: 좌 측과 우 측)에 모두 위치할 수도 있다.
- [0067] 데이터 드라이버(DDR)는 하나 이상의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 구현될 수 있다.
- [0068] 각 소스 드라이버 집적회로(SDIC)는 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다. 데이터 드라이버(DDR)는, 경우에 따라서, 하나 이상의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0069] 각 소스 드라이버 집적회로(SDIC)는, TAB (Tape Automated Bonding) 타입 또는 COG (Chip On Glass) 타입으로 패널(PNL)의 본딩 패드(Bonding Pad)에 연결되거나 패널(PNL) 상에 직접 배치될 수도 있다. 경우에 따라서, 각 소스 드라이버 집적회로(SDIC)는 패널(PNL)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는 COF (Chip On Film) 타입으로 구현될 수 있다. 이 경우, 각 소스 드라이버 집적회로(SDIC)는 회로필름 상에 실장 되어, 회로필름을 통해 패널(PNL)에서의 데이터 라인들(DL)과 전기적으로 연결될 수 있다.
- [0070] 게이트 드라이버(GDR)는 다수의 게이트 구동회로(GDC)를 포함할 수 있다. 여기서, 다수의 게이트 구동회로(GDC)는 다수의 게이트 라인(GL)과 각각 대응될 수 있다.
- [0071] 각 게이트 구동회로(GDC)는 시프트 레지스터(Shift Register), 레벨 시프터(Level Shifter) 등을 포함할 수 있다.
- [0072] 각 게이트 구동회로(GDC)는 TAB (Tape Automated Bonding) 타입 또는 COG (Chip On Glass) 타입으로 패널(PNL)의 본딩 패드(Bonding Pad)에 연결될 수 있다. 또한, 각 게이트 구동회로(GDC)는 COF (Chip On Film) 방식으로 구현될 수 있다. 이 경우, 각 게이트 구동회로(GDC)는 회로필름 상에 실장 되어, 회로필름을 통해 패널(PNL)에서의 게이트 라인들(GL)과 전기적으로 연결될 수 있다. 또한, 각 게이트 구동회로(GDC)는 GIP (Gate In Panel) 타입으로 구현되어 패널(PNL)에 내장될 수 있다. 즉, 각 게이트 구동회로(GDC)는 패널(PNL)에 직접 형성될 수 있다.
- [0073] 도 2는 본 발명의 실시예들에 따른 패널(PNL)이 OLED (Organic Light Emitting Diode) 패널인 경우, 서브픽셀(SP)의 구조를 나타낸 도면이다.
- [0074] 도 2를 참조하면, OLED 패널인 패널(G)에서의 각 서브픽셀(SP)은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 해당 데이터 라인(DL) 사이에 전기적으로 연결된 스위칭 트랜지스터(O-SWT)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst) 등을 포함하여 구현될 수 있다.
- [0075] 유기발광다이오드(OLED)는 애노드 전극, 유기발광층 및 캐소드 전극 등으로 이루어질 수 있다.
- [0076] 도 2는 본 발명의 실시예들에 따른 전자장치의 시스템 구현 예시도이다.
- [0077] 도 2를 참조하면, 본 발명의 실시예들에 따른 전자장치에서, 데이터 드라이버(DDR)는 다양한 타입들(TAB, COG, COF 등) 중 COF (Chip On Film) 타입으로 구현되고, 게이트 드라이버(GDR)는 다양한 타입들(TAB, COG, COF, GIP 등) 중 GIP (Gate In Panel) 타입으로 구현될 수 있다.
- [0078] 데이터 드라이버(DDR)는 하나 이상의 소스 드라이버 집적회로(SDIC)로 구현될 수 있다. 도 2는 데이터 드라이버(DDR)가 다수의 소스 드라이버 집적회로(SDIC)로 구현된 경우를 예시한 것이다.
- [0079] 데이터 드라이버(DDR)가 COF 타입으로 구현된 경우, 데이터 드라이버(DDR)를 구현한 각 소스 드라이버 집적회로(SDIC)는, 소스 측 회로필름(SF) 상에 실장 될 수 있다.
- [0080] 소스 측 회로필름(SF)의 일 측은 패널(PNL)의 넌-액티브 영역(N/A)에 존재하는 패드 부 (패드들의 집합체)와 전

기적으로 연결될 수 있다.

- [0081] 소스 측 회로필름(SF) 상에는, 소스 드라이버 집적회로(SDIC)와 패널(PNL)을 전기적으로 연결해주기 위한 배선들이 배치될 수 있다.
- [0082] 전자장치는, 다수의 소스 드라이버 집적회로(SDIC)와 다른 장치들 간의 회로적인 연결을 위해, 하나 이상의 소스 인쇄회로기판(PCB)과, 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(CPCB)을 포함할 수 있다.
- [0083] 하나 이상의 소스 인쇄회로기판(PCB)에는 소스 드라이버 집적회로(SDIC)가 실장 된 소스 측 회로필름(SF)의 타측이 연결될 수 있다.
- [0084] 즉, 소스 드라이버 집적회로(SDIC)가 실장 된 소스 측 회로필름(SF)은, 일 측이 패널(PNL)의 년-액티브 영역(N/A)과 전기적으로 연결되고, 타 측이 소스 인쇄회로기판(PCB)과 전기적으로 연결될 수 있다.
- [0085] 컨트롤 인쇄회로기판(CPCB)에는, 데이터 드라이버(DDR) 및 게이트 드라이버(GDR) 등의 동작을 제어하는 컨트롤러(CTR)가 배치될 수 있다.
- [0086] 또한, 컨트롤 인쇄회로기판(CPCB)에는, 패널(PNL), 데이터 드라이버(DDR) 및 게이트 드라이버(GDR) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 파워 관리 집적회로(PMIC: Power Management IC) 등이 더 배치될 수도 있다.
- [0087] 소스 인쇄회로기판(PCB)과 컨트롤 인쇄회로기판(CPCB)은 적어도 하나의 연결 부재(CBL)를 통해 회로적으로 연결될 수 있다. 여기서, 연결 부재(CBL)는, 일 예로, 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.
- [0088] 하나 이상의 소스 인쇄회로기판(PCB)과 컨트롤 인쇄회로기판(CPCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0089] 게이트 드라이버(GDR)가 GIP (Gate In Panel) 타입으로 구현된 경우, 게이트 드라이버(GDR)에 포함된 다수의 게이트 구동회로(GDC)는 패널(PNL)의 년-액티브 영역(N/A) 상에 직접 형성될 수 있다.
- [0090] 다수의 게이트 구동회로(GDC) 각각은 패널(PNL)에서의 액티브 영역(A/A)에 배치된 해당 게이트 라인(GL)으로 해당 스캔신호(SCAN)를 출력할 수 있다.
- [0091] 패널(PNL) 상에 배치된 다수의 게이트 구동회로(GDC)는, 년-액티브 영역(N/A)에 배치된 게이트 구동 관련 배선들을 통해, 스캔신호 생성에 필요한 각종 신호(클럭신호, 하이 레벨 게이트 전압(VGH), 로우 레벨 게이트 전압(VGL), 스타트 신호(VST), 리셋 신호(RST) 등)를 공급받을 수 있다.
- [0092] 년-액티브 영역(N/A)에 배치된 게이트 구동 관련 배선들은, 다수의 게이트 구동회로(GDC)에 가장 인접하게 배치된 소스 측 회로필름(SF)과 전기적으로 연결될 수 있다.
- [0093] 도 3은 본 발명의 실시예들에 따른 패널(PNL)이 OLED (Organic Light Emitting Diode) 패널인 경우, 서브픽셀(SP)의 구조를 나타낸 도면이다.
- [0094] 도 3을 참조하면, OLED 패널인 패널(G)에서의 각 서브픽셀(SP)은, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 해당 데이터 라인(DL) 사이에 전기적으로 연결된 스위칭 트랜지스터(O-SWT)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst) 등을 포함하여 구현될 수 있다.
- [0095] 유기발광다이오드(OLED)는 애노드 전극, 유기발광층 및 캐소드 전극 등으로 이루어질 수 있다.
- [0096] 도 3의 회로 예시에 따르면, 유기발광다이오드(OLED)의 애노드 전극(픽셀전극이라고도 함)은 구동 트랜지스터(DRT)의 제2 노드(N2)와 전기적으로 연결될 수 있다. 유기발광다이오드(OLED)의 캐소드 전극(공통전극이라고도 함)에는 기저전압(EVSS)이 인가될 수 있다.
- [0097] 여기서, 기저전압(EVSS)은, 일 예로, 그라운드 전압이거나 그라운드 전압보다 높거나 낮은 전압일 수 있다. 또한, 기저전압(EVSS)은 구동상태에 따라 가변될 수 있다. 예를 들어, 영상 구동 시 기저전압(EVSS)과 센싱 구동 시 기저전압(EVSS)은 서로 다르게 설정될 수 있다.
- [0098] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동

해준다.

- [0099] 구동 트랜지스터(DRT)는 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3) 등을 포함할 수 있다.
- [0100] 구동 트랜지스터(DRT)의 제1 노드(N1)는 게이트 노드일 수 있으며, 스위칭 트랜지스터(O-SWT)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다. 구동 트랜지스터(DRT)의 제2 노드(N2)는 소스 노드 또는 드레인 노드일 수 있으며, 유기발광다이오드(OLED)의 애노드 전극(또는 캐소드 전극)과 전기적으로 연결될 수 있다. 구동 트랜지스터(DRT)의 제3 노드(N3)는 드레인 노드 또는 소스 노드일 수 있으며, 구동전압(EVDD)이 인가될 수 있고, 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있다.
- [0101] 스토리지 캐패시터(Cst)는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압(Vdata) 또는 이에 대응되는 전압을 한 프레임 시간 (또는 정해진 시간) 동안 유지해줄 수 있다.
- [0102] 스위칭 트랜지스터(O-SWT)의 드레인 노드 또는 소스 노드는 해당 데이터 라인(DL)에 전기적으로 연결되고, 스위칭 트랜지스터(O-SWT)의 소스 노드 또는 드레인 노드는 구동 트랜지스터(DRT)의 제1 노드(N1)에 전기적으로 연결되고, 스위칭 트랜지스터(O-SWT)의 게이트 노드는 해당 게이트 라인과 전기적으로 연결되어 스캔신호(SCAN)를 인가 받을 수 있다.
- [0103] 스위칭 트랜지스터(O-SWT)는 해당 게이트 라인을 통해 스캔신호(SCAN)를 게이트 노드로 인가 받아 온-오프가 제어될 수 있다.
- [0104] 이러한 스위칭 트랜지스터(O-SWT)는 스캔신호(SCAN)에 의해 턴-온 되어 해당 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제1 노드(N1)로 전달해줄 수 있다.
- [0105] 한편, 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)일 수 있다.
- [0106] 구동 트랜지스터(DRT) 및 스위칭 트랜지스터(O-SWT) 각각은 n 타입 트랜지스터이거나 p 타입 트랜지스터일 수 있다.
- [0107] 도 3에 예시된 각 서브픽셀 구조는 2T(Transistor) 1C (Capacitor) 구조로서, 설명을 위한 예시일 뿐, 1개 이상의 트랜지스터를 더 포함하거나, 경우에 따라서는, 1개 이상의 캐패시터를 더 포함할 수도 있다. 또는, 다수의 서브픽셀들 각각이 동일한 구조로 되어 있을 수도 있고, 다수의 서브픽셀들 중 일부는 다른 구조로 되어 있을 수도 있다.
- [0108] 도 4는 본 발명의 실시예들에 따른 패널(PNL)이 LCD (Liquid Crystal Display) 패널인 경우, 서브픽셀(SP)의 구조를 나타낸 도면이다.
- [0109] 도 4를 참조하면, LCD 패널인 패널(G)에서의 각 서브픽셀(SP)은 픽셀전극(PXL) 및 스위칭 트랜지스터(L-SWT) 등을 포함할 수 있다.
- [0110] 스위칭 트랜지스터(L-SWT)는, 스캔신호(SCAN)에 의해 제어되며, 데이터 라인(DL)과 픽셀전극(PXL) 사이에 전기적으로 연결될 수 있다.
- [0111] 스위칭 트랜지스터(L-SWT)는 스캔신호(SCAN)에 의해 턴-온 되어, 데이터 라인(DL)에서 공급된 데이터 전압(Vdata)을 픽셀전극(PXL)에 전달해준다. 데이터전압(Vdata)이 인가된 픽셀전극(PXL)은 공통전압이 인가되는 공통전극(COM)과 전계를 형성할 수 있다. 즉, 픽셀전극(PXL)과 공통전극(COM) 사이에 캐패시터가 형성될 수 있다.
- [0112] 도 5는 본 발명의 일 실시예에 따른 트랜지스터의 단면도이다.
- [0113] 도 5를 참조하면, 본 발명의 실시예들에 따른 트랜지스터(100)는 게이트 전극(G), 소스 전극(S), 드레인 전극(D), 산화물 반도체층(ACT) 및 게이트 절연층(150)을 포함한다. 본 발명의 실시예들에 따른 트랜지스터는, 예를 들면, 상기 구성요소들을 포함하고, 트랜지스터로 작동할 수 있는 것이라면 그 구조는 특별히 제한되는 것은 아니다. 도 5에 도시한 구조는 본 발명의 일 실시예에 불과한 것이므로, 본 발명의 실시예들에 따른 트랜지스터의 구조가 도 5에 도시한 구조로 한정되는 것은 아니다.
- [0114] 산화물 반도체층(ACT)은 구리 산화물에 실리콘, 티타늄, hafnium 및 갈륨으로 이루어진 군에서 선택되는 하나 이상을 포함하는 도핑제가 혼입된 p형 반도체를 포함할 수 있다.

- [0115] 구리 산화물은 산소와의 결합 특성에 따라 산화구리(I)와 산화구리(II)로 구분되며, 예를 들면, 산화구리(I)은 Cu_2O 로 표시되므로 x 가 0.5이고, 산화구리(II)는 CuO 로 표시되므로 x 가 1이다. 산화구리(II)는 원자가 밴드(valence band)에 결합 사이트(defect site)가 존재하여 p형 반도체로 사용시 전도 특성이 떨어지는 문제가 있다. 따라서, 구리 산화물을 이용하여 p형 반도체를 형성할 경우, 산화구리(II) 보다는 산화구리(I)을 이용하는 것이 바람직하다.
- [0116] 어떤 구리 산화물을 CuO_x 로 표현하는 경우, 그 구리 산화물에는 산화구리(I)과 산화구리(II) 등이 혼재할 수 있다. CuO_x 로 표시되는 본 발명의 구리 산화물 또한, 산화구리(I)과 산화구리(II) 등을 포함하는 구리 산화물일 수 있다. 그러나, 본 발명의 CuO_x 로 표시되는 구리 산화물은 x 가 0 초과 1 미만이므로, 전도 특성이 우수한 산화구리(I)의 비율이 산화구리(II)의 비율보다 높다. 또한, x 가 1 미만이므로, 구리 산화물은 대부분 산화구리(II)가 아니라, 산화구리(I) 상태로 존재할 것이다.
- [0117] 본 발명의 실시예들에 따른 트랜지스터에 포함되는 구리 산화물은 구리 산화물 전구체의 환원반응 생성물이고, CuO_x 로 표시되며, x 는 0 초과 1 미만일 수 있다.
- [0118] 구리 산화물 전구체는 CuO_y 로 표시되며, y 가 0.5 초과 1 이하일 수 있다. 구리 산화물이 전구체의 환원반응에 의해 생성되므로, x 는 y 보다 작을 수 있다.
- [0119] 구리 산화물 전구체는 CuO_y 로 표시되며, y 가 0.5 초과 1 이하이므로, 산화구리(I)과 산화구리(II) 등 산화수가 다른 구리를 포함할 수 있다.
- [0120] 구리 산화물은 구리 산화물 전구체의 환원 반응물이므로, 구리 산화물 전구체 보다 산소의 함유량이 낮아 전도 특성이 우수한 산화구리(I)를 구리 산화물 전구체 보다 더 많이 포함할 수 있다.
- [0121] 도 6은 산화구리(I) 결정과 산화구리(II) 결정을 나타낸 그림이다.
- [0122] 구리 산화물 전구체의 환원 공정에 의해, 도 6(b)에 도시한 산화구리(II) 결정에 존재하는 산소가 제거되면서, 도 6(a)에 도시한 산화구리(I) 결정이 얻어진다. 따라서, CuO_y 로 표시되는 구리 산화물 전구체에 환원 반응을 수행하여 CuO_x 로 표시되는 구리 산화물을 형성할 경우, 산소가 제거되는 반응이 진행되므로 x 는 y 보다 작은 값을 갖는다. 상술하였듯이 산화구리(II)는 산화구리(I)보다 on/off 스위칭 특성이 떨어지므로, 상기 환원 공정은 가능한 한 많은 산화구리(II)가 산화구리(I)으로 환원되도록 수행될 수 있다. 이러한 환원 공정에 의해 CuO_x 로 표시되며, x 가 1 에 가까운 값을 가지는 구리 산화물이 생성될 수 있다.
- [0123] 그러나, 가능한 한 많은 산화구리(II)를 산화구리(I)으로 환원하도록 수행되는 환원 공정에 의해 환원 반응이 과도하게 진행될 경우, 산화구리(II) 에 존재하는 산소만 제거되는 것이 아니라, 산화구리(I)에 존재하는 산소까지 제거될 수 있다. 따라서, CuO_x 로 표시되고, 예를 들면, x 가 1 미만 또는 x 가 0.5 미만인 구리 산화물이 생성될 수 있다. 산화구리(I)에 존재하는 산소가 제거될 경우, 구리 산화물은 Oxygen vacancy를 가질 수 있다. Oxygen vacancy는 전자를 생성하여 산화구리(I)의 off-current를 증가시키므로, 반도체의 on/off 스위칭 특성을 열화시킨다.
- [0124] x 의 범위의 하한은, x 값이 작을수록 oxygen vacancy가 많아지는 것을 의미하므로, 0.5에 인접하면서 가능한 큰 값이 바람직하나, 예를 들면, 0 초과, 0.3 이상, 0.4 이상 또는 0.49 이상일 수 있다. x 의 범위의 상한은, x 값이 클수록 산화구리(II)가 산화구리(I)으로 환원되지 않았다는 것을 의미하므로, 0.5에 인접하면서 가능한 작은 값이 바람직하나, 예를 들면, 1 미만, 0.8 이하, 0.6 이하 또는 0.51 이하일 수 있다.
- [0125] CuO_x 로 포함되는 구리 산화물의 x 가 상술한 범위를 가지므로, 구리 산화물은 산화구리(I)을 포함할 수 있으며, 산화구리(II)도 추가로 포함할 수도 있다.
- [0126] 구리 산화물이 산화구리(I)을 포함할 경우, 산화물 반도체층은 p형 반도체이되, 산화구리(I) 결정 단위 셀을 포함할 수 있다. 구리 산화물이 산화구리(II)를 포함할 경우, 산화물 반도체층은 산화구리(II) 결정 단위 셀을 포함할 수 있다.
- [0127] 상기 Oxygen vacancy에 의한 특성 열화를 해결하기 위하여, 구리 산화물에는 도핑제가 혼입될 수 있다.
- [0128] 도핑제가 구리 산화물에 혼입(doping)된다는 것은, 구리 산화물을 구성하는 일부 구리가 도핑제로 치환되는 것을 의미할 수 있다. 도핑제를 구리 산화물에 혼입하는 방법은, 예를 들면, 구리 산화물과 도핑제의 코-스퍼터링(co-sputtering)에 의해 수행될 수 있으나, 혼입 방법이 이에 제한되는 것은 아니다.

- [0129] 도핑제는, 실리콘, 티타늄, 하프늄 및 갈륨으로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있다.
- [0130] 구리 산화물에 실리콘, 티타늄, 하프늄 및 갈륨으로 이루어진 군에서 선택되는 하나 이상을 포함하는 도핑제를 혼입할 경우, 산화구리(I) 결정이 가지는 Oxygen vacancy에 의한 off-current 증가 효과를 완화하여, 반도체의 on/off 스위칭 특성이 개선된다. 상기 도핑제는 산화구리(I) 결정의 구리 자리에 치환되어 들어가면서, Vo site에 존재하는 전자 캐리어의 이동을 억제하여 off-current를 낮추므로, 반도체의 on/off 스위칭 특성이 개선될 수 있다.
- [0131] 실리콘, 티타늄, 하프늄 및 갈륨은 구리 산화물에 포함되는 구리 원자와 원자 반지름(atomic radius)가 유사하여, 구리 자리에 용이하게 치환될 수 있다.
- [0132] 도핑제는 갈륨을 포함할 수 있다. 갈륨을 포함하는 도핑제가 구리 산화물에 혼입될 경우, 구리 산화물에 존재하는 Oxygen vacancy에 의한 on/off 스위칭 특성 열화가 효과적으로 개선될 수 있다.
- [0133] 산화물 반도체층은 구리 원자에 대한 도핑제의 원자비(atomic ratio)가 0 초과 0.078 미만일 수 있다. 상기 원자비의 하한은, 예를 들면, 0 초과, 0.005 이상, 0.010 이상 또는 0.015 이상일 수 있고, 상기 원자비의 상한은, 예를 들면, 0.078 미만, 0.068 이하, 0.040 이하 또는 0.030 이하일 수 있다. 본 발명의 실시예들에 따른 트랜지스터는, 구리에 대한 도핑제의 원자비를 상기 범위로 조절함으로써, 우수한 on/off 스위칭 특성을 가질 수 있다.
- [0134] 구리 산화물에 혼입되는 도핑제의 원자비는, 예를 들면, 코-스퍼터링에 의해 구리 산화물에 도핑제를 혼입할 경우 타겟에 인가되는 전력을 조절하여 원하는 값을 갖도록 할 수 있다.
- [0135] 구리 산화물에 도핑제가 혼입되어 구리 산화물의 구리 원자 자리에 도핑제가 치환될 경우, 산화물 반도체층은 산화구리(I) 결정 단위 셀 및 산화구리(I) 단위 셀의 구리 자리에 도핑제가 치환되어 형성된 단위 셀을 포함하는 p형 반도체일 수 있다.
- [0136] 또한, 산화물 반도체층을 산화구리(II)를 포함할 수 있으므로, 산화물 반도체층은 산화구리(II) 결정 단위 셀을 추가로 포함할 수 있고, 상기 단위 셀들 중 전부 또는 일부에 도핑제가 혼입될 경우, 산화구리(II) 결정 단위 셀의 구리 자리에 도핑제가 치환되어 형성된 단위 셀을 추가로 포함하는 p형 반도체일 수 있다.
- [0137] 하기 표 1은 예시적인 트랜지스터의 산화물 반도체층을, 구리 산화물 박막에 코-스퍼터링에 의해 갈륨을 혼입시켜 제조할 때, 갈륨을 포함하는 타겟(이하, "갈륨 타겟"이라 함)에 인가한 전력에 따라 산화물 반도체층에 포함된 구리에 대한 갈륨의 원자비 및 산화물 반도체층의 결정구조를 기재한 것이다.

표 1

Ga 타겟에 인가한 전력	0W	5W	10W	15W
Cu에 대한 Ga의 atomic ratio	0	0.015	0.030	0.078
결정구조	입방 구조의 Cu ₂ O			입방 구조의 Cu ₂ O 및 스피넬 구조의 CuGa ₂ O ₄

- [0139] 상기 표 1에 기재된 예시적인 트랜지스터의 산화물 반도체층은, 구리, 산소 및 갈륨으로 구성되며, 코-스퍼터링에 의해 증착된 것이다. 코-스퍼터링을 통해 구리 산화물에 갈륨을 혼입할 때, 갈륨 타겟에 인가하는 전력 크기가 커지면 혼입되는 갈륨의 양이 많아지게 된다. 표 1을 참조하면, 갈륨 타겟에 0W의 전력을 인가할 경우, 즉 전력을 인가하지 않은 경우에는 갈륨이 혼입되지 않지만, 10W의 전력을 인가한 경우에는 5W의 전력을 인가한 경우보다 많은 양의 갈륨이 혼입되어 구리에 대한 갈륨의 원자비가 증가하는 것을 알 수 있다. 도 7은 표 1에 기재한 예시적인 트랜지스터들의 on/off 스위칭 특성 변화를 나타낸 자료이다.
- [0140] 표 1과 도 7을 참조하면, 도핑제의 구리에 대한 원자비에 따른 트랜지스터의 on/off 스위칭 특성 변화를 알 수 있다. 표 1과 도 7에 나타난 것처럼, 갈륨의 구리에 대한 원자비(이하, "갈륨 원자비"라고 함)가 0인 트랜지스터에 비해서, 갈륨 원자비가 0.015인 트랜지스터와 갈륨 원자비가 0.030인 트랜지스터는 더 우수한 on/off 스위

칭 특성을 보이는 것을 알 수 있다.

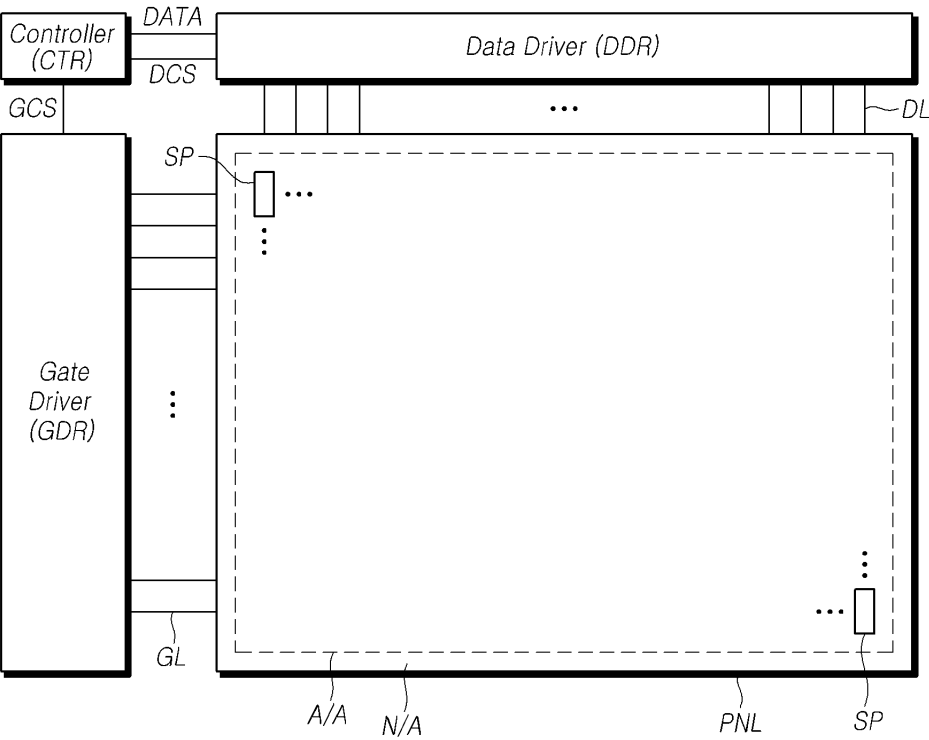
- [0141] 산화물 반도체층은 구리, 산소 및 도핑제로 구성되는 스피넬 구조를 형성하지 않는다.
- [0142] 도 7을 참조하면, 갈륨 원자비가 0.078인 트랜지스터는 갈륨 원자비가 0.015인 트랜지스터와 갈륨 원자비가 0.030인 트랜지스터에 비해 on/off 스위칭 특성이 떨어지는 것을 알 수 있다. 표 1을 참고하면, 원자비가 0.078인 트랜지스터의 산화물 반도체층이 구리, 산소 및 도핑제로 구성되는 스피넬 구조를 형성하기 때문에 스위칭 특성이 떨어진다는 것을 알 수 있다.
- [0143] 도 8은 본 발명의 실시예들에 따른 트랜지스터들의, 구리 산화물에 혼입된 갈륨의 원자비에 따른 산화물 반도체층의 엑스선 회절 분석 자료이다.
- [0144] 도 8의 가로축은 회절 각도를 의미하며, 2θ 값을 표기한 것이고, 도 8의 세로축은 신호의 세기(intensity)를 의미한다.
- [0145] 도 8의 Cu_2O ref. 는 엑스선 회절 분석 자료 데이터베이스에 공지되어 있는 입방 구조의 산화구리(I) 결정의 엑스선 회절 분석 결과이고, Ga: 0W, Ga: 5W, Ga: 10W, Ga: 15W는 표 1에 기재한 예시적인 트랜지스터의 엑스선 회절 분석 결과이다.
- [0146] 도 8을 참조하면, 예시적인 트랜지스터는 산화구리(I) 결정을 포함하는 것을 알 수 있다. 다만, 갈륨 타겟에 인가된 전력이 0W, 5W 및 10W인 트랜지스터의 엑스선 회절 분석 결과에서 관찰되는 피크들의 2θ 값의 분포 양상은 Cu_2O ref.와 유사한 것을 알 수 있다. 따라서, 갈륨 원자비가 0, 0.015 또는 0.030인 p형 반도체는 산화구리(I) 결정 단위 셀을 포함하는 것으로 여겨진다.
- [0147] 또한, 갈륨 타겟에 인가된 전력이 0W인 트랜지스터의 엑스선 회절 분석 결과의 경우, 산화물 반도체층이 구리 산화물에 충분히 환원 공정을 진행한 p형 반도체임에도 불구하고 Cu_2O ref.와 비교할 때 피크의 신호 세기 양상이 상이한 것을 알 수 있다. 이러한 차이는 Cu_2O ref.는 분말 형태의 샘플에서 측정된 것이나, 트랜지스터의 엑스선 회절 분석 결과는 증착된 박막에서 엑스선 회절 분석 측정 샘플이 얻어진 것이라는 점 및 구리 산화물 전구체의 과도한 환원 반응에 의한 oxygen vacancy 발생으로 인한 구조 변화 등에 기인한 것으로 여겨진다.
- [0148] 갈륨 타겟에 인가된 전력이 15W인 트랜지스터의 엑스선 회절 분석 결과의 경우, 갈륨 타겟에 인가된 전력이 0W, 5W 또는 10W인 트랜지스터들에서는 발견되지 않는 피크들이 2θ 값이 30.62, 37.64 및 57.88인 곳에서 발견된다. 이러한 피크는 표 1에 기재한 CuGa_2O_4 스피넬 구조에 의한 것이라고 추측되며, 이러한 스피넬 구조가 갈륨 원자비가 0.078인 p형 반도체의 on/off 스위칭 특성이 열악한 이유라고 추측된다.
- [0149] 본 발명의 실시예들에 따른 산화물 트랜지스터는, 다른 측면에서, 산화물 반도체층이 산소 및 산소가 아닌 제1 원소를 포함하고를 포함하고, 산화물의 환원반응 생성물인 p형 산화물 반도체에 산소와 결합 가능하고, 상기 제1 원소와는 상이한 제2 원소를 포함하는 도핑제가 혼입된 p형 반도체일 수 있다.
- [0150] 산소 및 산소가 아닌 제1 원소를 포함하고, 산화물의 환원반응 생성물인 p형 산화물 반도체는, 어떤 산화물을 환원하여 제조할 수 있고, 산소 및 산소가 아닌 제1 원소를 포함하는 p형 산화물 반도체이면 그 종류가 특별히 제한되는 것은 아니나, 예를 들면, 상술한 구리 산화물일 수 있다.
- [0151] 어떤 산화물의 환원반응 생성물인 p형 산화물 반도체는 상기 어떤 산화물보다 전도 특성이 우수한 p형 산화물 반도체일 수 있다. 따라서, 상기 어떤 산화물을 환원시켜 p형 산화물 반도체를 제조할 때에는, 가능한 한 많은 p형 산화물 반도체를 형성할 수 있도록 환원반응을 수행해야 할 것이다.
- [0152] 제1 원소는 구리일 수 있다. 예를 들면, p형 산화물 반도체는 산소 및 구리를 포함하는 산화구리(I)을 포함할 수 있다. 산화구리(I)은 상술하였듯이 우수한 전도 특성을 가지므로, 제1 원소가 구리일 경우 본 발명의 실시예들에 따른 트랜지스터가 우수한 on/off 스위칭 특성을 가질 수 있다.
- [0153] p형 산화물 반도체는 산화구리(II)의 환원반응 생성물이고, CuO_x 로 표시되며, 상기 x가 0 초과 1 미만일 수 있다. 상술하였듯이 산화구리(II)를 환원시킬 경우, 전도 특성이 우수한 산화구리(I)이 생성되므로, 본 발명의 실시예들에 따른 트랜지스터가 우수한 on/off 스위칭 특성을 가질 수 있다. 상기 CuO_x 의 x의 범위에 관한 사항은, 상술한 CuO_x 로 표시되는 구리 산화물의 x에 대해 설명한 것과 동일하므로, 생략하기로 한다.
- [0154] 산화물 반도체층에 포함되는 산소와 결합 가능하고, 제1 원소와는 상이한 제2 원소를 포함하는 도핑제는, p형 산화물 반도체에 혼입되어 산소와 결합하여, 산화물의 환원반응에 의해 형성되는 p형 산화물 반도체의 on/off

스위칭 특성을 개선할 수 있는 것을 의미한다.

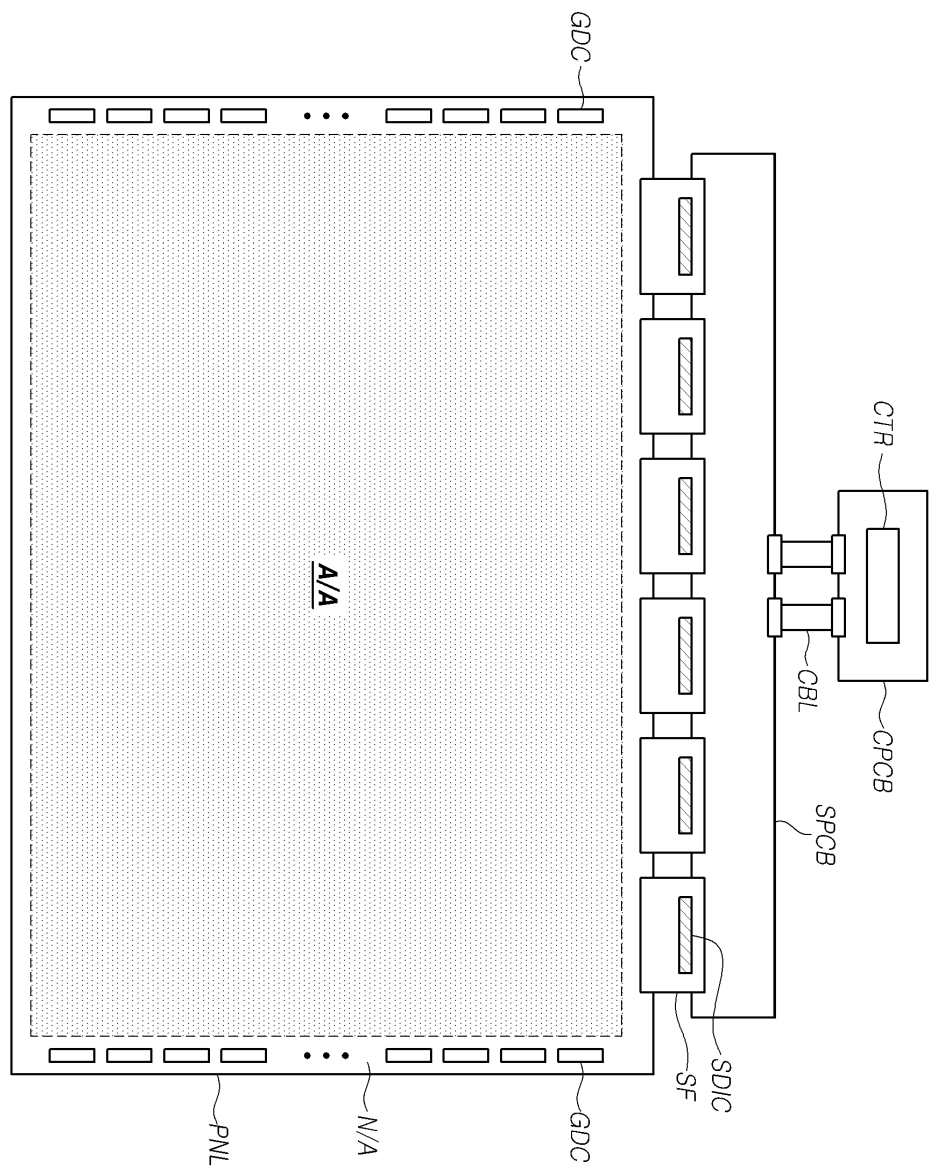
- [0155] 제1 원소가 구리인 경우, 제2 원소는 실리콘, 티타늄, hafnium 및 갈륨으로 이루어진 군에서 선택되는 하나 이상일 수 있으며, 예를 들면, 갈륨일 수 있다. 도핑제일 수 있는 상기 원소들에 대한 사항은, 앞서 도핑제에 대해 설명한 것과 동일하므로, 생략하기로 한다.
- [0156] 이상에서 기술한 본 발명의 실시예들에 의하면, on/off 스위칭 특성이 우수한 트랜지스터를 제공할 수 있다.
- [0157] 또 다른 측면에서, 본 발명의 실시예들에 의하면, 패널(PNL) 및 패널을 구동하는 구동회로를 포함하는 전자장치를 제공할 수 있다.
- [0158] 패널(PNL)은 기판 및 기판 상에 배치된 트랜지스터를 포함할 수 있다.
- [0159] 전자장치의 트랜지스터는, 상술한 본 발명의 실시예들에 따른 트랜지스터와 동일하므로, 전자장치에 포함되는 트랜지스터에 대한 설명은 생략하기로 한다.
- [0160] 또 다른 측면에서, 본 발명의 실시예들에 의하면, 기판, n형 트랜지스터 및 p형 트랜지스터를 포함하는 트랜지스터 회로를 제공할 수 있다.
- [0161] 도 9는 본 발명의 실시예들에 따른 트랜지스터 회로의 회로도이며, 도 10은 본 발명의 실시예들에 따른 트랜지스터 회로의 단면도이다. 도 10의 트랜지스터 회로는 설명의 편의를 위해 Top gate 구조를 예로 들었으나, 본 발명의 내용은 Bottom gate 구조에도 적용될 수 있을 것이다.
- [0162] 도 9 및 도 10에 도시한 트랜지스터 회로에 있어서, n형 트랜지스터(n-TR)와 p형 트랜지스터(p-TR)의 게이트 전극(G)은 서로 연결되어 있으나, 용도에 따라서 게이트 전극(G)은 서로 연결이 되지 않을 수도 있다.
- [0163] 도 9 및 도 10을 참조하면, 본 발명의 실시예들에 따른 트랜지스터 회로는, 기판(SUB), n형 트랜지스터(n-TR) 및 p형 트랜지스터(p-TR)를 포함할 수 있다.
- [0164] 상기 트랜지스터 회로는, 예를 들면, n형 트랜지스터(n-TR)와 p형 트랜지스터(p-TR)의 게이트 전극(G)이 서로 연결되고, 입력 전압(Vin)이 인가되는 CMOS 인버터 (Complementary metal-oxide-semiconductor Inverter)일 수 있다.
- [0165] 도 10을 참조하면, n형 트랜지스터(n-TR)는, 기판(SUB) 상에 배치되고, 게이트 전극(G), 소스 전극(S), 드레인 전극(D), n형 반도체층(ACT) 및 게이트 절연층(GI)을 포함할 수 있다.
- [0166] n형 반도체층은, 예를 들면, n형 산화물 반도체를 포함할 수 있다. 상기 n형 산화물 반도체는, 예를 들면, IZO (Indium Zinc Oxide), IGZO (Indium Gallium Zinc Oxide) 및 ITZO (Indium Tin Zinc Oxide) 중 하나 이상일 수 있다.
- [0167] 상기 예시에서, n형 트랜지스터(n-TR)는 소스 전극(S)이 소스 서플라이(Vss)와 연결될 수 있고, 드레인 전극(D)이 p형 트랜지스터(p-TR)의 소스 전극 및 출력 전압(Vout)과 연결될 수 있다.
- [0168] 본 발명의 실시예들에 따른 트랜지스터 회로에서, p형 트랜지스터(p-TR)는, 기판(SUB) 상에 배치되고, p형 반도체층(ACT)을 포함할 수 있다.
- [0169] p형 트랜지스터는, 드레인 전극(D)이 드레인 서플라이(Vdd)와 연결될 수 있다.
- [0170] 상기 트랜지스터 회로의 p형 트랜지스터는(p-TR) 상술한 본 발명의 실시예들에 따른 트랜지스터일 수 있다. 따라서, 상기 p형 트랜지스터(p-TR)에는, 앞서 본 발명에 따른 트랜지스터에 대해서 설명한 사항이 동일하게 적용될 수 있다.
- [0171] 특히, 트랜지스터 회로의 p형 트랜지스터(p-TR)의 p형 반도체층(ACT)은, 상술한 본 발명의 트랜지스터의 산화물 반도체층일 수 있다. 따라서, p형 트랜지스터(p-TR)는 우수한 on/off 스위칭 특성을 가질 수 있다.
- [0172] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

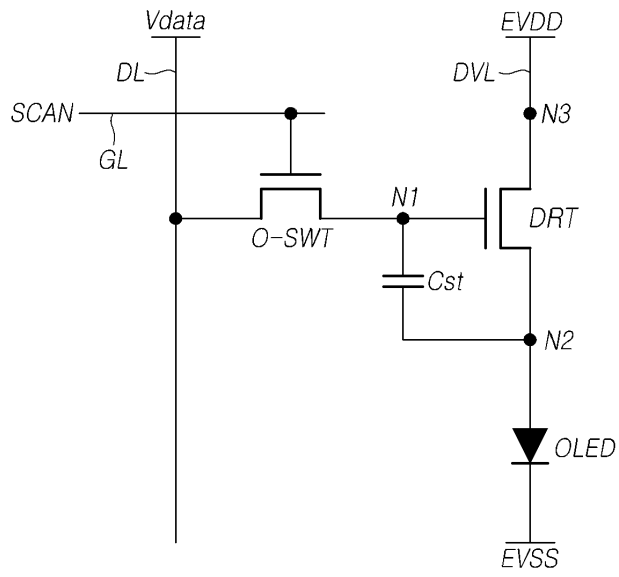
도면1



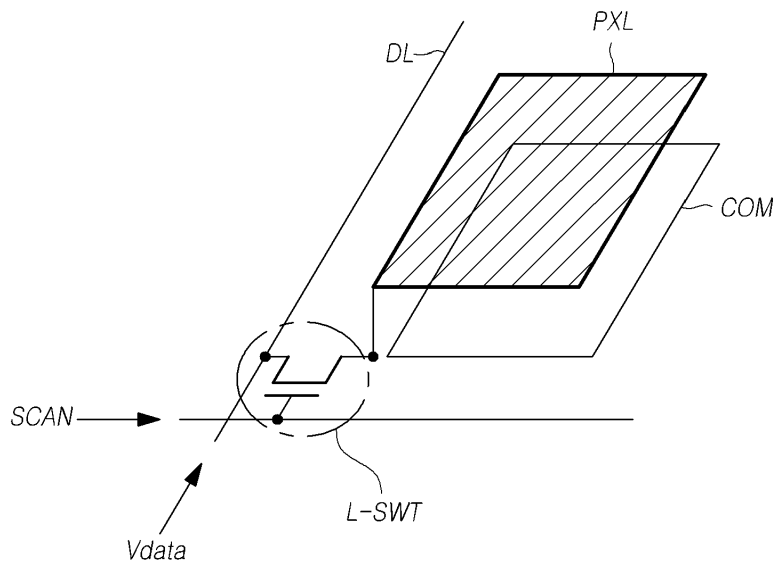
도면2



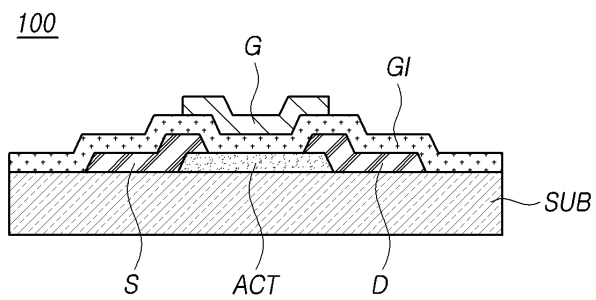
도면3



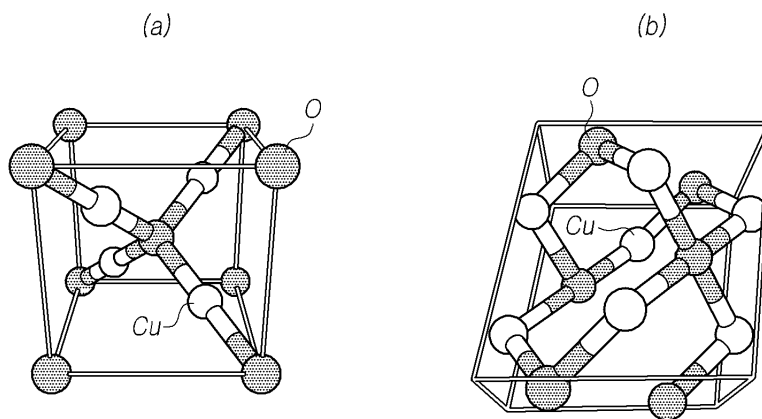
도면4



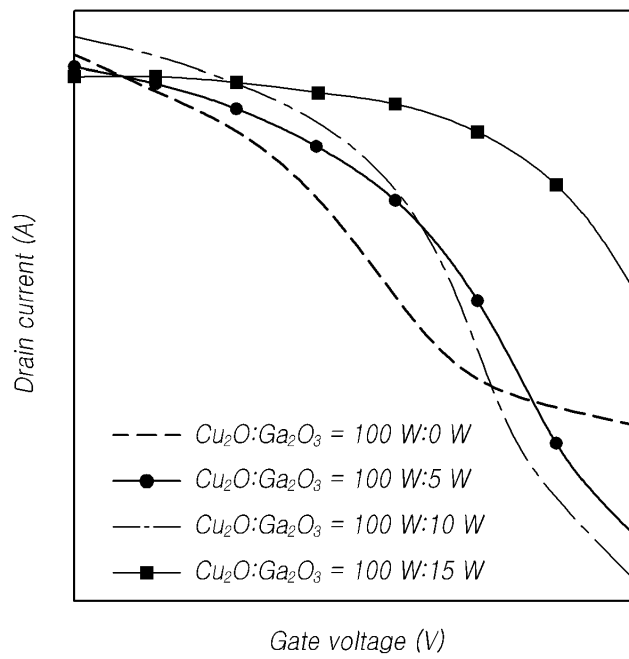
도면5



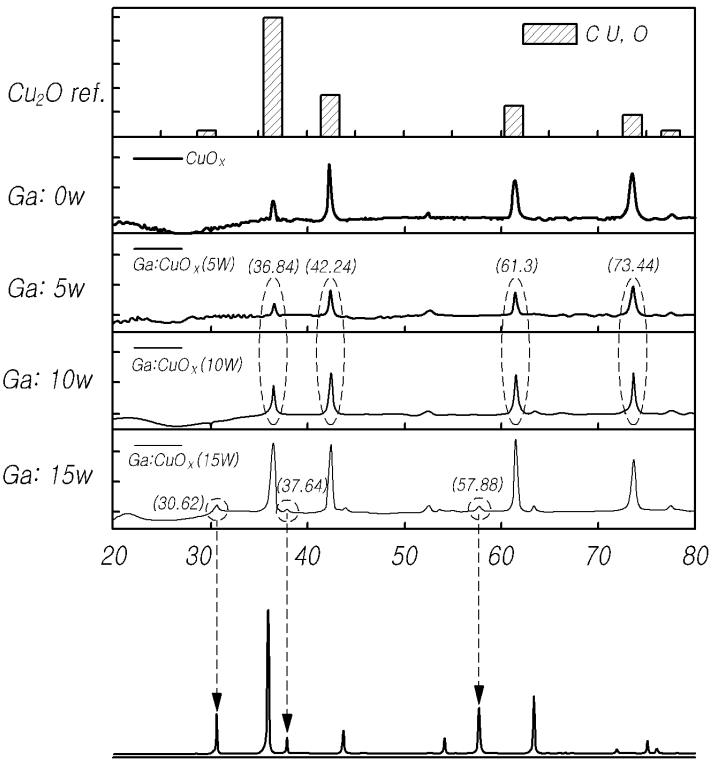
도면6



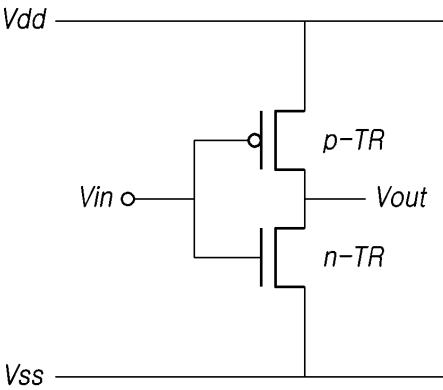
도면7



도면8



도면9



도면10

