



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2023년03월17일

(11) 등록번호 10-2511912

(24) 등록일자 2023년03월15일

(51) 국제특허분류(Int. Cl.)  
**G11C 11/16** (2006.01) **G11C 7/06** (2021.01)  
**G11C 7/08** (2006.01)  
 (52) CPC특허분류  
**G11C 11/1673** (2013.01)  
**G11C 11/161** (2013.01)  
 (21) 출원번호 10-2019-7008130  
 (22) 출원일자(국제) 2017년09월18일  
 심사청구일자 2020년09월04일  
 (85) 번역문제출일자 2019년03월20일  
 (65) 공개번호 10-2019-0053854  
 (43) 공개일자 2019년05월20일  
 (86) 국제출원번호 PCT/US2017/052068  
 (87) 국제공개번호 WO 2018/057460  
 국제공개일자 2018년03월29일  
 (30) 우선권주장  
 15/274,034 2016년09월23일 미국(US)  
 (56) 선행기술조사문헌  
 WO2015123069 A1

(73) 특허권자  
**윌컴 테크놀로지스, 인크.**  
 미국, 캘리포니아 92121-1714, 샌디에고, 모어하우스 드라이브 5775  
**연세대학교 산학협력단**  
 서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
 (72) 발명자  
**나태희**  
 대한민국 서울 서대문구 연세로 50  
**송병규**  
 대한민국 서울 서대문구 연세로 50  
 (뒷면에 계속)  
 (74) 대리인  
**특허법인 남앤남**

전체 청구항 수 : 총 30 항

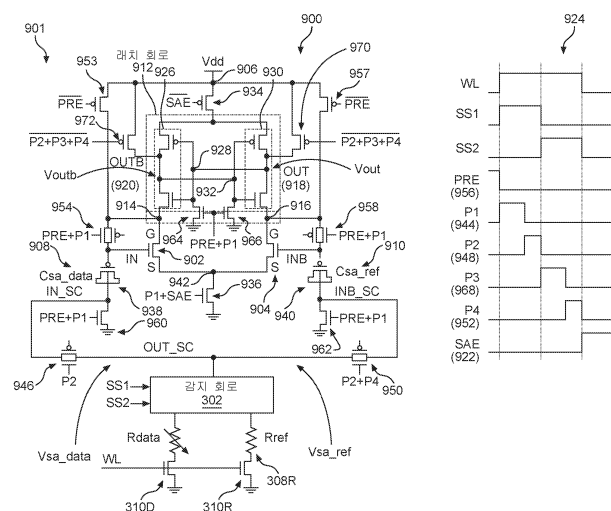
심사관 : 윤석채

(54) 발명의 명칭 MOS 트랜지스터 오프셋-상쇄 차동 전류-래치형 감지 증폭기

**(57) 요약**

차동 전압들을 감지하기 위한 금속 산화물 반도체(MOS) 트랜지스터 오프셋 상쇄(OC), 제로 감지(ZS) 데드 존, 전류-래치형 감지 증폭기들(SAs)(CLSAs)(OCZS-SAs)이 제공된다. OCZS-SA는 더 작은 감지 증폭기 오프셋 전압으로, 수신된 차동 데이터 및 기준 입력 전압들을 증폭하여, 메모리 비트셀(들)의 상이한 저장 상태들 사이

(뒷면에 계속)

**대표도** - 도9

에 더 큰 감지 마진을 제공하도록 구성된다. OCZS-SA는 입력 및 상보 입력 트랜지스터들의 오프셋 전압들을 상쇄시키고, 감지 페이즈들 동안 입력 및 상보 입력 트랜지스터들을 그들의 활성화된 상태로 유지하도록 구성되어, 그들의 게이트-소스 전압( $V_{gs}$ )이 그들 각각의 문턱 전압들보다 낮을 때 그들의 "데드 존들"에서 감지가 수행되지 않도록 한다. 다른 양태들에서, 감지 증폭기 캐패시터들은 전압 포착 페이즈들 동안 입력 및 상보 입력 트랜지스터들의 게이트들에서의 데이터 및 기준 입력 전압들을 직접 저장하도록 구성되어, 그렇지 않았더라면 추가적인 감지 캐패시터 회로들로 소비되었을 추가적인 레이아웃 면적을 회피하게 된다.

(52) CPC특허분류

**G11C 11/1697** (2013.01)

**G11C 7/065** (2013.01)

**G11C 7/08** (2013.01)

G11C 2207/002 (2013.01)

G11C 2207/063 (2013.01)

(72) 발명자

**정승욱**

대한민국 서울 서대문구 연세로 50

**김정필**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드

라이브 5775

**강승혁**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드

라이브 5775

## 명세서

### 청구범위

#### 청구항 1

감지 증폭기로서,

래치 회로 - 상기 래치 회로는:

데이터 입력 전압을 수신하도록 구성된 입력 노드; 및

기준 입력 전압을 수신하도록 구성된 상보 입력 노드를 포함하고;

상기 래치 회로는 감지 증폭기 페이즈 신호에 대한 응답으로, 상기 데이터 입력 전압 및 상기 기준 입력 전압에 기초한 차동 전압에 기초하여, 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하도록 구성됨 -;

감지 회로로부터의 상기 데이터 입력 전압을 저장하도록 구성된 데이터 감지 증폭기 캐패시터 회로;

상기 감지 회로로부터의 상기 기준 입력 전압을 저장하도록 구성된 기준 감지 증폭기 캐패시터 회로;

상기 데이터 감지 증폭기 캐패시터 회로에 연결된 게이트를 포함하는 입력 트랜지스터 - 상기 입력 트랜지스터는 상기 감지 증폭기 페이즈 신호에 대한 응답으로, 상기 데이터 감지 증폭기 캐패시터 회로에 저장된 상기 데이터 입력 전압에 기초하여 상기 입력 노드를 기준 노드에 연결하도록 구성됨 -;

상기 기준 감지 증폭기 캐패시터 회로에 연결된 게이트를 포함하는 상보 입력 트랜지스터 - 상기 상보 입력 트랜지스터는 상기 감지 증폭기 페이즈 신호에 대한 응답으로, 상기 기준 감지 증폭기 캐패시터 회로의 상기 기준 입력 전압에 기초하여 상기 상보 입력 노드를 상기 기준 노드에 연결하도록 구성됨 -;

상기 입력 트랜지스터 및 상기 상보 입력 트랜지스터에 연결된 기준 스위치 회로 - 상기 기준 스위치 회로는, 방전 페이즈 신호에 대한 응답으로, 상기 입력 트랜지스터 및 상기 상보 입력 트랜지스터의 오프셋 전압들을 상쇄(cancel)시키기 위해 상기 입력 트랜지스터의 게이트에서의 전압을 상기 입력 트랜지스터의 입력 문턱 전압으로 조정하고 그리고 상기 상보 입력 트랜지스터의 게이트에서의 전압을 상기 상보 입력 트랜지스터의 상보 입력 문턱 전압으로 조정하도록 구성됨 -;

상기 데이터 감지 증폭기 캐패시터 회로를 상기 감지 회로의 출력 노드에 직접 연결하는 데이터 입력 회로 - 상기 데이터 입력 회로는 제1 전압 포착 페이즈 신호에 대한 응답으로, 상기 데이터 입력 전압을 상기 데이터 감지 증폭기 캐패시터 회로에 직접 전달(pass)하도록 구성됨 -; 및

상기 기준 감지 증폭기 캐패시터 회로를 상기 감지 회로의 출력 노드에 직접 연결하는 기준 입력 회로 - 상기 기준 입력 회로는 제2 전압 포착 페이즈 신호에 대한 응답으로, 상기 기준 입력 전압을 상기 기준 감지 증폭기 캐패시터 회로에 직접 전달하도록 구성됨 -

를 포함하는, 감지 증폭기.

#### 청구항 2

제1 항에 있어서,

상기 데이터 입력 회로와 상기 데이터 감지 증폭기 캐패시터 회로 사이에는 어떠한 추가적인 캐패시터도 연결되지 않으며, 상기 기준 입력 회로와 상기 기준 감지 증폭기 캐패시터 회로 사이에는 어떠한 추가적인 캐패시터도 연결되지 않는, 감지 증폭기.

#### 청구항 3

제1 항에 있어서

상기 제1 전압 포착 페이즈 신호 이후에 상기 제2 전압 포착 페이즈 신호를 수신하도록 구성되는, 감지 증폭기.

#### 청구항 4

제1 항에 있어서,

상기 입력 트랜지스터의 상기 게이트에 연결된 프리차지 회로(pre-charge circuit) - 상기 프리차지 회로는 프리차지 페이즈 신호에 대한 응답으로, 상기 입력 트랜지스터의 상기 게이트를 공급 노드 상의 공급 전압으로 프리차지하도록 구성됨 -; 및

상기 상보 입력 트랜지스터의 상기 게이트에 연결된 상보 프리차지 회로 - 상기 상보 프리차지 회로는 상기 프리차지 페이즈 신호에 대한 응답으로, 상기 상보 입력 트랜지스터의 상기 게이트를 상기 공급 노드 상의 상기 공급 전압으로 프리차지하도록 구성됨 -

를 더 포함하는, 감지 증폭기.

#### 청구항 5

제4 항에 있어서,

상기 프리차지 회로는 상기 프리차지 페이즈 신호에 대한 응답으로, 상기 입력 트랜지스터의 상기 게이트를 상기 공급 노드 상의 상기 공급 전압에 연결하도록 구성된 패스 게이트(pass gate)를 포함하며; 그리고

상기 상보 프리차지 회로는 상기 프리차지 페이즈 신호에 대한 응답으로, 상기 상보 입력 트랜지스터의 상기 게이트를 상기 공급 노드 상의 상기 공급 전압에 연결하도록 구성된 패스 게이트를 포함하는, 감지 증폭기.

#### 청구항 6

제1 항에 있어서,

상기 데이터 감지 증폭기 캐패시터 회로와 접지 노드 사이에 연결된 방전 회로 - 상기 방전 회로는 프리차지 페이즈 신호 및 상기 방전 페이즈 신호에 대한 응답으로, 상기 데이터 감지 증폭기 캐패시터 회로를 상기 접지 노드로 방전하도록 구성됨 -; 및

상기 기준 감지 증폭기 캐패시터 회로와 상기 접지 노드 사이에 연결된 상보 방전 회로 - 상기 상보 방전 회로는 상기 프리차지 페이즈 신호 및 상기 방전 페이즈 신호에 대한 응답으로, 상기 기준 감지 증폭기 캐패시터 회로를 상기 접지 노드로 방전하도록 구성됨 -

를 더 포함하는, 감지 증폭기.

#### 청구항 7

제1 항에 있어서,

상기 출력 노드에 연결된 래치 방전 회로 - 상기 래치 방전 회로는 프리차지 페이즈 신호 및 상기 방전 페이즈 신호에 대한 응답으로, 상기 출력 노드를 접지 노드로 방전하도록 구성됨 -; 및

상기 상보 출력 노드에 연결된 상보 래치 방전 회로 - 상기 상보 래치 방전 회로는 상기 프리차지 페이즈 신호 및 상기 방전 페이즈 신호에 대한 응답으로, 상기 상보 출력 노드를 상기 접지 노드로 방전하도록 구성됨 -

를 더 포함하는, 감지 증폭기.

#### 청구항 8

제1 항에 있어서,

상기 출력 노드에 연결된 래치 프리차지 회로 - 상기 래치 프리차지 회로는 상기 제1 전압 포착 신호 및 상기 제2 전압 포착 신호에 대한 응답으로, 상기 출력 노드를 공급 전압으로 프리차지하도록 구성됨 -; 및

상기 상보 출력 노드에 연결된 상보 래치 프리차지 회로 - 상기 상보 래치 프리차지 회로는 상기 제1 전압 포착 신호 및 상기 제2 전압 포착 신호에 대한 응답으로, 상기 상보 출력 노드를 상기 공급 전압으로 프리차지하도록 구성됨 -

를 더 포함하는, 감지 증폭기.

## 청구항 9

제1 항에 있어서,

상기 감지 증폭기는, 공급 노드와 상기 래치 회로 사이에 연결된 공급 스위치 회로를 더 포함하며, 상기 공급 스위치 회로는 상기 감지 증폭기 페이즈 신호에 대한 응답으로, 상기 공급 노드 상의 공급 전압을 상기 래치 회로에 연결하도록 구성되는, 감지 증폭기.

## 청구항 10

제9 항에 있어서,

상기 기준 스위치 회로는, 상기 감지 증폭기 페이즈 신호에 대한 응답으로, 상기 입력 트랜지스터 및 상기 상보 입력 트랜지스터를 상기 기준 노드에 연결하도록 추가로 구성되는, 감지 증폭기.

## 청구항 11

제1 항에 있어서,

상기 데이터 감지 증폭기 캐패시터 회로는 데이터 감지 증폭기 캐패시터를 포함하며; 그리고  
상기 기준 감지 증폭기 캐패시터 회로는 기준 감지 증폭기 캐패시터를 포함하는, 감지 증폭기.

## 청구항 12

제11 항에 있어서,

상기 데이터 감지 증폭기 캐패시터는 1 내지 5 마이크로미터( $\mu\text{m}$ )의 폭을 가지며; 그리고  
상기 기준 감지 증폭기 캐패시터는 1 내지 5 마이크로미터( $\mu\text{m}$ )의 폭을 갖는, 감지 증폭기.

## 청구항 13

제1 항에 있어서,

상기 입력 노드 상의 상기 데이터 입력 전압과 상기 상보 입력 노드 상의 상기 기준 입력 전압 사이에 4 및 9 밀리볼트(mV)의 오프셋 전압 변동을 제공하도록 구성되는, 감지 증폭기.

## 청구항 14

제1 항에 있어서,

상기 입력 트랜지스터는 N-타입 금속 산화물 반도체(NMOS; N-type metal-oxide semiconductor(MOS)) 트랜지스터를 포함하며; 그리고

상기 상보 입력 트랜지스터는 NMOS 트랜지스터를 포함하는, 감지 증폭기.

## 청구항 15

제1 항에 있어서,

상기 래치 회로는:

제1 인버터 입력 노드 및 상기 상보 출력 노드를 포함하는 제1 인버터 - 상기 제1 인버터는 상기 제1 인버터 입력 노드 상의 신호를 상기 상보 출력 노드로 반전시키도록 구성됨 -; 및

제2 인버터 입력 노드 및 상기 출력 노드를 포함하는 제2 인버터 - 상기 제2 인버터는 상기 제2 인버터 입력 노드 상의 신호를 상기 출력 노드로 반전시키도록 구성됨 -

를 더 포함하며,

상기 출력 노드는 상기 제1 인버터 입력 노드에 연결되고; 그리고

상기 상보 출력 노드는 상기 제2 인버터 입력 노드에 연결되는, 감지 증폭기.

## 청구항 16

제1 항에 있어서,

집적 회로(integrated circuit)(IC)에 통합되는, 감지 증폭기.

## 청구항 17

제1 항에 있어서,

셋톱 박스; 데이터 유닛; 모바일 위치 데이터 유닛; 모바일 폰; 셀룰러 폰; 스마트 폰; 태블릿; 패블릿(phablet); 컴퓨터; 휴대용 컴퓨터; 데스크톱 컴퓨터; 개인 휴대 정보 단말기(personal digital assistant)(PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(digital video disc)(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 및 자동차로 이루어진 그룹으로부터 선택되는 디바이스에 통합되는, 감지 증폭기.

## 청구항 18

감지 증폭기로서,

래칭 수단 - 상기 래칭 수단은:

데이터 입력 전압을 수신하기 위한 수단;

기준 입력 전압을 수신하기 위한 수단; 및

감지 증폭기 페이즈 신호에 대한 응답으로, 상기 데이터 입력 전압 및 상기 기준 입력 전압에 기초한 차동 전압에 기초하여, 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하기 위한 수단을 포함함 -;

감지 회로로부터의 상기 데이터 입력 전압을 저장하기 위한 수단;

상기 감지 회로로부터의 상기 기준 입력 전압을 저장하기 위한 수단;

상기 데이터 입력 전압을 저장하기 위한 수단에 연결된 입력 수단 - 상기 입력 수단은 상기 데이터 입력 전압을 저장하기 위한 수단에 저장된 상기 데이터 입력 전압에 기초하여 상기 데이터 입력 전압을 수신하기 위한 수단을 기준 노드에 연결하기 위한 것임 -;

상기 기준 입력 전압을 저장하기 위한 수단에 연결된 상보 입력 수단 - 상기 상보 입력 수단은 상기 기준 입력 전압을 저장하기 위한 수단에 저장된 상기 기준 입력 전압에 기초하여 상기 기준 입력 전압을 수신하기 위한 수단을 상기 기준 노드에 연결하기 위한 것임 -;

상기 입력 수단 및 상기 상보 입력 수단에 연결된 방전하기 위한 수단 - 상기 방전하기 위한 수단은, 방전 페이즈 신호에 대한 응답으로, 상기 입력 수단 및 상기 상보 입력 수단의 오프셋 전압들을 상쇄시키기 위해 상기 입력 수단을 방전하고 그리고 상기 상보 입력 수단을 방전하기 위한 것임 -;

상기 데이터 입력 전압을 저장하기 위한 수단을 상기 감지 회로의 출력 노드에 직접 연결하는 데이터 입력 수단 - 상기 데이터 입력 수단은 전압 포착 페이즈 신호에 대한 응답으로, 상기 데이터 입력 전압을 저장하기 위한 수단에 상기 데이터 입력 전압을 직접 전달하기 위한 것임 - ; 및

상기 기준 입력 전압을 저장하기 위한 수단을 상기 감지 회로의 출력 노드에 직접 연결하는 기준 입력 수단 - 상기 기준 입력 수단은 상기 전압 포착 페이즈 신호에 대한 응답으로, 상기 기준 입력 전압을 저장하기 위한 수단에 상기 기준 입력 전압을 직접 전달하도록 구성됨 -

을 포함하는, 감지 증폭기.

## 청구항 19

제18 항에 있어서,

상기 입력 수단에 연결되며, 프리차지 페이즈 신호에 대한 응답으로, 상기 입력 수단을 공급 노드 상의 공급 전

압으로 프리차지하기 위한, 프리차지하기 위한 수단; 및

상기 상보 입력 수단에 연결되며, 상기 프리차지 페이즈 신호에 대한 응답으로, 상기 상보 입력 수단을 상기 공급 노드 상의 상기 공급 전압으로 프리차지하기 위한, 프리차지하기 위한 상보 수단을

을 더 포함하는, 감지 증폭기.

#### 청구항 20

데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법으로서,

방전 페이즈 신호에 대한 응답으로, 입력 트랜지스터 및 상보 입력 트랜지스터의 오프셋 전압들을 상쇄시키기 위해, 상기 입력 트랜지스터의 게이트를 상기 입력 트랜지스터의 입력 문턱 전압까지 방전하고 그리고 상기 상보 입력 트랜지스터의 게이트를 상기 상보 입력 트랜지스터의 상보 입력 문턱 전압까지 방전하는 단계;

수신된 데이터 입력 전압을, 상기 입력 트랜지스터의 게이트에 연결된 데이터 감지 증폭기 캐패시터 및 상기 상보 입력 트랜지스터의 게이트에 연결된 기준 감지 증폭기 캐패시터에 저장하는 단계;

제1 전압 포착 페이즈 신호에 대한 응답으로, 상기 입력 트랜지스터의 게이트에서의 전압을 상기 입력 문턱 전압 더하기(plus) 상기 데이터 입력 전압으로 조정하고 그리고 상기 상보 입력 트랜지스터의 게이트에서의 전압을 상기 상보 입력 문턱 전압 더하기 상기 데이터 입력 전압으로 조정하는 단계;

상기 제1 전압 포착 페이즈 신호에 대한 응답으로, 래치 회로의 출력 노드 및 상보 출력 노드를 공급 노드에서의 공급 전압으로 프리차지하는 단계;

제2 전압 포착 페이즈 신호에 대한 응답으로, 수신된 기준 입력 전압을 상기 기준 감지 증폭기 캐패시터에 저장하는 단계;

상기 제2 전압 포착 페이즈 신호에 대한 응답으로, 상기 상보 입력 트랜지스터의 게이트에서의 전압을 상기 입력 문턱 전압 더하기 상기 기준 입력 전압으로 조정하는 단계; 및

상기 데이터 입력 전압 및 상기 기준 입력 전압에 기초한 차동 전압에 기초하여, 상기 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상기 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하는 단계

를 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 21

제20 항에 있어서,

상기 데이터 입력 전압 및 상기 기준 입력 전압을 다른 캐패시터 회로에 저장하지 않는 단계를 더 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 22

제20 항에 있어서,

상기 제1 전압 포착 페이즈 신호를 수신한 후에 상기 제2 전압 포착 페이즈 신호를 수신하는 단계를 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 23

제20 항에 있어서,

프리차지 페이즈 신호에 대한 응답으로, 상기 입력 트랜지스터의 게이트 및 상기 상보 입력 트랜지스터의 게이트를 상기 공급 노드로부터의 상기 공급 전압으로 프리차지하는 단계를 더 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 24

제20 항에 있어서,

감지 증폭기 페이즈 신호에 대한 응답으로, 상기 래치 회로의 상기 출력 노드 및 상기 상보 출력 노드를 상기

공급 노드에서의 상기 공급 전압으로 프리차지하는 단계를 더 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 25

제23 항에 있어서,

상기 프리차지 페이지 신호 및 상기 방전 페이지 신호에 대한 응답으로, 상기 데이터 감지 증폭기 캐패시터를 접지 노드로 방전하는 단계; 및

상기 프리차지 페이지 신호 및 상기 방전 페이지 신호에 대한 응답으로, 상기 기준 감지 증폭기 캐패시터를 상기 접지 노드로 방전하는 단계

를 더 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 26

제23 항에 있어서,

상기 프리차지 페이지 신호 및 상기 방전 페이지 신호에 대한 응답으로, 상기 출력 노드를 기준 노드로 방전하는 단계; 및

상기 프리차지 페이지 신호 및 상기 방전 페이지 신호에 대한 응답으로, 상기 상보 출력 노드를 상기 기준 노드로 방전하는 단계

를 더 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 27

제23 항에 있어서,

상기 제1 전압 포착 신호 및 상기 제2 전압 포착 신호에 대한 응답으로, 상기 출력 노드를 상기 공급 전압으로 프리차지하는 단계; 및

상기 제1 전압 포착 신호 및 상기 제2 전압 포착 신호에 대한 응답으로, 상기 상보 출력 노드를 상기 공급 전압으로 프리차지하는 단계

를 더 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 28

제20 항에 있어서,

감지 증폭기 페이지 신호에 대한 응답으로, 상기 공급 전압을 상기 래치 회로에 연결하고 상기 입력 트랜지스터 및 상기 상보 입력 트랜지스터를 기준 노드에 연결하는 단계를 더 포함하는, 데이터 입력 전압과 기준 입력 전압의 차동 전압을 감지하는 방법.

#### 청구항 29

저항성 메모리 감지 시스템으로서,

복수의 저항성 메모리 비트셀들을 포함하는 메모리 어레이 - 각각의 저항성 메모리 비트셀은 데이터 저항성 메모리 엘리먼트 및 기준 저항성 메모리 엘리먼트를 포함하고, 상기 복수의 저항성 메모리 비트셀들 각각의 저장 상태는 상기 데이터 저항성 메모리 엘리먼트와 상기 기준 저항성 메모리 엘리먼트 사이의 차동 저항에 기초함 -;

상기 메모리 어레이에 연결된 감지 회로 - 상기 감지 회로는:

관독 동작에 대한 응답으로, 상기 복수의 저항성 메모리 비트셀들 중에서 저항성 메모리 비트셀을 선택하고;

상기 선택된 저항성 메모리 비트셀의 상기 데이터 저항성 메모리 엘리먼트의 저항에 기초하여 데이터 입력 전압을 생성하고; 그리고



상기 선택된 저항성 메모리 비트셀의 상기 기준 저항성 메모리 엘리먼트의 저항에 기초하여 기준 입력 전압을 생성하도록 구성됨 -; 및

감지 증폭기 - 감지 증폭기는:

방전 페이즈 신호에 대한 응답으로, 입력 트랜지스터 및 상보 입력 트랜지스터의 오프셋 전압들을 상쇄시키기 위해, 상기 입력 트랜지스터의 게이트를 상기 입력 트랜지스터의 입력 문턱 전압까지 방전하고 그리고 상기 상보 입력 트랜지스터의 게이트를 상기 상보 입력 트랜지스터의 상보 입력 문턱 전압까지 방전하고;

상기 감지 회로로부터의 상기 데이터 입력 전압을, 상기 입력 트랜지스터의 게이트에 연결된 데이터 감지 증폭기 캐패시터 및 상기 상보 입력 트랜지스터의 게이트에 연결된 기준 감지 증폭기 캐패시터에 저장하고;

전압 포착 페이즈 신호에 대한 응답으로, 상기 입력 트랜지스터의 게이트에서의 전압을 상기 입력 문턱 전압 더하기 상기 데이터 입력 전압으로 조정하고 그리고 상기 상보 입력 트랜지스터의 게이트에서의 전압을 상기 상보 입력 문턱 전압 더하기 상기 데이터 입력 전압으로 조정하고;

제1 전압 포착 페이즈 신호에 대한 응답으로, 래치 회로의 출력 노드 및 상보 출력 노드를 공급 노드에서의 공급 전압으로 프리차지하고;

제2 전압 포착 페이즈 신호에 대한 응답으로, 상기 감지 회로로부터 수신된 상기 기준 입력 전압을 상기 기준 감지 증폭기 캐패시터에 저장하고;

상기 제2 전압 포착 페이즈 신호에 대한 응답으로, 상기 상보 입력 트랜지스터의 게이트에서의 전압을 상기 입력 문턱 전압 더하기 상기 기준 입력 전압으로 조정하고; 그리고

상기 데이터 입력 전압 및 상기 기준 입력 전압에 기초한 차동 전압에 기초하여, 상기 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상기 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하도록 구성됨 -

를 포함하는, 저항성 메모리 감지 시스템.

## 청구항 30

제29 항에 있어서,

상기 복수의 저항성 메모리 비트셀들 각각은, 데이터 자기 터널 접합(data magnetic tunnel junction)(MTJ) 디바이스를 포함하는 상기 데이터 저항성 메모리 엘리먼트 및 기준 MTJ 디바이스를 포함하는 상기 기준 저항성 메모리 엘리먼트를 포함하는, 저항성 메모리 감지 시스템.

## 발명의 설명

### 기술 분야

[0001] 본 출원은 2016년 9월 23일자로 출원된 "METAL-OXIDE SEMICONDUCTOR (MOS) TRANSISTOR OFFSET-CANCELLING(OC), ZERO-SENSING(ZS) DEAD ZONE, CURRENT-LATCHED SENSE AMPLIFIERS(SAs)(CLSAs)(OCZS-SAs) FOR SENSING DIFFERENTIAL VOLTAGES"라는 명칭의 US 특허출원 일련 번호 제15/274,034호의 우선권을 주장하며, 이 US 특허출원은 그 전체가 인용에 의해 본원에 포함된다.

[0002] 본 개시내용의 기술은 일반적으로 자기 터널 접합(magnetic tunnel junction)(MTJ) 저장 엘리먼트들의 자기 분극(magnetic polarization)의 함수로써 데이터를 저장하기 위한 자기 랜덤 액세스 메모리(MRAM: magnetic random access memory) 비트셀들을 포함하는 MRAM들에 관한 것으로, 보다 상세하게는 판독 동작의 일 부분으로서 MRAM 비트셀들의 저장 상태들을 감지하기 위한 감지 회로에 관한 것이다.

### 배경 기술

[0003] 반도체 저장 디바이스들은 전자 디바이스들의 집적 회로들(integrated circuits)(ICs)에서 데이터 저장을 제공하기 위해 사용된다. 반도체 저장 디바이스의 하나의 예는 자기 랜덤 액세스 메모리(MRAM)이다. MRAM은 MRAM 비트셀의 일부로서 자기 터널 접합(MTJ)을 프로그래밍함으로써 데이터가 저장되는 비휘발성 메모리이다. 통상의 랜덤 액세스 메모리(RAM) 칩 기술들과 달리, MRAM에서, 데이터는 전하(electric charge)로서 저장되는 것이 아니라, 대신에 저장 엘리먼트들의 자기 분극에 의해 저장된다. 따라서, MRAM의 하나의 이점

은, 전력이 턴 오프되더라도 MRAM 비트셀들이 저장된 정보를 보유할 수 있다는 점이다. 저장 엘리먼트들은 터널링 층에 의해 분리된 2 개의 강자성 층들로 형성된다. 고정 층 또는 핀 층(pinned layer)이라고 지칭되는, 2 개의 강자성 층들 중 하나는 특정 방향으로 고정된 자화를 갖는다. 자유 층이라고 지칭되는 다른 강자성 자기 층은, 자유 층 자화가 고정 층 자화에 대해 역평행(anti-parallel)(AP)일 때는 "1"을 나타내기 위해 또는 자유 층 자화가 고정 층 자화에 대해 평행일 때는 "0"을 나타내기 위해(그 반대로도 가능함) 변동될 수 있는 자화 방향을 갖는다. 고정 층, 터널링 층 및 자유 층을 갖는 그러한 하나의 디바이스는 MTJ이다. MTJ의 전기 저항은 자유 층 자화 및 고정 층 자화가 서로 평행한지 또는 역평행한지에 따라 좌우된다. 따라서, MRAM은 저항성 메모리 디바이스들로서 개별적으로 어드레스가능한 MTJ들의 어레이로부터 구축될 수 있다.

[0004]

[0004] MTJ 디바이스들의 최근의 발전들은 스핀 전달 토크(spin-transfer torque)(STT)-MRAM 디바이스들을 수반한다. STT-MRAM 디바이스들에서는 자기장의 펄스 대신에 캐리어 전자들의 스핀 분극(spin polarization)이 MTJ에 저장된 상태(즉, '0' 또는 '1')를 프로그램하는데 사용된다. 도 1은 MTJ(100)를 도시한다. MTJ(100)는 MRAM 비트셀(102)의 일부로서 비휘발성 데이터를 저장하기 위해 제공된다. 금속 산화물 반도체(metal-oxide semiconductor)(전형적으로, n-타입 MOS, 즉, NMOS) 액세스 트랜지스터(104)는 MTJ(100)에 대한 판독 및 기입을 제어하기 위해 제공된다. 액세스 트랜지스터(104)의 드레인(D)은 MTJ(100)의 최하부 전극(106)에 연결되고, 최하부 전극(106)은 고정된 자화 방향을 갖는 핀 층(108)에 연결된다. 워드 라인(word line)(WL)은 액세스 트랜지스터(104)의 게이트(G)에 연결된다. 액세스 트랜지스터(104)의 소스(S)는 소스 라인(source line)(SL)을 통해 전압원( $V_s$ )에 연결된다. 전압원( $V_s$ )은 소스 라인(SL) 상에 전압( $V_{s1}$ )을 제공한다. 비트 라인(bit line)(BL)은 MTJ(100)의 최상부 전극(110)에 연결되며, 최상부 전극(110)은 예를 들어 자유 층(112)에 연결된다. 핀 층(108)과 자유 층(112)은 터널 장벽(114)에 의해 분리된다.

[0005]

[0005] 계속해서 도 1을 참조하면, 데이터를 MRAM 비트셀(102)에 기입할 때, 액세스 트랜지스터(104)의 게이트(G)는 워드 라인(WL)을 활성화시킴으로써 활성화된다. 비트 라인(BL) 상의 전압( $V_{b1}$ )과 소스 라인(SL) 상의 전압( $V_{s1}$ ) 사이에 전압 차가 인가된다. 그 결과, 액세스 트랜지스터(104)의 드레인(D)과 소스(S) 사이에 기입 전류(I)가 생성된다. MTJ(100)의 자기 배향이 AP로부터 P로 변경될 경우, 자유 층(112)으로부터 핀 층(108)으로 흐르는 기입 전류( $I_{AP-P}$ )가 생성된다. 이것은 자유 층(112)에서 STT를 유도하여 핀 층(108)에 대하여 자유 층(112)의 자기 배향을 P로 변경한다. 자기 배향이 P에서 AP로 변경될 경우, 핀 층(108)으로부터 자유 층(112)으로 흐르는 전류( $I_{P-AP}$ )가 생성되고, 이는 자유 층(112)에서 STT를 유도하여 핀 층(108)에 대해 자유 층(112)의 자기 배향을 AP로 변경한다. MRAM 비트셀(102)로부터 데이터를 판독하기 위해, 데이터를 기입하는데 사용된 동일한 전류 경로를 통하는 판독 전류가 MTJ(100)를 통해 생성된다. MTJ(100)의 자유 층(112) 및 핀 층(108)의 자화들이 서로 평행하게(P) 배향되면, MTJ(100)에는, 자유 층(112) 및 핀 층(108)의 자화들이 역평행(AP) 배향에 있었을 경우에 MTJ(100)에 존재하였을 저항과 상이한 저항이 존재한다. 2 개의 상이한 저항들은 MTJ(100)에 저장된 논리 "0" 및 논리 "1"을 나타낸다.

[0006]

[0006] 도 2는 도 1의 MRAM 비트셀(102)과 같은 메모리 비트셀들을 포함할 수 있는 통상의 MRAM(200)의 일부를 도시하는 회로 개략도이다. MRAM(200)은 데이터 회로(202) 및 기준 회로들(204, 206)로 나누어진다. 데이터 회로(202) 및 기준 회로들(204, 206)은, 저항성 메모리 엘리먼트(이해를 돕기 위해 단지 하나의 비트셀만이 도시됨)를 제공하기 위해 각각의 데이터 MTJ들(214) 및 기준 MTJ들(216, 218)을 포함하는 각각의 메모리 비트셀들(208, 210, 212)을 포함한다. 데이터 회로(202)의 메모리 비트셀(208)을 판독하는 동안, 데이터 MTJ(214)의 저항은 병렬로 연결된 2 개의 기준 MTJ들(216, 218)의 실효 저항과 비교되는데, 여기서 하나의 기준 MTJ(216)는 기준 회로(206)의 기준 병렬 MTJ이며 다른 기준 MTJ(218)은 기준 회로(204)의 기준 역병렬 MTJ이다. 메모리 비트셀들(208 내지 212)의 저항은 소스 전압을 인가하고 메모리 비트셀들(208 내지 212)을 통해 흐르는 전류의 양을 결정함으로써 측정된다. 예를 들면, (예를 들어, 평행한) 기준 회로(206)의 메모리 비트셀(212)에서, 전류원(220)은 판독 선택 트랜지스터들(222, 224) 및 워드 라인 선택 트랜지스터(226)에 의해 기준 MTJ(218)에 인가된다. 예로서 메모리 비트셀(212)을 이용하여 도시된 바와 같이, 메모리 비트셀들(208 내지 212) 각각의 개개의 데이터 및 기준 MTJ들(214 내지 218)은 고정 층 또는 핀 층(228), 터널링 층(230) 및 자유 층(232)을 포함한다. 자유 층(232) 및 핀 층(228)이 실질적으로 평행하게 정렬된 자화들을 가질 때, 기준 MTJ(218)의 저항 및 이에 따른 메모리 비트셀(212)의 저항은 더 낮다. 자유 층(232) 및 핀 층(228)이 실질적으로 역평행 정렬된 자화들을 가질 때, 기준 MTJ(218)의 저항 및 이에 따른 메모리 비트셀(212)의 저항은 더 높다.

[0007]

[0007] 다시 도 1을 참조하면, 자유 층(112)의 자기 배향을 변경시키기 위해 MRAM 비트셀(102)의 비트 라인(BL)과 소스 라인(SL) 사이에 생성되도록 요구되는 기입 전류는, 예로서, 50 내지 300 마이크로암페어( $\mu A$ )일 수 있다. MTJ 임계 스위칭 전류(critical switching current)( $I_c$ )는 디바이스 면적에 따라 선형으로 스케일링되

기 때문에, MRAM은 본질적으로 스케일링가능한 유형의 메모리이다. 제조 프로세스들은 주어진 칩 또는 패키지  
의 크기에 대한 면적을 줄이기 위해 노드들의 크기가 더 축소되게 할 수 있기 때문에, 칩에서 금속 상호 접속부  
들을 위해 이용가능한 단면적이 감소함으로 인해 금속 상호 접속부 저항은 증가한다. 따라서, 예를 들어, 노드  
크기가 축소될 때 도 1의 MRAM 비트셀(102)의 크기가 주어진 칩 또는 패키지에서 그대로 유지된다면, 주어진 공  
급 전압( $V_s$ )에 대해, MTJ(100)에 걸쳐 발생된 기입 전류( $I$ )의 양은 비트 라인(BL) 및 소스 라인(SL)에서 증가된  
저항으로 인해 강하될 것이다(즉, 기입 전류( $I$ ) =  $(V_{s1}-V_{b1})/\text{저항}$ ). 따라서, MTJ(100)의 기입 전류( $I$ ) 마진은  
감소되고, 이는 MRAM 비트셀(102)의 기입 성능의 감소 및 수율 손실로 이어질 수 있다.

[0008]

[0008] 노드 크기 축소로 인한 MRAM 비트셀(102)의 저항이 증가되는 문제를 해결하기 위해, 주변 회로들에 의  
해 공급되는 전압( $V_{b1}$  및  $V_{s1}$ )은 기입 전류( $I$ )를 MRAM 비트셀(102)에서 기입 동작들을 수행하는데 필요한 요구  
된 전류 레벨로 유지시키기 위해 증가될 수 있다. 그러나, 공급 전압( $V_s$ )의 증가는 전력 소비를 증가시키고,  
이는 바람직하지 않을 수 있다. 이러한 증가된 전력 소비는 MRAM 어레이 크기의 제한 요인이 될 수 있다. 그  
러나 많은 칩 설계들에서, 공급 전압( $V_s$ )을 증가시키는 것이 가능하지 않을 수 있는데, 왜냐하면 공급 전압( $V_s$ )  
은 예를 들어, 게이트 유전체 무결성을 유지하고 MTJ(100)에 의해 저장된 칩 값에서 전체 전력 소비를 줄이기  
위해, 일반적인 반도체 기술 스케일링에 따라 감소되기 때문이다. 따라서, MTJ(100)에 기입하기 위한 임계 스  
위칭 전류가 감소하므로, MTJ(100)의 논리 상태(자화 배향)를 판독하기 위해 MTJ(100)의 저항을 측정하는 데 사  
용되는 감지 전류가 또한 감소되어 판독 방해가 방지된다. 예를 들어, 프로세스 변동들로 인해, MTJ(100)의 저  
항을 측정하는 데 사용되는 감지 전류는 임계 스위칭 전류를 초과할 수 있고 판독되는 MTJ(100)의 논리 상태를  
변경시킬 수 있다.

[0009]

[0009] 따라서, MRAM의 스케일링이 증가하면 감지 마진의 감소를 초래한다. 감지 전류의 감소는 또한,  
MTJ(100)의 스위칭 속도를 감소시킬 수 있다. 스위칭 전류의 펄스 폭이 감소될 때 MTJ(100)의 임계 스위칭 전  
류가 급격히 증가하기 때문에, MRAM 비트셀(102)에서 판독 방해를 방지하기 위한 하나의 기술은 짧은 펄스 폭  
(shortened pulse width)으로 MTJ(100)에 감지 전류를 인가하는 것을 수반한다. 예를 들어, 약 10 나노초(ns)  
미만의 펄스 폭을 갖는 감지 전류가 MTJ(100)의 저항을 측정하는 데 사용될 수 있다. 감지 전류 펄스 폭은 감  
지를 신뢰할 수 있는 약 3 ns의 하한까지 감소될 수 있다. 그러나, 스케일링하는 기술에 따라, MTJ(100)의 스  
위칭 전류는 계속 감소할 것이다. 따라서, 감지 전류 펄스 폭이 MTJ(100) 스케일링의 증가에 따라 그 하한선에  
접근할 때, 감지 전류는 판독 방해들을 방지하기 위해 계속 감소되어야 한다.

## 발명의 내용

[0010]

[0010] 본 개시내용의 양태들은 차동 전압들을 감지하기 위한 금속 산화물 반도체(MOS) 트랜지스터 오프셋 상  
쇄(offset-cancelling)(OC), 제로 감지(zero-sensing)(ZS) 데드 존(dead-zone), 전류-래치형 감지 증폭기들  
(current-latched sense amplifiers)(SAs)(CLSAs)(OCZS-SAs)를 포함한다. 예를 들어, OCZS-SA는 판독 동작을  
위해 메모리 어레이로부터 데이터를 판독하기 위한 메모리 시스템의 메모리 판독 회로의 일부일 수 있다.  
OCZS-SA는 메모리 비트셀(들)의 저장 상태를 가리키는, 저항성 메모리 시스템의 감지 회로로부터의 차동 데이터  
및 기준 입력 전압들을 수신하도록 구성될 수 있다. OCZS-SA는 더 작은 감지 증폭기 오프셋 전압으로, 수신된  
차동 데이터 및 기준 입력 전압들을 증폭하여 메모리 비트셀(들)의 상이한 저장 상태들 사이에 더 큰 감지 마진  
을 제공하도록 구성된다. 본 명세서에 개시된 예시적인 양태들에서, OCZS-SA는 입력 및 상보 입력 트랜지스터  
들의 게이트들을 그들 각각의 문턱 전압들로 프리차지(pre-charge)하여, 입력 및 상보 입력 트랜지스터들의 오프  
셋 전압들을 상쇄시키도록 구성된다. 또한, 입력 및 상보 입력 트랜지스터들의 게이트들을 각각의 입력 및  
상보 입력 트랜지스터 문턱 전압들로 프리차지하는 것은, 감지 페이즈들 동안 입력 및 상보 입력 트랜지스터들  
을 그들의 활성화된 상태로 유지하여 그들의 게이트-소스 전압( $V_{gs}$ )이 그들 각각의 문턱 전압들보다 낮을 때 그  
들의 "데드 존들"에서 감지가 수행되지 않도록 한다. 입력 및 상보 입력 트랜지스터들의 게이트들은, 입력 및  
상보 입력 트랜지스터들의 게이트들을 데이터 입력 전압과 기준 입력 전압 사이에서 감지된 차동 전압 레벨을  
증폭하기 위한 각각의 입력 및 상보 입력 트랜지스터 문턱 전압들로 프리차지한 후에, 전압 포착 페이즈들  
(voltage capture phases)에서 데이터 및 기준 입력 전압들을 수신하도록 추가로 구성된다.

[0011]

[0011] 본 명세서에 개시된 또 다른 예시적인 양태들에서, 입력 페이즈 동안 데이터 및 기준 입력 전압들을 저  
장할 감지 캐패시터 회로들, 및 그 다음으로 전압 포착 페이즈 동안 입력 및 상보 입력 트랜지스터들의 게이트  
들에서의 데이터 및 기준 입력 전압들을 저장할 별도의 감지 증폭기 캐패시터들 둘 모두를 제공할 필요를 방지  
하기 위해, OCZS-SA는 전압 포착 페이즈들에서 데이터 및 기준 입력 전압들이 수신되기 전에 입력 및 상보 입력  
트랜지스터들의 게이트들을 공급 노드로 프리차지하도록 구성된다. 그런 다음, 전압 포착 페이즈들 이전의 방

전 페이지에서, 입력 및 상보 입력 트랜지스터들의 게이트들은 공급 노드로부터 그들 각각의 입력 및 상보 입력 트랜지스터들의 문턱 전압들까지 방전되어, 데이터 및 기준 입력 입력 전압들이 입력 및 상보 입력 트랜지스터들의 각각의 게이트들에 연결된 감지 증폭기 캐패시터들에 수신되어 저장되는 동안 그들의 오프셋 전압들을 상쇄시킨다. 이러한 방식으로, 그렇게 하지 않았더라면 추가적인 감지 캐패시터 회로들로 소비되었을 추가적인 레이아웃 면적이 회피된다. 또한, 데이터 및 기준 입력 전압들을 저장하기 위한 OCZS-SA의 감지 증폭기 캐패시터들은 더 작아질 수 있고, 이에 따라 OCZS-SA가 훨씬 적은 레이아웃 면적을 소비할 수 있는데, 이는 OCZS-SA가 그럼에도 불구하고(still) 원하는 오프셋 변동 전압을 달성할 수 있기 때문이다.

[0012] 이와 관련하여, 하나의 예시적인 양태에서, 감지 증폭기가 제공된다. 감지 증폭기는 래치 회로를 포함한다. 래치 회로는 데이터 입력 전압을 수신하도록 구성된 입력 노드를 포함한다. 래치 회로는 또한, 기준 입력 전압을 수신하도록 구성된 상보 입력 노드를 포함한다. 래치 회로는 감지 증폭기 페이지 신호에 대한 응답으로, 데이터 입력 전압 및 기준 입력 전압에 기초한 차동 전압에 기초하여, 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하도록 구성된다. 감지 증폭기는 감지 회로로부터의 데이터 입력 전압을 저장하도록 구성된 데이터 감지 증폭기 캐패시터 회로를 포함한다. 감지 증폭기는 또한, 감지 회로로부터의 기준 입력 전압을 저장하도록 구성된 기준 감지 증폭기 캐패시터 회로를 포함한다. 감지 증폭기는 또한, 데이터 감지 증폭기 캐패시터 회로에 연결된 게이트를 포함하는 입력 트랜지스터를 포함하고, 입력 트랜지스터는 감지 증폭기 페이지 신호에 대한 응답으로, 데이터 감지 증폭기 캐패시터 회로에 저장된 데이터 입력 전압에 기초하여 입력 노드를 기준 노드에 연결하도록 구성된다. 감지 증폭기는 또한, 기준 감지 증폭기 캐패시터 회로에 연결된 게이트를 포함하는 상보 입력 트랜지스터를 포함하고, 상보 입력 트랜지스터는 감지 증폭기 페이지 신호에 대한 응답으로, 기준 감지 증폭기 캐패시터 회로에 저장된 기준 입력 전압에 기초하여 상보 입력 노드를 기준 노드에 연결하도록 구성된다. 감지 증폭기는 또한, 입력 트랜지스터 및 상보 입력 트랜지스터에 연결된 기준 스위치 회로를 포함한다. 기준 스위치 회로는 방전 페이지 신호에 대한 응답으로, 입력 트랜지스터의 게이트에서의 전압을 입력 트랜지스터의 입력 문턱 전압으로 조정하고, 상보 입력 트랜지스터의 게이트에서의 전압을 상보 입력 트랜지스터의 상보 입력 문턱 전압으로 조정하여, 입력 트랜지스터 및 상보 입력 트랜지스터의 오프셋 전압들을 상쇄시키도록 구성된다. 감지 증폭기는 또한, 데이터 감지 증폭기 캐패시터 회로에 연결된 데이터 입력 회로를 포함한다. 데이터 입력 회로는 제1 전압 포착 페이지 신호에 대한 응답으로, 데이터 입력 전압을 데이터 감지 증폭기 캐패시터 회로에 직접 전달(pass)하도록 구성된다. 감지 증폭기는 또한, 기준 감지 증폭기 캐패시터 회로에 연결된 기준 입력 회로를 포함한다. 기준 입력 회로는 제2 전압 포착 페이지 신호에 대한 응답으로, 기준 입력 전압을 기준 감지 증폭기 캐패시터 회로에 직접 전달하도록 구성된다.

[0013] 이와 관련하여, 하나의 양태에서, 감지 증폭기가 제공된다. 감지 증폭기는 래칭 수단을 포함한다. 래칭 수단은 데이터 입력 전압을 수신하기 위한 수단을 포함한다. 래칭 수단은 또한, 기준 입력 전압을 수신하기 위한 수단을 포함한다. 래칭 수단은 감지 증폭기 페이지 신호에 대한 응답으로, 데이터 입력 전압 및 기준 입력 전압에 기초한 차동 전압에 기초하여, 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하기 위한 수단을 포함한다. 감지 증폭기는 또한, 감지 회로로부터의 데이터 입력 전압을 저장하기 위한 수단을 포함한다. 감지 증폭기는 또한, 감지 회로로부터의 기준 입력 전압을 저장하기 위한 수단을 포함한다. 감지 증폭기는 또한, 데이터 입력 전압을 저장하기 위한 수단에 연결된 입력 수단을 포함하고, 입력 수단은 데이터 입력 전압을 저장하기 위한 수단에 저장된 데이터 입력 전압에 기초하여 데이터 입력 전압을 수신하기 위한 수단을 기준 노드에 연결한다. 감지 증폭기는 또한, 기준 입력 전압을 저장하기 위한 수단에 연결된 상보 입력 수단을 포함하고, 상보 입력 수단은 기준 감지 증폭기 캐패시터 회로에 연결된 게이트를 포함하고, 상보 입력 수단은 기준 입력 전압을 저장하기 위한 수단에 저장된 기준 입력 전압에 기초하여 기준 입력 전압을 수신하기 위한 수단을 기준 노드에 연결한다. 감지 증폭기는 또한, 입력 수단 및 상보 입력 수단에 연결되어, 방전 페이지 신호에 대한 응답으로, 입력 수단 및 상보 입력 수단의 오프셋 전압들을 상쇄시키기 위해 입력 수단을 방전하고 그리고 상보 입력 수단을 방전하기 위한, 방전하기 위한 수단을 포함한다. 감지 증폭기는 또한, 데이터 입력 전압을 저장하기 위한 수단에 연결되어, 전압 포착 페이지 신호에 대한 응답으로, 데이터 입력 전압을 데이터 입력 전압을 저장하기 위한 수단에 직접 전달하기 위한 데이터 입력 수단을 포함한다. 감지 증폭기는 또한, 기준 입력 전압을 저장하기 위한 수단에 연결되어, 전압 포착 페이지 신호에 대한 응답으로, 기준 입력 전압을 기준 입력 전압을 저장하기 위한 수단에 직접 전달하기 위한 기준 입력 수단을 포함한다.

[0014] 다른 양태에서, 데이터 입력 전압 및 기준 입력 전압의 차동 전압을 감지하는 방법이 제공된다. 방법은, 방전 페이지 신호에 대한 응답으로, 입력 트랜지스터의 게이트를 입력 트랜지스터의 입력 문턱 전압까지 방



전하고 그리고 상보 입력 트랜지스터의 게이트를 상보 입력 트랜지스터의 상보 입력 문턱 전압까지 방전하여, 입력 트랜지스터 및 상보 입력 트랜지스터의 오프셋 전압들을 상쇄시키는 단계를 포함한다. 방법은 또한, 수신된 데이터 입력 전압을 입력 트랜지스터의 게이트에 연결된 데이터 감지 증폭기 캐패시터 및 상보 입력 트랜지스터의 게이트에 연결된 기준 감지 증폭기 캐패시터에 직접 저장하는 단계를 포함한다. 방법은 또한, 제1 전압 포착 페이즈 신호에 대한 응답으로, 입력 트랜지스터의 게이트에서의 전압 및 상보 입력 트랜지스터의 게이트에서의 전압 둘 모두를 입력 문턱 전압 더하기(plus) 데이터 입력 전압으로 조정하는 단계를 포함한다. 방법은 또한, 제1 전압 포착 페이즈 신호에 대한 응답으로, 래치 회로의 출력 노드 및 상보 출력 노드를 공급 노드에서의 공급 전압으로 프리차지하는 단계를 포함한다. 방법은 또한, 제2 전압 포착 페이즈 신호에 대한 응답으로, 수신된 기준 입력 전압을 기준 감지 증폭기 캐패시터에 직접 저장하는 단계를 포함한다. 방법은 또한, 제2 전압 포착 페이즈 신호에 대한 응답으로, 상보 입력 트랜지스터의 게이트에서의 전압을 입력 문턱 전압 더하기 기준 입력 전압으로 조정하는 단계를 포함한다. 방법은 또한, 데이터 입력 전압 및 기준 입력 전압에 기초한 차동 전압에 기초하여, 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하는 단계를 포함한다.

[0015]

[0015] 다른 양태에서, 저항성 메모리 감지 시스템이 제공된다. 저항성 메모리 감지 시스템은 복수의 저항성 메모리 비트셀들을 포함하는 메모리 어레이를 포함하고, 각각의 저항성 메모리 비트셀은 데이터 저항성 메모리 엘리먼트 및 기준 저항성 메모리 엘리먼트를 포함한다. 복수의 저항성 메모리 비트셀들 각각의 저장 상태는 데이터 저항성 메모리 엘리먼트와 기준 저항성 메모리 엘리먼트 사이의 차동 저항에 기초한다. 저항성 메모리 감지 시스템은 또한 메모리 어레이에 연결된 감지 회로를 포함한다. 감지 회로는 판독 동작에 대한 응답으로, 복수의 저항성 메모리 비트셀들 중에서 저항성 메모리 비트셀을 선택하도록 구성된다. 감지 회로는 또한 선택된 저항성 메모리 비트셀의 데이터 저항성 메모리 엘리먼트의 저항에 기초하여 데이터 입력 전압을 생성하도록 구성된다. 감지 회로는 또한 선택된 저항성 메모리 비트셀의 기준 저항성 메모리 엘리먼트의 저항에 기초하여 기준 입력 전압을 생성하도록 구성된다. 저항성 메모리 감지 시스템은 또한 감지 증폭기를 포함한다. 감지 증폭기는 방전 페이즈 신호에 대한 응답으로, 입력 트랜지스터의 게이트를 입력 트랜지스터의 입력 문턱 전압까지 방전하고 그리고 상보 입력 트랜지스터의 게이트를 상보 입력 트랜지스터의 상보 입력 문턱 전압까지 방전하여, 입력 트랜지스터 및 상보 입력 트랜지스터의 오프셋 전압들을 상쇄시키도록 구성된다. 감지 증폭기는 또한 감지 회로로부터의 데이터 입력 전압을 입력 트랜지스터의 게이트에 연결된 데이터 감지 증폭기 캐패시터 및 상보 입력 트랜지스터의 게이트에 연결된 기준 감지 증폭기 캐패시터에 직접 저장하도록 구성된다. 감지 증폭기는 또한 전압 포착 페이즈 신호에 대한 응답으로, 입력 트랜지스터의 게이트에서의 전압 및 상보 입력 트랜지스터의 게이트에서의 전압 둘 모두를 입력 문턱 전압 더하기 데이터 입력 전압으로 조정하도록 구성된다. 감지 증폭기는 또한 제1 전압 포착 페이즈 신호에 대한 응답으로, 래치 회로의 출력 노드 및 상보 출력 노드를 공급 노드에서의 공급 전압으로 프리차지하도록 구성된다. 감지 증폭기는 또한 제2 전압 포착 페이즈 신호에 대한 응답으로, 감지 회로로부터 수신된 기준 입력 전압을 기준 감지 증폭기 캐패시터에 직접 저장하도록 구성된다. 감지 증폭기는 또한 제2 전압 포착 페이즈 신호에 대한 응답으로, 상보 입력 트랜지스터의 게이트에서의 전압을 입력 문턱 전압 더하기 기준 입력 전압으로 조정하도록 구성된다. 감지 증폭기는 또한, 데이터 입력 전압 및 기준 입력 전압에 기초한 차동 전압에 기초하여, 출력 노드 상에서 증폭된 데이터 출력 전압을 그리고 상보 출력 노드 상에서 증폭된 상보 출력 전압을 생성하도록 구성된다.

### 도면의 간단한 설명

[0016]

[0016] 도 1은 자기 터널 접합(MTJ) 엘리먼트를 사용하는 예시적인 자기 랜덤 액세스 메모리(MRAM) 비트셀의 개략도로서, MRAM 비트셀은 집적 회로(IC)의 MRAM 어레이에서 제공될 수 있다.

[0017] 도 2는 저항성 메모리 비트셀을 기입 및 판독하기 위한 저항성 메모리 회로의 개략도이다.

[0018] 도 3은 저항성 메모리 비트셀의 감지된 상태를 나타내는 차동 데이터 및 기준 입력 전압들을, 입력 데이터 및 기준 입력 전압들로서 감지 증폭기에 제공하도록 구성된 감지 회로를 포함하는 감지 시스템으로, 감지 증폭기는 저항성 메모리 비트셀의 저장 상태의 표시로서 데이터 입력 전압과 기준 입력 전압 사이의 증폭된 차이를 가리키는 증폭된 출력 전압 신호를 생성하도록 구성된다.

[0019] 도 4는 저항성 메모리 비트셀의 저장 상태의 표시로서 데이터 입력 전압과 기준 입력 전압 사이를 감지하기 위한, 데이터 입력 전압과 기준 입력 전압 사이의 용량성 결합을 보여주는 통상의 전압 래치 감지 증폭기(voltage latch sense amplifier)(VLSA)의 개략도이다.

[0020] 도 5a는 저항성 메모리 비트셀의 저장 상태의 표시로서 데이터 입력 전압과 기준 입력 전압 사이를 감

지하기 위한 통상의 전류 래치 감지 증폭기(current-latched sense amplifier)(CLSA)의 개략도이다.

[0021] 도 5b는 입력 전압이 입력 트랜지스터들의 문턱 전압들보다 낮을 때 CLSA에서 데드 존의 감지를 보여주는 CLSA의 입력 트랜지스터들로의 입력 전압의 함수로써 도 5a의 CLSA의 오프셋 변동 전압의 표준 편차의 그래프이다.

[0022] 도 6은 저항성 메모리 비트셀의 저장 상태를 감지하기 위한 예시적인 감지 시스템의 개략도로서, 감지 시스템은 도 3의 감지 회로 및 N-타입(N) 금속 산화물 반도체(MOS) 트랜지스터 오프셋 상쇄(OC), 전류-래치형(CL) 감지 증폭기(SA)(CLSA)(NOC-CLSA)를 포함하며, NOC-CLSA는 NOC-CLSA의 제로-감지 데드 존을 제공하는 동안 감지 회로로부터 입력 데이터 및 기준 입력 전압들을 수신하는 입력 트랜지스터들의 오프셋 전압들을 상쇄 시키도록 구성된다.

[0023] 도 7a 내지 도 7d는 저항성 메모리 비트셀의 저장 상태의 표시로서 데이터 입력 전압과 기준 입력 전압 사이를 감지하기 위한 도 6의 NOC-CLSA의 상이한 동작 페이즈들을 도시한다.

[0024] 도 8은 NOC-CLSA에서 감지 캐패시터 회로들의 폭의 함수로써 도 6의 NOC-CLSA의 감지 증폭기 캐패시터들의 폭을 도시하는 그래프이다.

[0025] 도 9는 오프셋 상쇄, 제로 감지 데드 존, 전류-래치형 CLSA(OCZS-SA)의 제로 감지 데드 존을 제공하는 동안 감지 회로로부터 입력 데이터 및 기준 입력 전압들을 수신하는 입력 트랜지스터들의 오프셋 전압들을 상쇄 시키도록 구성된 OCZS-SA에 저항성 메모리 비트셀의 저장 상태를 나타내는 입력 데이터 및 기준 입력 전압들을 제공하도록 구성된 감지 회로를 포함하는 다른 예시적인 감지 시스템의 다이어그램으로서, OCZS-SA는 또한 별도의 감지 증폭기 캐패시터들을 제공할 필요없이 감지 회로로부터의 데이터 입력 전압 및 기준 입력 전압을 감지 증폭기 캐패시터들에 직접 저장하도록 구성된다.

[0026] 도 10은 도 9의 OCZS-SA의 예시적인 동작 단계들을 도시하는 흐름도이다.

[0027] 도 11a 내지 도 11d는 별도의 감지 증폭기 캐패시터들을 제공할 필요없이, 감지 회로로부터 감지 증폭기 캐패시터들에 직접 저장된 데이터 및 기준 입력 전압들로부터 저항성 메모리 비트셀의 저장 상태의 표시로서 데이터 입력 전압과 기준 입력 전압 사이를 감지하기 위한 도 9의 OCZS-SA의 상이한 동작 페이즈들을 도시한다.

[0028] 도 12a 및 도 12b는 본 명세서에서 제공된 NOC-CLSA와 OCZS-SA 간의 예시적인 회로 차이들을 도시하는 도 6 및 도 9의 감지 시스템들의 각각의 개략도들이다.

[0029] 도 13a 및 도 13b는 본 명세서에 제공된 NOC-CLSA와 OCZS-SA 간의 예시적인 레이아웃 차이들을 도시하는 도 6 및 도 9의 감지 시스템들의 컴포넌트들의 예시적인 레이아웃들을 보여주는 각각의 다이어그램들이다

[0030] 도 14는 본 명세서에서 제공된 감지 증폭기 캐패시터들의 폭의 함수로써 도 6의 NOC-CLSA 및 도 9의 OCZS-SA의 오프셋 변동의 표준 편차를 도시하는 그래프이다.

[0031] 도 15는 저항성 메모리 비트셀의 저장 상태를 감지하기 위한 예시적인 감지 시스템으로서, 감지 시스템은 도 9의 OCZS-SA의 저항성 메모리 비트셀의 저장 상태를 나타내는 데이터 입력 전압 및 기준 입력 전압을 제공하도록 구성된 오프셋 상쇄(OC) 듀얼 스테이지(dual-stage)(DS)(OCDS) 감지 회로(SC)(OCDS-SA)를 포함한다.

[0032] 도 16은 제한없이 도 9의 OCZS-SA를 포함하여, 별도의 감지 증폭기 캐패시터들을 제공할 필요없이, 감지 회로로부터의 데이터 입력 전압들 및 기준 입력 전압들을 감지 증폭기 캐패시터들에 직접 저장하도록 구성된 OCZS-SA를 포함할 수 있는 예시적인 프로세서 기반 시스템의 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0017] [0033] 이제 도면들을 참조하여, 본 개시내용의 몇몇 예시적인 양태들이 설명된다. "예시적인"이라는 단어는 본 명세서에서 "예, 경우 또는 예시로서 역할을 하는 것"을 의미하기 위해 사용된다. 본 명세서에서 "예시적인"으로 설명되는 임의의 양태가 반드시 다른 양태들보다 바람직하거나 유리한 것으로 해석되는 것은 아니다.

[0018] [0034] 본 개시내용의 양태들은 차동 전압들을 감지하기 위한 금속 산화물 반도체(MOS) 트랜지스터 오프셋 상쇄(offset-cancelling)(OC), 제로 감지(zero-sensing)(ZS) 데드 존(dead-zone), 전류-래치형 감지 증폭기들(current-latched sense amplifiers)(SAs)(CLSAs)(OCZS-SAs)를 포함한다. 예를 들어, OCZS-SA는 판독 동작을 위해 메모리 어레이로부터 데이터를 판독하기 위한 메모리 시스템의 메모리 판독 회로의 일부일 수 있다.

OCZS-SA는 메모리 비트셀(들)의 저장 상태를 가리키는, 저항성 메모리 시스템의 감지 회로로부터의 차동 데이터 및 기준 입력 전압들을 수신하도록 구성될 수 있다. OCZS-SA는 더 작은 감지 증폭기 오프셋 전압으로, 수신된 차동 데이터 및 기준 입력 전압들을 증폭하여 메모리 비트셀(들)의 상이한 저장 상태들 사이에 더 큰 감지 마진을 제공하도록 구성된다. 본 명세서에 개시된 예시적인 양태들에서, OCZS-SA는 입력 및 상보 입력 트랜지스터들의 게이트들을 그들 각각의 문턱 전압들로 프리차지하여, 입력 및 상보 입력 트랜지스터들의 오프셋 전압들을 상쇄시키도록 구성된다. 또한, 입력 및 상보 입력 트랜지스터들의 게이트들을 각각의 입력 및 상보 입력 트랜지스터 문턱 전압들로 프리차지하는 것은 감지 페이지들 동안 입력 및 상보 입력 트랜지스터들을 그들의 활성화된 상태로 유지하여 그들의 게이트-소스 전압( $V_{gs}$ )이 그들 각각의 문턱 전압들보다 낮을 때 그들의 "데드 존들"에서 감지가 수행되지 않도록 한다. 입력 및 상보 입력 트랜지스터들의 게이트들은 입력 및 상보 입력 트랜지스터들의 게이트들을 데이터 입력 전압과 기준 입력 전압 사이에서 감지된 차동 전압 레벨을 증폭하기 위한 각각의 입력 및 상보 입력 트랜지스터 문턱 전압들로 프리차지한 후에, 전압 포착 페이지들에서 데이터 및 기준 입력 전압들을 수신하도록 추가로 구성된다.

[0019] [0035] 본 명세서에 개시된 또 다른 예시적인 양태들에서, 입력 페이지 동안 데이터 및 기준 입력 전압들을 저장할 감지 캐패시터 회로들 및 그 다음으로 전압 포착 페이지 동안 입력 및 상보 입력 트랜지스터들의 게이트들에서의 데이터 및 기준 입력 전압들을 저장할 별도의 감지 증폭기 캐패시터들 둘 모두를 제공할 필요를 방지하기 위해, OCZS-SA는 전압 포착 페이지들에서 데이터 및 기준 입력 전압들이 수신되기 전에 입력 및 상보 입력 트랜지스터들의 게이트들을 공급 노드로 프리차지하도록 구성된다. 그런 다음, 전압 포착 페이지들 이전의 방전 페이지에서, 입력 및 상보 입력 트랜지스터들의 게이트들은 공급 노드로부터 그들 각각의 입력 및 상보 입력 트랜지스터들의 문턱 전압들까지 방전되어 데이터 및 기준 입력 전압들이 입력 및 상보 입력 트랜지스터들의 각각의 게이트들에 연결된 감지 증폭기 캐패시터들에 수신되어 저장되는 동안 그들의 오프셋 전압들을 상쇄시킨다. 이러한 방식으로, 그렇게 하지 않았더라면 추가적인 감지 캐패시터 회로들로 소비되었을 추가적인 레이아웃 면적이 회피된다. 또한, 데이터 및 기준 입력 전압들을 저장하기 위한 OCZS-SA의 감지 증폭기 캐패시터들은 더 작아질 수 있고, 이에 따라 OCZS-SA는 훨씬 적은 레이아웃 면적을 소비할 수 있는데, 이는 OCZS-SA가 그럼에도 불구하고 원하는 오프셋 변동 전압을 달성할 수 있기 때문이다.

[0020] [0036] 도 9에서 시작하는 별도의 감지 증폭기 캐패시터들을 제공할 필요없이 감지 회로로부터의 데이터 입력 전압들 및 기준 입력 전압들을 감지 증폭기 캐패시터들에 직접 저장하도록 구성된 OCZS-SA들의 예들을 설명하기 전에, 아래에서 도 3 내지 도 8이 먼저 논의된다.

[0021] [0037] 도 3은 판독 동작에 대한 응답으로, 저항성 메모리 비트셀들(306)의 저장 상태를 감지(즉, 판독)하기 위한 통상의 자기 랜덤 액세스 메모리(MRAM)(304)에서 제공될 수 있는 감지 회로(302)를 포함하는 감지 시스템(300)이다. 도 3은 예시적인 목적들을 위해 하나의 저항성 메모리 비트셀(306)을 포함하고 있지만, MRAM(304)은 저항성 메모리 비트셀들(306)의 어레이를 포함할 수 있음을 알아야 한다. 감지 회로(302)는 저항성 메모리 비트셀(306)의 감지된 저장 상태를 나타내는 전압 데이터( $V_{sa\_data}$ ) 및 기준 입력 전압( $V_{sa\_ref}$ )의 형태로 차동 전압들을 제공하도록 구성된다. 예를 들어, 저항성 메모리 비트셀(306)은 자화 상태의 함수로써 저장들이 변하는 데이터 저항성 메모리 엘리먼트(308D)(Rdata) 및 기준 저항성 메모리 엘리먼트(308R)(Rref)를 포함한다. 예를 들어, 데이터 저항성 메모리 엘리먼트(308D)(Rdata)는 자기 터널 접합(MTJ) 디바이스일 수 있고 기준 저항성 메모리 엘리먼트(308R)(Rref)는 고정 저항일 수 있다. 저항성 메모리 비트셀(306)이 액세스될 때, 워드 라인(WL)이 활성화되어 액세스 트랜지스터(310D, 310R)를 활성화한다. 전류가 데이터 저항성 메모리 엘리먼트(308D)(Rdata) 및 기준 저항성 메모리 엘리먼트(308R)(Rref))를 통해 전달되어 데이터 및 기준 입력 전압들( $V_{data}$ ,  $V_{ref}$ )을 생성한다. 데이터 전압( $V_{data}$ )은 데이터 저항성 메모리 엘리먼트(308D)(Rdata)의 저장 상태의 함수이다. 예를 들어, 데이터 저항성 메모리 엘리먼트(308D)(Rdata)는 저항이 자화 상태의 함수인 MTJ일 수 있다. 기준 입력 전압( $V_{ref}$ )은 기준 저항성 메모리 엘리먼트(308R)(Rref)의 저항의 함수이다. 따라서, 데이터 및 기준 입력 전압들( $V_{data}$ ,  $V_{ref}$ )은 저항성 메모리 비트셀(306)의 저장 상태를 가리키는 차동 전압을 나타낸다. 감지 회로(302)는 그 데이터 및 기준 입력 전압들( $V_{data}$ ,  $V_{ref}$ )을 감지하도록 구성된다. 예를 들어, 감지 회로(302)는 도 3의 타이밍도(312)에 도시된 바와 같이, 제1 감지 페이지(SS1) 동안 데이터 전압( $V_{data}$ )을 감지하고 제2 감지 페이지(SS2) 동안 기준 입력 전압( $V_{ref}$ )을 감지하도록 구성될 수 있다. 감지 회로(302)는 저항성 메모리 비트셀(306)로부터의 감지된 데이터 및 기준 입력 전압들( $V_{data}$ ,  $V_{ref}$ )의 함수로써 데이터 입력 전압( $V_{sa\_data}$ ) 및 기준 입력 전압( $V_{sa\_ref}$ )을 생성한다. 예로서, 감지 회로(302)는 본 명세서에서 그 전체가 인용에 의해 포함되는 US 특허 제9,165,630호에서의 N-타입(N)MOS 오프셋-상쇄(OC) 전류-래치형(CL) 감지 증폭기(SA)(NOC-CLSA)일 수 있다.

- [0022] [0038] 계속해서 도 3을 참조하면, 감지 시스템(300)에는 감지 증폭기(SA)(314)가 또한 제공된다. 감지 증폭기(314)는 감지 회로(302)로부터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)을 수신하도록 구성된다. 예를 들면, 패스 게이트(pass gate)의 형태의 데이터 입력 회로(314D) 및 기준 입력 회로(314R)가 예를 들어, 감지 회로(302)로부터 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)을 수신하는 감지 증폭기(314)의 타이밍을 제어하기 위해 제공된다. 도 3에 도시된 바와 같이, 데이터 입력 회로(314D)는 제1 감지 페이즈(SS1) 동안 데이터 입력 전압(Vsa\_data)을 전달하도록 구성된다. 기준 입력 회로(314R)는 제2 감지 페이즈(SS2) 동안 기준 입력 전압(Vsa\_ref)을 전달하도록 구성된다. 감지 증폭기(314)는 데이터 입력 전압(Vsa\_data)과 기준 입력 전압(Vsa\_ref) 사이의 차동 전압에 기초하여 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)을 감지하여 저항성 메모리 비트셀(306)의 저장 상태를 가리키는 증폭된 데이터 출력 전압(Vout)을 출력 노드(316) 상에서 생성하도록 구성된다. 예를 들어, 감지 증폭기(314)가 더 큰 감지 마진을 제공하기 위해 '0'의 저장 상태와 '1'의 저장 상태 사이의 큰 전압 차를 갖는 증폭된 데이터 출력 전압(Vout)을 생성하여 판독 동작 동안 판독 방해 오류들을 회피 또는 완화하게 하는 것을 제공하는 것이 바람직할 수 있다.
- [0023] [0039] 도 4는 도 3의 감지 회로(302)로서 사용될 수 있는 통상의 전압 레벨 감지 증폭기(voltage level sense amplifier)(VLSA)(400)를 도시하는 개략도이다. 통상의 VLSA(400)는 문턱 전압(Vth) 손실 없이, 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)의 전압 레벨을 출력 노드들(OUT, OUTB)로 각각 전달하도록 구성된 전송 게이트 액세스 트랜지스터들(transmission gate access transistors)(402, 404)을 포함한다. NMOS 액세스 트랜지스터들의 경우, 입력 전압이 공급 전압(Vdd-Vthn)보다 높을 때 문턱 전압(Vth) 손실이 발생한다. 유사하게, PMOS 액세스 트랜지스터들의 경우, 입력 전압이 (Vthn)보다 낮을 때 문턱 전압(Vth) 손실이 발생한다. 따라서, 전송 게이트 액세스 트랜지스터들(402, 404)은 GND로부터 Vdd까지의 전압 범위 동안 문턱 손실들을 회피하기 위해 사용된다. 헤드 스위치(head switch) PMOS 트랜지스터(406) 및 풋 스위치(foot switch) NMOS 트랜지스터(408)는 통상의 VLSA(400)에서, 감지 증폭기 페이즈 신호(SAE, SAEB)가 활성화되기 이전에 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)의 값들에 영향을 미치는 유효하지 않은 전류 경로들(410)의 발생을 방지하기 위해 사용된다. 그러나, 통상의 VLSA 회로(400)는 도 3에 도시된 NOC-CLSA 인 감지 회로(302)에 효과적으로 연결될 수 없는데, 왜냐하면 도 4에 도시된 바와 같이, 제1 및 제2 감지 페이즈들(SS1, SS2)에서 기준 입력 전압(Vsa\_ref)과 데이터 입력 전압(Vsa\_data) 사이에 용량성 결합이 발생할 수 있기 때문이다.
- [0024] [0040] 도 5a는 VLSA들과 결부된 용량성 결합 문제를 회피하기 위해 도 3의 감지 회로(302)로서 사용될 수 있는 통상의 전류-래치형 감지 증폭기(CLSA)(500)의 예이다. 그러나 도 5a에 도시된 바와 같이, CLSA(500)는 입력 및 상보 입력 트랜지스터들(MN4, MN3) 때문에 감지 데드 존(dead sensing zone)이다. 입력 및 상보 입력 트랜지스터들(MN4, MN3)은 데이터 입력 전압(Vsa\_data) 또는 기준 입력 전압(Vsa\_ref)이 문턱 전압(Vth)보다 낮을 때 턴온되지 않기 때문에, 데이터 입력 전압(Vsa\_data) 또는 기준 입력 전압(Vsa\_ref)이 각각 입력 및 상보 입력 트랜지스터들(MN4, MN3)의 문턱 전압(Vthn)보다 낮을 때 CLSA(500)의 감지 데드 존이 발생한다. 이러한 데드 존은 기준 입력 전압(Vsa\_ref) 및 데이터 입력 전압(Vsa\_data)으로서 입력 및 상보 입력 트랜지스터들(MN4, MN3)에 제공된 볼트(V) 단위의 입력 전압의 함수로써, 도 5a의 CLSA(500)의 밀리볼트(mV) 단위의 오프셋 변동 전압( $\sigma_{sa\_os}$ )의 표준 편차의 그래프(502)인 도 5b에 도시된다.
- [0025] [0041] 예를 들어 도 4에 도시된 바와 같이 감지 증폭기로서 사용되는 VLSA에서의 용량성 결합 및 예를 들어 도 5a에 도시된 바와 같이 감지 증폭기로서 사용되는 CLSA에서의 감지 데드 존과 결부된 문제들을 회피하기 위해, 도 6의 NMOS 오프셋-상쇄 전류-래치형 감지 증폭기(NOC-CLSA)(600)가 도 3의 감지 시스템(300)에서 사용될 수 있다. 도 3으로부터의 감지 회로(302) 및 저항성 메모리 비트셀(306)은 도 6에 또한 도시되어 있으므로, 다시 설명되지 않을 것이다. NOC-CLSA(600)는 도 4의 VLSA(400)의 용량성 결합 단점들 및 입력 트랜지스터 오프셋에 대한 민감도를 극복한다. 따라서, NOC-CLSA(600)는 도 3의 감지 시스템(300)에서 감지 증폭기(314)로서 사용될 수 있다.
- [0026] [0042] 도 6을 참조하면, NOC-CLSA(600)는 대응하는 4 개의 동작 페이즈들 동안 4 개의 페이즈 신호들(P1, P2, P3, P4)의 시퀀스에 응답한다. 프리차지 페이즈인 동작의 제1 페이즈(P1)에서, P1으로 표시된 NOC-CLSA(600)의 노드들이 통전된다. 오프셋-상쇄 페이즈인 동작의 제2 페이즈(P2)에서, P2로 표시된 NOC-CLSA(600)의 노드들이 통전된다. 전압 포착 페이즈인 동작의 제3 페이즈(P3)에서, P3으로 표시된 NOC-CLSA(600)의 노드들이 통전된다. 비교 페이즈인 동작의 제 4 페이즈(P4)에서, P4로 표시된 NOC-CLSA(600)의 노드들이 통전된다. P1으로 표시된 노드들이 통전되지 않을 때,  $\overline{P1}$ 로 표시된 NOC-CLSA(600)의 노드들은 통전되고; P2로 표시된 노드들이 통전되지 않을 때,  $\overline{P2}$ 로 표시된 NOC-CLSA(600)의 노드들은 통전되고; P3으로 표시된 노드들이 통전되지



지 않을 때,  $\overline{P3}$ 로 표시된 NOC-CLSA(600)의 노드들은 통전되며; 그리고 P4로 표시된 노드들이 통전되지 않을 때,  $\overline{P4}$ 로 표시된 NOC-CLSA(600)의 노드들은 통전된다.

- [0027] [0043] 계속해서 도 6을 참조하면, 오프셋 전압은 대부분 입력 NMOS 트랜지스터들(602, 604)에 의해 결정된다. 입력 NMOS 트랜지스터들(602, 604)은 래치 NMOS 트랜지스터들(608, 610) 및 래치 PMOS 트랜지스터들(612, 614)을 포함하는 래치 회로(606)에 연결된다. 이 예에 따르면, 입력 NMOS 트랜지스터들(602, 604)은 래치 회로(606)의 일부가 아니지만, 래치 회로(606)와 제1 고정 전압 사이에서 선택적으로 연결된다. 래치 회로(606)를 회피하는 입력 경로를 제공함으로써, NOC-CLSA(600)는 예를 들어 도 4의 VLSA(400)에 비해 입력 캐패시턴스를 상당히 감소시킨다. 제1 고정 전압은 본 명세서에서 접지 노드(GND)로서 설명된다; 그러나, 본 개시내용의 양태들은, 제1 고정 전압이 반드시 접지 노드(GND)는 아닌 구성들을 포함할 수 있다. 아래에서 보다 상세히 설명되는 바와 같이, NOC-CLSA(600)는 동작의 프리차지 페이즈(P1) 및 오프셋-상쇄 페이즈(P2) 동안 입력 NMOS 트랜지스터들(602, 604)의 문턱 전압( $V_{th}$ ) 부조화를 상쇄시킨다.
- [0028] [0044] NOC-CLSA(600)에 대한 동작의 프리차지 페이즈(P1)는 도 7a를 참조하여 설명된다. 프리차지 페이즈(P1) 동안, 입력 NMOS 트랜지스터들(602, 604)의 각각의 게이트들은 제2 고정 전압으로 프리차지된다. 제2 고정 전압은 공급 전압( $V_{dd}$ )이라고 설명된다. NOC-CLSA(600)로부터의 출력(616)은 제1 절연 감지 캐패시터 회로(isolated sensing capacitor circuit)(Csc)(618)에 저장되는 데이터 입력 전압( $V_{sa\_data}$ )를 제공한다.
- [0029] [0045] NOC-CLSA(600)에 대한 동작의 오프셋-상쇄 페이즈(P2)는 도 7b를 참조하여 설명된다. 오프셋-상쇄 페이즈(P2) 동안, 입력 NMOS 트랜지스터들(602, 604)의 각각의 게이트들은 공급 전압( $V_{dd}$ )으로부터 연결해제되고 그들 각각의 문턱 전압들( $V_{th}$ )까지 방전된다. 따라서, 입력 NMOS 트랜지스터들(602, 604)의 오프셋들이 상쇄된다. 오프셋-상쇄 페이즈(P2) 동안, NOC-CLSA(600)로부터의 출력(616)은 제2 절연 감지 캐패시터 회로(Csc)(620)에 저장되는 기준 입력 전압( $V_{sa\_ref}$ )을 제공한다.
- [0030] [0046] NOC-CLSA(600)에 대한 동작의 전압 포착 페이즈(P3)는 도 7c를 참조하여 설명된다. 전압 포착 페이즈(P3)에서, 데이터 입력 전압( $V_{sa\_data}$ )은 제1 절연 감지 캐패시터 회로(Csc)(618)로부터 제1 감지 증폭기 캐패시터 회로(Csa)(622)로 제공되어 저장된다. 데이터 입력 전압( $V_{sa\_data}$ )은 입력 NMOS 트랜지스터들(602) 중 제1 NMOS 트랜지스터의 게이트에서 포착된다. 유사하게, 기준 입력 전압( $V_{sa\_ref}$ )은 제2 절연 감지 캐패시터 회로(Csc)(620)로부터 제2 감지 증폭기 캐패시터 회로(Csa)(624)로 제공되어 저장된다. 기준 입력 전압( $V_{sa\_ref}$ )은 입력 NMOS 트랜지스터들(604) 중 제2 NMOS 트랜지스터의 게이트에서 포착된다. 입력 NMOS 트랜지스터들(602, 604)의 구동 전류를 결정하는 오버드라이브 전압( $V_{gs}-V_{th}$ )은 문턱 전압( $V_{th}$ )의 변동에 좌우되지 않기 때문에, 입력 NMOS 트랜지스터들(602, 604)의 오프셋 상쇄는 감지 테드 존을 회피하면서 달성된다.
- [0031] [0047] NOC-CLSA(600)에 대한 동작의 비교 페이즈(P4)는 도 7d를 참조하여 설명된다. 비교 페이즈(P4)에서 데이터 입력 전압( $V_{sa\_data}$ )이 기준 입력 전압( $V_{sa\_ref}$ )보다 클 때, 래치 회로(606)의 제1 출력 노드(OUT)(626)는 공급 전압( $V_{dd}$ )에 연결되고 제2 출력 노드(OUTB)(628)는 접지 노드(GND)에 연결되어 저항성 메모리 비트셀(306)의 제1 저장 상태를 나타내는 증폭된 데이터 출력 전압을 제공한다. 비교 페이즈(P4)에서 기준 입력 전압( $V_{sa\_ref}$ )이 데이터 입력 전압( $V_{sa\_data}$ )보다 높을 때, 제1 출력 노드(OUT)(626)는 접지 노드(GND)에 연결되고 제2 출력 노드(OUTB)(628)는 공급 전압( $V_{dd}$ )에 연결되어 제1 저장 상태와 반대로, 저항성 메모리 비트셀(306)의 제2 저장 상태를 나타내는 증폭된 기준 출력 전압을 제공한다.
- [0032] [0048] 도 8은 도 6의 NOC-CLSA(600)의 감지 증폭기 캐패시터 회로들(Csa)(622, 624)의 폭을 감지 캐패시터 회로들(Csc)(618, 620)의 폭의 함수로써 도시하는 그래프(800)이다. 여기에 도시된 바와 같이, 감지 캐패시터 회로들(Csc)(618, 620) 및 감지 증폭기 캐패시터 회로들(Csa)(622, 624)의 크기들은 6 내지 7 mV의 오프셋 변동 전압( $\sigma_{sa\_os}$ )을 달성하기 위해 상당히 크다(예를 들어,  $W_{CSA} = 20 \mu\text{m}/L_{CSA} = 0.2 \mu\text{m}$ ,  $W_{CSC} = 10 \mu\text{m}/L_{CSC} = 0.2 \mu\text{m}$ ). 이것은 감지 캐패시터 회로들(Csc)(618, 620)과 감지 증폭기 캐패시터 회로들(Csa)(622, 624) 사이에 전하 공유를 이용함으로써 데이터 입력 전압( $V_{sa\_data}$ ) 및 기준 입력 전압( $V_{sa\_ref}$ )이 입력 NMOS 트랜지스터들(602, 604)의 게이트에 전달되기 때문이다. 따라서, 4 개의 큰 캐패시터들(즉, 2 개의 감지 캐패시터 회로들(Csc)(618, 620) 및 2 개의 감지 증폭기 캐패시터 회로들(Csa)(622, 624))이 필요하기 때문에, 이것은 도 3의 MRAM(304)과 같은 메모리 시스템에 도 6의 NOC-CLSA(600)를 제공하기 위해 상당한 레이아웃 면적 오버헤드를 야기한다.
- [0033] [0049] 이와 관련하여, OCZS-SA에서 2 개의 감지 캐패시터 회로들(Csc)(618, 620)과 같은 추가적인 캐패시터

회로들의 필요성을 회피하기 위해, 도 9에는 대안적인 OCZS-SA(900)가 제공된다. OCZS-SA(900)는 메모리 시스템을 또한 포함할 수 있는, 예로서, 집적 회로(IC)(901)로 제공될 수 있다. 아래에서 보다 상세히 설명되는 바와 같이, OCZS-SA(900)는 전압 포착 페이즈들에서 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)이 수신되기 전에 입력 및 상보 입력 트랜지스터들(902, 904)의 게이트들(G)을 공급 노드(906) 상의 공급 전압(Vdd)으로 프리차지하도록 구성된다. 도시된 바와 같이, 입력 및 상보 입력 트랜지스터들(902, 904)은, 예로서 NMOS 트랜지스터들일 수 있다. 그 다음, 전압 포착 페이즈들 이전의 방전 페이즈에서, 입력 및 상보 입력 트랜지스터들(902, 904)의 게이트들(G)은 공급 노드(906)로부터 그들 각각의 입력 및 상보 입력 트랜지스터들(902, 904)의 문턱 전압들(Vth)까지 방전하여 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)이 입력 및 상보 입력 트랜지스터들(902, 904)의 각각의 게이트들(G)에 연결된 감지 증폭기 캐패시터들(Csa)(908, 910)에서 수신되어 저장되는 동안 그들의 오프셋 전압들을 상쇄시킨다. 이러한 방식으로, 그렇지 않았더라면 추가적인 감지 캐패시터 회로들로 소비될 추가적인 레이아웃 면적이 회피된다. 또한, 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)을 저장하기 위한 OCZS-SA(900)의 감지 증폭기 캐패시터들(Csa)(908, 910)은 각각 더 작아질 수 있고, 이에 따라 OCZS-SA(900)가 훨씬 적은 레이아웃 면적을 소비할 수 있는데, 이는 OCZS-SA(900)가 그림에도 불구하고 원하는 오프셋 변동 전압을 달성할 수 있기 때문이다. 도 10에서 시작하는 OCZS-SA(900)의 페이즈 동작이 설명되기 전에, 먼저 OCZS-SA(900)의 컴포넌트들 및 엘리먼트들이 도 9와 관련하여 설명된다.

[0034]

[0050] 이와 관련하여, OCZS-SA(900)는 래치 회로(912)를 포함한다. 래치 회로(912)는 감지 페이즈 동안 데이터 입력 전압(Vsa\_data)을 수신하도록 구성된 입력 노드(914)를 포함한다. 래치 회로(912)는 또한 감지 페이즈 동안 기준 입력 전압(Vsa\_ref)을 수신하도록 구성된 상보 입력 노드(916)를 포함한다. 래치 회로(912)는 도 9의 타이밍도(924)에서도 또한 도시된 바와 같이, 감지 증폭기 페이즈 신호(SAE)(922)에 대한 응답으로, 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)에 기초한 차동 전압에 기초하여, 출력 노드(OUT)(918) 상에서 증폭된 데이터 출력 전압(Vout)을 그리고 상보 출력 노드(OUTB)(920) 상에서 증폭된 상보 출력 전압(Voutb)을 생성하도록 구성된다. 이 예에서, 래치 회로(912)는 상보 출력 노드(OUTB)(920)인, 제1 인버터 입력 노드(928)를 포함하는 제1 인버터(926)를 포함한다. 제1 인버터(926)는 제1 인버터 입력 노드(928) 상의 신호를 상보 출력 노드(OUTB)(920)로 반전시키도록 구성된다. 래치 회로(912)는 또한, 제2 인버터 입력 노드(932) 및 출력 노드(OUT)(918)인 출력 노드를 포함하는 제2 인버터(930)를 포함한다. 제1 및 제2 인버터들(926, 928)이 교차 연결되도록, 상보 출력 노드(OUTB)(920)는 제2 인버터 입력 노드(932)에 연결되고 그리고 출력 노드(OUT)(918)는 제1 인버터 입력 노드(928)에 연결된다. 제2 인버터(930)는 제2 인버터 입력 노드(932) 상의 신호를 출력 노드(OUT)(918)로 반전시키도록 구성된다.

[0035]

[0051] 계속해서 도 9를 참조하면, 도시된 바와 같이 NMOS 헤드 스위치 트랜지스터일 수 있는 공급 스위치 회로(934)가 공급 노드(906)와 래치 회로(912) 사이에 연결되어 제1 및 제2 인버터들(926, 930)에 공급 전압(Vdd)을 공급한다. 도시된 바와 같이 NMOS 풋 스위치 트랜지스터일 수 있는 기준 스위치 회로(936)는 드레인들(D)이 래치 회로(912)에 연결된 입력 및 상보 입력 트랜지스터들(902, 904)의 소스들(S) 사이에 연결된다. 공급 스위치 회로(934) 및 기준 스위치 회로(936)는 감지 증폭기 페이즈 신호(SAE)(922)에 대한 응답으로 인에이블되어, 래치 회로(912)가 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)을 래치하게 하고, 저항성 메모리 비트셀(306)의 감지된 저장 상태를 가리키는, 출력 노드(OUT)(918) 상에서 증폭된 데이터 출력 전압(Vout)을 그리고 상보 출력 노드 기반(OUTB)(920) 상에서 증폭된 상보 출력 전압(Voutb)을 생성하게 한다.

[0036]

[0052] 계속해서 도 9를 참조하면, OCZS-SA(900)는 또한 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938) 및 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)를 포함한다. 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)는 전압 포착 페이즈 동안 감지 회로(302)로부터의 데이터 입력 전압(Vsa\_data)을 직접 저장하도록 구성된다. 기준 감지 증폭기 캐패시터 회로(Csa\_ref)는 전압 포착 페이즈 동안 감지 회로(302)로부터의 기준 입력 전압(Vsa\_ref)을 저장하도록 구성된다. 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938) 및 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940) 둘 모두는 도시된 바와 같이 PMOS 트랜지스터들과 같은 트랜지스터들로서 제공될 수 있는 캐패시터들을 포함할 수 있다. 이러한 방식으로, 감지 회로(302)로부터의 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)은 입력 및 상보 입력 트랜지스터들(902, 904)에 제공될 수 있다. 입력 트랜지스터(902)는 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)에 연결된 게이트(G)를 포함한다. 입력 트랜지스터(902)는 감지 증폭기 페이즈 신호(SAE)(922)에 대한 응답으로, 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)에 저장된 데이터 입력 전압(Vsa\_data)에 기초하여 입력 노드(914)를 기준 노드(942)에 연결하도록 구성된다. 상보 입력 트랜지스터(904)는 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 연결된 게이트(G)를 포함한다. 상보 입력 트랜지스터(904)는 감지 증폭기 페이즈 신호(SAE)(922)에 대한 응답으로, 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 저장된 기준 입력 전압(Vsa\_ref)에 기초하여 상보 입력 노드(916)를

기준 노드(942)에 연결하도록 구성된다.

[0037] [0053] 계속해서 도 9를 참조하면, OCZS-SA(900)는 또한, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)에 연결된 기준 스위치 회로(936)를 포함한다. 기준 스위치 회로(936)는 방전 페이즈 신호(P1)(944)에 대한 응답으로, 입력 트랜지스터(902)의 게이트(G)에서의 전압을 입력 트랜지스터(902)의 입력 문턱 전압( $V_{th}$ )으로 조정하고 상보 입력 트랜지스터(904)의 게이트(G)에서의 전압을 상보 입력 트랜지스터(904)의 상보 입력 문턱 전압( $V_{th}$ )으로 조정하여, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 오프셋 전압들을 상쇄시키도록 구성된다. OCZS-SA(900)는 또한, 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)에 연결되는, 패스 게이트일 수 있는 데이터 입력 회로(946)를 포함한다. 데이터 입력 회로(946)는 제1 전압 포착 페이즈 신호(P2)(948)에 대한 응답으로, 데이터 입력 전압( $V_{sa\_data}$ )을 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)에 직접 전달하도록 구성된다. OCZS-SA(900)는 또한, 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 연결되는, 패스 게이트일 수 있는 기준 입력 회로(950)를 포함한다. 기준 입력 회로(950)는 제2 전압 포착 페이즈 신호(P4)(952)에 대한 응답으로, 기준 입력 전압( $V_{sa\_ref}$ )을 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 직접 전달하도록 구성된다. 아래에서 보다 상세히 논의되는 바와 같이, 기준 입력 회로(950)는 또한 제1 전압 포착 페이즈 신호(P2)(948)에 대한 응답으로, 데이터 입력 전압( $V_{sa\_data}$ )을 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 직접 전달하도록 구성된다.

[0038] [0054] 계속해서 도 9를 참조하면, OCZS-SA(900)는 또한 입력 트랜지스터(902)의 게이트(G)에 연결된 프리차지 회로(954)에 연결된 프리차지 회로(953)를 포함한다. 프리차지 회로(953)는 도 9에 도시된 바와 같이 PMOS 트랜지스터로서 제공될 수 있다. 프리차지 회로(954)는 도 9에 도시된 바와 같이, 패스 게이트의 형태로 제공될 수 있다. 프리차지 회로(953)는 프리차지 페이즈 신호(PRE)(956)에 대한 응답으로, 공급 전압( $V_{dd}$ )을 프리차지 회로(954)에 연결하도록 구성된다. 프리차지 회로(954)는 프리차지 페이즈 신호(PRE)(956) 및 방전 페이즈 신호(P1)(944)에 대한 응답으로, 입력 트랜지스터(902)의 게이트(G)를 공급 노드(906) 상의 공급 전압( $V_{dd}$ )으로 프리차지하도록 구성된다. OCZS-SA(900)는 또한 입력 트랜지스터(902)의 게이트(G)에 연결된 상보 프리차지 회로(958)에 연결된 상보 프리차지 회로(957)를 포함한다. 상보 프리차지 회로(957)는 도 9에 도시된 바와 같이 PMOS 트랜지스터로서 제공될 수 있다. 상보 프리차지 회로(958)는 도 9에 도시된 바와 같이 패스 게이트의 형태로 제공될 수 있다. 상보 프리차지 회로(9537)는 프리차지 페이즈 신호(PRE)(956)에 대한 응답으로, 공급 전압( $V_{dd}$ )을 상보 프리차지 회로(958)에 연결하도록 구성된다. 상보 프리차지 회로(958)는 프리차지 페이즈 신호(PRE)(956) 및 방전 페이즈 신호(P1)(944)에 대한 응답으로, 상보 입력 트랜지스터(904)의 게이트(G)를 공급 노드(906) 상의 공급 전압( $V_{dd}$ )으로 프리차지하도록 구성된다.

[0039] [0055] 아래에서 보다 상세히 논의되는 바와 같이, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 게이트(G)를 프리차지하는 것은 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)가 제로 감지 데드 존을 회피하기 위해 감지 중에 활성화된 상태로 들어가게 할 수 있다. 아래에서 보다 상세히 논의되는 바와 같이, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 게이트(G)를 공급 전압( $V_{dd}$ )으로 프리차지하는 것은 또한, 방전 페이즈에서 방전 페이즈 신호(P1)(944)에 대한 응답으로, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 게이트들(G)에서의 전압이 방전될 수 있게 하므로, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 문턱 전압들( $V_{th}$ )은 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)를 그대로 활성화된 상태들로 유지시키면서 그들의 오프셋 전압들을 상쇄시켜 제로 감지 데드 존을 회피하게 한다.

[0040] [0056] 계속해서 도 9를 참조하면, OCZS-SA(900)는 또한 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)와 접지 노드(GND) 사이에 연결된 방전 회로(960)를 포함한다. 방전 회로(960)는 도 9에 도시된 바와 같이 NMOS 트랜지스터의 형태로 제공될 수 있다. 방전 회로(960)는 프리차지 페이즈 신호(PRE)(956) 및 방전 페이즈 신호(P1)(944)에 대한 응답으로, 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)를 접지 노드(GND)로 방전하도록 구성된다. 유사하게, OCZS-SA(900)는 또한 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)와 접지 노드(GND) 사이에 연결된 상보 방전 회로(962)를 포함한다. 상보 방전 회로(962)는 도 9에 도시된 바와 같이 NMOS 트랜지스터의 형태로 제공될 수 있다. 상보 방전 회로(962)는 프리차지 페이즈 신호(PRE)(956) 및 방전 페이즈 신호(P1)(944)에 대한 응답으로, 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)를 접지 노드(GND)로 방전하도록 구성된다. 계속해서 도 9를 참조하면, OCZS-SA(900)는 또한 출력 노드(OUT)(918)에 연결된 래치 방전 회로(964)를 포함한다. 래치 방전 회로(964)는 도시된 바와 같이 NMOS 트랜지스터로서 제공될 수 있다. 래치 방전 회로(964)는 프리차지 페이즈 신호(PRE)(956) 및 방전 페이즈 신호(P1)(944)에 대한 응답으로, 출력 노드(OUT)(918)를 접지 노드(GND)로 방전하도록 구성된다. OCZS-SA(900)는 또한 상보 출력 노드(OUTB)(920)에 연결된 상보 래치 방전 회로(966)를 포함한다. 상보 래치 방전 회로(966)는 도시된 바와 같이 NMOS 트랜지스터로



서 제공될 수 있다. 상보 래치 방전 회로(966)는 프리차지 페이지 신호(PRE)(956) 및 방전 페이지 신호(P1)(944)에 대한 응답으로, 출력 노드(OUT)(920)를 접지 노드(GND)로 방전하도록 구성된다.

[0041] [0057] 계속해서 도 9를 참조하면, OCZS-SA(900)는 또한 출력 노드(OUT)(918)에 연결된 래치 프리차지 회로(970) 및 상보 출력 노드(OUTB)(920)에 연결된 상보 래치 프리차지 회로(972)를 포함한다. 래치 프리차지 회로(970)는 제1 전압 포착 신호(P2)(948), 페이지 신호(P3)(968) 및 제2 전압 포착 신호(P4)(952)에 대한 응답으로, 출력 노드(OUT)(918)를 공급 전압(Vdd)으로 프리차지하도록 구성된다. 상보 래치 프리차지 회로(972)는 제1 전압 포착 신호(P2)(948), 페이지 신호(P3)(968) 및 제2 전압 포착 신호(P4)(952)에 대한 응답으로, 상보 출력 노드(OUTB)(920)를 공급 전압(Vdd)으로 프리차지하도록 구성된다. 이러한 방식으로, 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)는 둘 모두 프리차지되어, 래치 회로(912)가 감지 증폭기 페이지에서 감지 증폭기 페이지 신호(SAE)(922)에 대한 응답으로, 데이터 입력 전압(Vsa\_data)과 기준 입력 전압(Vsa\_ref) 사이의 차동 전압을 평가하도록 준비한다. 계속해서 도 9를 참조하면, OCZS-SA(900)는 대응하는 5 개의 동작 페이지들 동안 5 개의 페이지 신호들: 프리차지 페이지 신호(SAE)(956), 방전 페이지 신호(P1)(944), 제1 전압 포착 페이지 신호(P2)(948), 페이지 신호(P3)(968), 제2 전압 포착 페이지 신호(P4)(952) 및 감지 증폭기 페이지 신호(SAE)(922)의 시퀀스에 응답한다. 그러나, 이러한 5 개의 페이지들은 예를 들어, 도 6의 NOC-CLSA(600)와 동일한 제1 및 제2 감지 페이지들(SS1, SS2) 동안 수행될 수 있어서, NOC-CLSA(600)에 비해 성능상의 불이익은 없다. 프리차지 페이지 신호(PRE)(956)에 의해 표시된 프리차지 페이지에서, PRE로 표시된 OCZS-SA(900)의 노드들이 통전된다. 방전 페이지 신호(P1)(944)에 의해 표시된 방전 페이지에서, P1으로 표시된 OCZS-SA(900)의 노드들이 통전된다. 제1 전압 포착 페이지 신호(P2)(948)에 의해 표시된 제1 전압 포착 페이지에서, P2로 표시된 OCZS-SA(900)의 노드들이 통전된다. 페이지 신호(P3)(968)에 의해 표시된 페이지에서, P3로 표시된 OCZS-SA(900)의 노드들이 통전된다. 제2 전압 포착 페이지 신호(P4)(952)에 의해 표시된 제2 전압 포착 페이지에서, P4로 표시된 OCZS-SA(900)의 노드들이 통전된다. PRE로 표시된 노드들이 통전되지 않을 때,  $\overline{PRE}$ 로 표시된 OCZS-SA(900)의 노드들은 통전된다. P1로 표시된 노드들이 통전되지 않을 때,  $\overline{P1}$ 로 표시된 OCZS-SA(900)의 노드들은 통전된다. P2로 표시된 노드들이 통전되지 않을 때,  $\overline{P2}$ 로 표시된 OCZS-SA(900)의 노드들은 통전된다. P3으로 표시된 노드들이 통전되지 않을 때  $\overline{P3}$ 으로 표시된 OCZS-SA(900)의 노드들이 통전된다. P4로 표시된 노드들이 통전되지 않을 때  $\overline{P4}$ 로 표시된 OCZS-SA(900)의 노드들이 통전된다.

[0042] [0058] 도 10은 도 9의 OCZS-SA(900)의 예시적인 동작 프로세스(1000)를 도시하는 흐름도이다. 도 10의 프로세스(1000)는 도 11a 내지 도 11d와 함께 설명될 것이다. 도 11a 내지 도 11d는 별도의 감지 증폭기 캐패시터들을 제공할 필요없이 감지 회로(302)로부터의 데이터 및 기준 입력 전압들(Vsa\_data, Vsa\_ref)로서 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)에 직접 저장된 저장성 메모리 비트셀(306)의 저장 상태의 표시로서 데이터 및 기준 입력 전압들(Vsa\_data, Vsa\_ref) 사이를 감지하기 위한 도 9의 OCZS-SA(900)의 상이한 동작 페이지들을 도시한다.

[0043] [0059] 이와 관련하여, 도 11a에 도시된 바와 같이, 프리차지 페이지 신호(PRE)(956)의 생성에 의해 제어되는 프리차지 페이지에서, 프리차지 회로(954) 및 상보 프리차지 회로(958)는 활성화되어 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 게이트들(G)을 공급 전압(Vdd)으로 프리차지한다. 프리차지 회로(953) 및 상보 프리차지 회로(957)는 또한, 프리차지 페이지 신호(PRE)(956)에 대한 응답으로, 공급 전압(Vdd)을 프리차지 회로(954) 및 상보 프리차지 회로(958)에 연결하기 위해 활성화된다. 그 다음, 도 11a에 또한 도시된 바와 같이, 방전 페이지 신호(P1)(944)의 생성에 의해 제어되는 다음 방전 페이지에서, 입력 트랜지스터(902)의 게이트(G)는 입력 트랜지스터(902)의 입력 문턱 전압(Vth1)까지 방전되고, 상보 입력 트랜지스터(904)의 게이트(G)는 상보 입력 트랜지스터(904)의 상보 입력 문턱 전압(Vth2)까지 방전된다(도 10의 블록(1002)). 이것은 방전 페이지 신호(P1)(944)에 대한 응답으로, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 오프셋 전압들을 상쇄시킨다. 이것은 또한 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)를 활성화된 상태로 유지시켜 나중의 감지 페이지 동안 감지 데드 존을 회피한다.

[0044] [0060] 다음에 도 11b에 도시된 바와 같이, 제1 전압 포착 페이지 신호(P2)(948)의 생성에 의해 제어되는 제1 전압 포착 페이지에서, 데이터 입력 회로(946) 및 기준 입력 회로(950)가 활성화된다(도 10의 블록(1004)). 이것은 수신된 데이터 입력 전압(Vsa\_data)이, 입력 트랜지스터(902)의 게이트(G)에 연결된 데이터 감지 증폭기 캐패시터 회로(Csa\_data)(938)에 직접 저장되는 것을 제공한다(도 10의 블록(1004)). 수신된 데이터 입력 전압

(Vsa\_data)은 제1 감지 페이지(SS1) 동안 감지 회로(302)에 의해 생성되기 때문에, 수신된 데이터 입력 전압(Vsa\_data)은 또한 상보 입력 트랜지스터(904)의 게이트(G)에 연결된 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 직접 저장된다. 데이터 감지 증폭기 캐패시터(Csa\_data)(938) 및 기준 감지 증폭기 캐패시터(Csa\_ref)(940)에 저장된 수신된 데이터 입력 전압(Vsa\_data)은, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904)의 게이트들(G)에서의 전압이 게이트들(G)에서의 문턱 전압들(Vth1, Vth2)까지 조정되게(즉, 가산되게) 하여, 입력 트랜지스터(902)의 게이트(G)에서의 전압이  $(Vth1 + Vsa\_data)$ 가 되게 하고, 상보 입력 트랜지스터(904)의 게이트(G)에서의 전압이  $(Vth2 + Vsa\_ref)$ 가 되게 하는 것을 제공한다(도 10의 블록(1006)). 래치 회로(912)의 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)는 공급 전압(Vdd)으로 프리차지되어 감지 페이지를 준비한다(도 10의 블록(1008)).

[0045] [0061] 따라서, 입력 트랜지스터(902) 및 상보 입력 트랜지스터(904) 둘 모두의 게이트들(G)에서의 전압은 그들의 문턱 전압들(Vth1, Vth2)보다 높기 때문에, 데드 존 감지 문제들은 없다. 그러나, 나중에, 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 저장될 수신된 기준 입력 전압(Vsa\_ref)이 상보 입력 트랜지스터(904)의 게이트(G)에 제공되게 하여 래치 회로(912)가 차동 전압 비교를 수행하게 제공하는 것이 필요하다.

[0046] [0062] 또한 제1 전압 포착 페이지 신호(P2)(948)의 생성에 대한 응답으로, 래치 프리차지 회로(970) 및 상보 래치 프리차지 회로(972)가 각각 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)를 공급 전압(Vdd)으로 프리차지하도록 활성화된다. 이러한 방식으로, 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920) 둘 모두는, 래치 회로(912)가 감지 증폭기 페이지 신호(SAE)(922)에 대한 응답으로, 감지 증폭기 페이지에서 데이터 입력 전압(Vsa\_data)과 기준 입력 전압(Vsa\_data) 사이의 차동 전압을 평가하도록 준비하기 위해 프리차지된다.

[0047] [0063] 이와 관련하여, 도 11c에 도시된 바와 같이 페이지 신호(P3)(968)의 생성에 의해 제어되는 다음 페이지에서, OCZS-SA(900)는 기준 입력 전압(Vsa\_ref)이 제2 감지 페이지(SS2)에서 감지 회로(302)에 의해 생성되어 수신되기를 대기한다. 래치 회로(912)의 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)는 감지 페이지를 준비하기 위해 공급 전압(Vdd)으로 계속 프리차지된다. 또한, 페이지 신호(P3)(968)의 생성에 대한 응답으로, 래치 프리차지 회로(970) 및 상보 래치 프리차지 회로(972)는, 각각, 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)를 공급 전압(Vdd)으로 프리차지하기 위해 계속 활성화된다.

[0048] [0064] 다음으로, 도 11d에 도시된 바와 같이 제2 전압 포착 페이지 신호(P4)(952)의 생성에 의해 제어되는 제2 전압 포착 페이지에서, 기준 입력 회로(950)가 활성화된다. 이것은 수신된 기준 입력 전압(Vsa\_ref)이, 상보 입력 트랜지스터(904)의 게이트(G)에 연결된 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에 직접 저장되게 하는 것을 제공한다(도 10의 블록(1010)). 기준 감지 증폭기 캐패시터 회로(Csa\_ref)(940)에서 저장된 수신된 기준 입력 전압(Vsa\_ref)은, 상보 입력 트랜지스터(904)의 게이트(G)에서의 전압이 게이트(G)에서의 문턱 전압들(Vth2)로 조정되게(즉, 가산되게) 하여 상보 입력 트랜지스터(902)의 게이트(G)에서의 전압이  $(Vth2 + Vsa\_ref)$ 가 되게 하는 것을 제공한다(도 10의 블록(1012)). 래치 회로(912)의 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)는 감지 페이지를 준비하기 위해 공급 전압(Vdd)으로 계속 프리차지된다. 또한, 제2 전압 포착 페이지 신호(P4)(952)의 생성에 대한 응답으로, 래치 프리차지 회로(970) 및 상보 래치 프리차지 회로(972)는, 각각, 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)를 공급 전압(Vdd)으로 프리차지하도록 계속 활성화된다.

[0049] [0065] 이후, 감지 증폭기 페이지 신호(SAE)(922)의 생성에 의해 제어되는 감지 페이지에서, 래치 회로(912)는 데이터 입력 전압(Vsa\_data) 및 기준 입력 전압(Vsa\_ref)에 기초한 차동 전압에 기초하여, 출력 노드(OUT)(918) 상에서 증폭된 데이터 출력 전압(Vout)을 그리고 상보 출력 노드(OUTB)(920) 상에서 증폭된 상보 출력 전압(Voutb)을 생성하도록 구성된다(도 10의 블록(1014)). 출력 노드(OUT)(918) 상에서 증폭된 데이터 출력 전압(VOUT) 또는 상보 출력 노드(OUTB)(920) 상에서 증폭된 상보 출력 전압(VOUTB) 중 하나는 다른 회로에 제공되어 저항성 메모리 비트셀(306)의 감지된 저장 상태를 표시할 수 있다.

[0050] [0066] 이것은 단지 예시적인 비교 목적들을 위한 것이며, 도 12a는 도 12b의 OCZS-SA(900)와 비교하여, 도 6의 NOC-CLSA(600)를 도시한다. 여기에 도시된 바와 같이, NOC-CLSA(600)는 OCZS-SA(900)에서 제공되지 않는 절연 감지 캐패시터 회로들(Csc)(618, 620)을 포함한다. 래치 방전 회로(964) 및 상보 래치 방전 회로(966)가 제공되고 각각 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)에 연결되어, 프리차지 페이지 및 방전 페이지 신호(P1)(944) 동안 출력 노드(OUT)(918) 및 상보 출력 노드(OUTB)(920)를 접지 노드(GND)로 방전시킨다. 그럼에도 불구하고, 도 13a 및 도 13b에 도시된 바와 같이, OCZS-SA(900)의 레이아웃 면적은 실질적으로 NOC-CLSA(600)의 레이아웃 면적보다 작다. 도 13a는 NOC-CLSA(600)의 예시적인 레이아웃을 도시한다. 도 13b는

OCZS-SA(900)의 예시적인 레이아웃을 도시한다. 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(908, 910)만이 OCZS-SA(900)에 포함된다. 또한, 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(908, 910)은 NOC-CLSA(600)의 레이아웃에 있는 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(622, 624)보다 작을 수 있다. 도 14의 그래프(1400)에 도시된 바와 같이, 도 6의 NOC-CLSA(600) 및 도 9의 OCZS-SA(900)의 오프셋 변동의 표준 편차는 본 명세서에 제공된 각각의 감지 증폭기 캐패시터들의 폭의 함수이다.

[0051] [0067] 도 14를 참조하면, 라인(1402)은 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(622, 624)의 주어진 폭 크기에 대한 도 6의 NOC-CLSA(600)의 오프셋 변동의 예시적인 표준 편차를 도시한다. 라인(1404)은 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(908, 910)의 주어진 폭 크기에 대한 도 9의 OCZS-SA(900)의 오프셋 변동의 예시적인 표준 편차를 도시한다. 예를 들어, 캐패시터 폭이 1 마이크로미터( $\mu\text{m}$ )인 경우, 입력 노드(914) 상의 데이터 입력 전압(Vsa\_data)과 상보 입력 노드(916) 상의 기준 입력 전압(Vsa\_ref) 사이의 오프셋 전압 변동은 대략 6 내지 7 밀리볼트(mV) 초과만큼 차이가 날 수 있다. 따라서, 도 14에 도시된 바와 같이, NOC-CLSA(600)의 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(622, 624)의 캐패시터 폭은 도 9의 OCZS-SA(900)에서 대략  $2\mu\text{m}$ 의 폭을 갖는 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(908, 910)를 이용하여 제공될 수 있는 것과 동일한 오프셋 전압 변동을 달성하기 위해 20  $\mu\text{m}$ 일 수 있다. 이와 관련하여, OCZS-SA(900)에 제공된 데이터 및 기준 감지 증폭기 캐패시터들(Csa\_data, Csa\_ref)(908, 910)의 폭 각각은 예로서 대략 1 내지 5  $\mu\text{m}$ 로 제공될 수 있다. 다른 예로서, 입력 노드(914) 상의 데이터 입력 전압(Vsa\_data)과 상보 입력 노드(916) 상의 기준 입력 전압(Vsa\_ref) 사이의 오프셋 전압 변동은 대략 4 및 9 밀리볼트(mV)일 수 있다.

[0052] [0068] 도 15는 저항성 메모리 비트셀(306)의 저장 상태를 감지하기 위한 예시적인 감지 시스템(300')으로, 감지 시스템(300')은 US 특허 제9,165,630호에서 제공된 바와 같이 저항성 메모리 비트셀(306)의 저장 상태를 나타내는 데이터 및 기준 입력 전압들(Vsa\_data, Vsa\_ref)을 OCZS-SA(900)에 제공하는 오프셋 상쇄(OC) 듀얼-스테이지(dual-stage)(DS)(OCDS) 감지 회로(SC)(OCDS-SC)(302')를 포함한다. 도 15에 도시된 바와 같이, OCDS-SC(302')는 데이터 전류 경로(1502) 및 기준 전류 경로(1504)를 포함한다. 데이터 전류 경로(1502)는 데이터 경로 축퇴(degeneration) PMOS(PDd), 데이터 경로 부하 PMOS(PLd), 데이터 경로 제1 스테이지 스위칭 트랜지스터(1506), 및 저항성 메모리 비트셀(306)의 데이터 저항성 메모리 엘리먼트(Rdata)에 연결된 데이터 경로 클램프 NMOS(NCd)를 포함한다. 감지 회로 출력 노드(1508)는 데이터 경로 부하 PMOS(PLd)와 데이터 경로 클램프 NMOS(NCd) 사이에 위치한다. 기준 전류 경로(1504)는 기준 경로 축퇴 PMOS(PDr), 기준 경로 부하 PMOS(PLr), 기준 경로 제1 스테이지 스위칭 트랜지스터(1510), 및 저항성 메모리 비트셀(306)의 기준 저항성 메모리 엘리먼트(Rref)에 연결된 기준 경로 클램프 NMOS(NCr)를 포함한다.

[0053] [0069] 조정가능한 부하 PMOS 게이트 노드(1512)는 기준 경로 부하 PMOS(PLr)와 기준 경로 클램프 NMOS(NCr) 사이에 위치한다. 조정가능한 부하 PMOS 게이트 노드(1512)는 데이터 경로 부하 PMOS(PLd)의 게이트(G) 및 기준 경로 부하 PMOS(PLr)의 게이트(G)에 연결된다. 등화 트랜지스터(equalization transistor)(1514)는 감지 회로 출력 노드(1516)와 조정가능한 부하 PMOS 게이트 노드(1512) 사이에 연결된다. 데이터 경로 제2 스테이지 스위칭 트랜지스터(1518)는 데이터 경로 클램프 NMOS(NCd)와 기준 저항성 메모리 엘리먼트(Rref) 사이에 연결된다. 기준 경로 제2 스테이지 스위칭 트랜지스터(1520)는 기준 경로 클램프 NMOS(NCr)와 데이터 저항성 메모리 엘리먼트(Rdata) 사이에 연결된다.

[0054] [0070] OCDS-SC(302')의 제1 동작 스테이지에서, 제1 스테이지 인에이블 신호(SS1)는 온(on)이고 제2 스테이지 인에이블 신호(SS2)는 오프(off)이다. 제1 스테이지 인에이블 신호(SS1)는 데이터 경로 제1 스테이지 스위칭 트랜지스터(1506) 및 기준 경로 제1 스테이지 스위칭 트랜지스터(1510)를 턴 온한다. 제1 동작 스테이지의 초기에, 등화 트랜지스터(1514)에 대한 등화 신호(EQ)는 하이(high)가 된다. 데이터 전류 경로(1502)는 감지 회로 출력 노드(1516)에서의 출력( $V_{\text{OUT\_SC}}$ )과 조정가능한 부하 PMOS 게이트 노드(1512)에서의 부하 PMOS 게이트 전압( $V_{\text{G\_load}}$ )을 등화함으로써 급속하게 충전된다. 이러한 등화는 감지 속도의 향상으로 이어진다. 제1 동작 스테이지에서 이후에, 등화 신호(EQ)는 로우(low)가 되어 감지 회로 출력 노드(1516)와 조정가능한 부하 PMOS 게이트 노드(1512)를 연결해제한다. 따라서, 제1 동작 스테이지 동안,  $V_{\text{G\_load\_1st}}$ 는  $R_{\text{ref}}$ 에 기초하여 생성되고  $V_{\text{SA\_data}}$ 는  $R_{\text{data}}$  및  $V_{\text{G\_load\_1st}}$ 를 사용하여 생성된다.

[0055] [0071] OCDS-SC(302')의 제2 동작 스테이지에서, 제1 스테이지 인에이블 신호(SS1)는 오프이고 제2 스테이지 인에이블 신호(SS2)는 온이다. 제2 스테이지 인에이블 신호(SS2)는 데이터 경로 제2 스테이지 스위칭 트랜지스터



터(1518) 및 기준 경로 제2 스테이지 스위칭 트랜지스터(1520)를 턴 온한다. 제2 동작 스테이지의 초기에, 등화 신호(EQ)가 하이가 되고 그래서  $V_{OUT\_SC}$ 는  $V_{G\_load}$ 로 리셋된다. 이러한 등화는 감지 속도의 향상으로 이어진다. 제2 동작 스테이지에서 이후에, 등화 신호(EQ)는 로우가 되어 감지 회로 출력 노드(1516)를 조정가능한 부하 PMOS 게이트 노드(1512)로부터 연결해제한다. 따라서, 제2 동작 스테이지 동안,  $V_{G\_load\_2nd}$ 는  $R_{data}$ 에 기초하여 생성되며,  $V_{SA\_REF}$ 는  $R_{ref}$  및  $V_{G\_load\_2nd}$ 를 기초로 하여 생성된다.

[0056] [0072] OCDS-SC(302')는 동일한 노드, 즉 감지 회로 출력 노드(1516)에서 데이터 입력 전압( $V_{sa\_data}$ ) 및 기준 입력 전압( $V_{sa\_ref}$ ) 둘 다를 생성한다. 이것은 오프셋 상쇄를 제공하고, 이것은 프로세스 변동들의 허용 오차를 개선한다. 다른 예에 따르면, 조정가능한 부하 PMOS 게이트 전압들( $V_{G\_load\_1st}$  및  $V_{G\_load\_2nd}$ )은 두 배의 감지 마진을 제공한다.

[0057] [0073] 제한없이 도 9의 OCZS-SA(900)를 포함하여, 별도의 감지 증폭기 캐패시터들을 제공할 필요없이, 감지 회로로부터의 데이터 입력 전압 및 기준 입력 전압을 감지 증폭기 캐패시터들에 직접 저장하도록 구성된 OCZS-SA는 임의의 프로세서 기반 디바이스에 제공되거나 또는 임의의 프로세서 기반 디바이스에 통합될 수 있다. 제한없이, 예들은 셋톱 박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 스마트 폰, 태블릿, 패블릿(phablet), 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대 정보 단말기(personal digital assistant)(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(digital video disc)(DVD) 플레이어, 휴대용 디지털 비디오 플레이어 및 자동차를 포함한다.

[0058] [0074] 이와 관련하여, 도 16은, 제한없이 도 9의 OCZS-SA(900)를 포함하여, 별도의 감지 증폭기 캐패시터들을 제공할 필요없이, 감지 회로로부터의 데이터 입력 전압 및 기준 입력 전압을 감지 증폭기 캐패시터들에 직접 저장하도록 구성된 OCZS-SA(1604)를 포함하는 감지 시스템(1602)을 포함할 수 있는 프로세서 기반 시스템(1600)의 예를 도시한다. OCZS-SA(1604)는 프로세서 기반 시스템(1600)의 컴포넌트들 중 임의의 컴포넌트에 제공될 수 있다. 이러한 예에서, 프로세서 기반 시스템(1600)은 하나 이상의 프로세서들(1608(1) 내지 1608(N))을 포함하는 CPU(1606)를 포함한다. CPU(1606)는 일시적으로 저장된 데이터에 신속하게 액세스하기 위해 CPU(들)(1608(1) 내지 1608(N))에 의해 액세스 가능한 공유 캐시 메모리(1610)를 가질 수 있다. 하나의 예로서, OCZS-SA(1604)를 갖는 감지 시스템(1602)이 캐시 메모리(1610) 내의 메모리 비트셀들의 저장 상태를 감지하기 위해 캐시 메모리(1610)에 포함될 수 있다.

[0059] [0076] CPU(1606)는 시스템 버스(1612)에 연결되고, 프로세서 기반 시스템(1600)에 포함된 마스터 및 슬레이브 디바이스들을 상호 연결할 수 있다. 잘 알려진 바와 같이, CPU(1606)는 어드레스, 제어 및 데이터 정보를 시스템 버스(1612)를 통해 교환함으로써 그 다른 디바이스들과 통신한다. 도 16에 도시되지는 않았지만, 다수의 시스템 버스들(1612)이 제공될 수 있으며, 여기서 각각의 시스템 버스(1612)는 상이한 패브릭을 구성한다. 예를 들어, CPU(1606)는 버스 트랜잭션 요청들을 슬레이브 디바이스의 예로서 메모리 시스템(1614)으로 전달할 수 있다. 메모리 시스템(1614)은 메모리 어레이(1618)로의 액세스를 제어하는 메모리 제어기(1616)를 포함할 수 있다. 메모리 어레이(1618)는, 저항성 메모리 비트셀들(1620), 그리고 메모리 어레이(1618) 내의 메모리 비트셀들의 저장 상태를 감지하기 위한 OCZS-SA(1604)를 포함하는 감지 시스템(1602)을 포함할 수 있다. 따라서, 메모리 시스템(1614)은 예로서 MRAM일 수 있다.

[0060] [0076] 시스템 버스(1612)에는 다른 마스터 및 슬레이브 디바이스들이 연결될 수 있다. 도 16에 도시된 바와 같이, 그 디바이스들은 메모리 시스템(1614), 하나 이상의 입력 디바이스들(1622), 하나 이상의 출력 디바이스들(1624), 하나 이상의 네트워크 인터페이스 디바이스들(1626) 및 하나 이상의 디스플레이 제어기들(1628)을 포함할 수 있다. 입력 디바이스(들)(1622)는 이것으로 제한되는 것은 아니지만 입력 키들, 스위치들, 음성 프로세서들 등을 포함하는 임의의 유형의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(1624)는 이것으로 제한되는 것은 아니지만 오디오, 비디오, 다른 비주얼 표시기들 등을 포함하는 임의의 유형의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(1626)는 네트워크(1630)로의 그리고 네트워크(1630)로부터의 데이터의 교환을 가능하게 하도록 구성된 임의의 디바이스들일 수 있다. 네트워크(1630)는 이것으로 제한되는 것은 아니지만, 유선 또는 무선 네트워크, 개인 또는 공용 네트워크, 근거리 네트워크(local area network)(LAN), 무선 근거리 네트워크(wireless local area network)(WLAN), 광역 네트워크(wide area network)(WAN), 블루투스(BLUETOOTH™) 네트워크 및 인터넷을 포함하는 임의의 유형의 네트워크일 수 있다. 네

트위크 인터페이스 디바이스(들)(1626)는 원하는 임의의 유형의 통신 프로토콜을 지원하도록 구성될 수 있다.

[0061] [0077] CPU(1606)는 또한 시스템 버스(1612)를 통해 디스플레이 제어기(들)(1628)에 액세스하여, 하나 이상의 디스플레이들(1632)에 송신된 정보를 제어하도록 구성될 수 있다. 디스플레이 제어기(들)(1628)는 디스플레이 될 정보를 하나 이상의 비디오 프로세서들(1634)을 통해 디스플레이(들)(1632)에 전송하며, 하나 이상의 비디오 프로세서들(1634)은 디스플레이될 정보를 디스플레이(들)(1632)에 적합한 포맷으로 처리한다. 디스플레이(들)(1632)는 이것으로 제한되는 것은 아니지만, 음극선관(cathode ray tube)(CRT), 액정 디스플레이 디바이스(liquid crystal display)(LCD), 플라즈마 디스플레이 등을 포함하는 임의의 유형의 디스플레이를 포함할 수 있다.

[0062] [0078] 관련 기술분야에서 통상의 기술자들이라면, 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리즘들은 전자 하드웨어, 메모리에 또는 다른 컴퓨터 판독 가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령어들, 또는 둘 모두의 조합으로서 구현될 수 있다는 것을 또한 인식할 것이다. 본 명세서에서 설명된 마스터 디바이스들 및 슬레이브 디바이스들은 예들로서 임의의 회로, 하드웨어 컴포넌트, 집적 회로(integrated circuit)(IC) 또는 IC 칩에서 사용될 수 있다. 본 명세서에 개시된 메모리는 임의의 유형 및 크기의 메모리일 수 있고, 원하는 임의의 유형의 정보를 저장하도록 구성될 수 있다. 이러한 상호 교환 가능성을 명확히 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 그들의 기능성의 관점에서 위에서 일반적으로 설명되었다. 그러한 기능성이 어떻게 구현되는지는 특정 애플리케이션, 설계 선택들 및/또는 전체 시스템에 부과되는 설계 제약들에 좌우된다. 관련 기술분야에서 통상의 기술자들은 설명된 기능성을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 이러한 구현 결정들은 본 개시내용의 범위를 벗어나게 하는 것으로 해석되어서는 안 된다.

[0063] [0079] 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 및 회로들은 본 명세서에서 설명된 기능들을 수행하도록 설계된 프로세서, 디지털 신호 프로세서(Digital Signal Processor)(DSP), 주문형 집적 회로(Application Specific Integrated Circuit)(ASIC), 필드 프로그래머블 게이트 어레이(Field Programmable (G)ate Array)(FP(G)A) 또는 다른 프로그래머블 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수 있다. 프로세서는 또한, 컴퓨팅 디바이스들의 조합, 예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 협력하는 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수 있다.

[0064] [0080] 본 명세서에 개시된 양태들은 하드웨어 및 하드웨어에 저장되는 명령어들로 구현될 수 있으며, 예를 들면 랜덤 액세스 메모리(Random Access Memory)(RAM), 플래시 메모리, 판독 전용 메모리(Read Only Memory)(ROM), 전기적 프로그래머블 ROM(Electrically Programmable ROM)(EPROM), 전기적으로 소거 가능 프로그래머블 ROM(Electrically Erasable Programmable ROM)(EEPROM), 레지스터들, 하드 디스크, 착탈식 디스크, CD-ROM, 또는 관련 기술분야에서 공지된 임의의 다른 형태의 컴퓨터 판독 가능 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 판독하고 저장 매체에 정보를 기입할 수 있도록 프로세서에 연결된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC은 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국 또는 서버에 개별 컴포넌트들로서 상주할 수 있다.

[0065] [0081] 본 명세서의 예시적인 양태들 중 임의의 양태에서 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명되는 것임을 또한 알아야 한다. 설명된 동작들은 도시된 시퀀스들 이외의 많은 상이한 시퀀스들로 수행될 수 있다. 또한, 단일 동작 단계에서 설명된 동작들은 실제로 다수의 상이한 단계들에서 수행될 수 있다. 또한, 예시적인 양태들에서 논의된 하나 이상의 동작 단계들은 조합될 수 있다. 흐름도들에 도시된 동작 단계들은 관련 기술분야에서 통상의 기술자에게 자명해질 수 있는 것과 같은 많은 상이한 수정들을 받을 수 있음을 이해하여야 한다. 관련 기술분야에서 통상의 기술자들은 또한 정보 및 신호들은 임의의 다양한 상이한 기술들 및 기법들을 사용하여 표현될 수 있다는 것을 이해할 것이다. 예를 들어, 상기 설명 전체에서 참조될 수 있는 데이터, 명령어들, 커맨드들, 정보, 신호들, 비트들, 기호들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 입자들, 광학 필드들 또는 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.

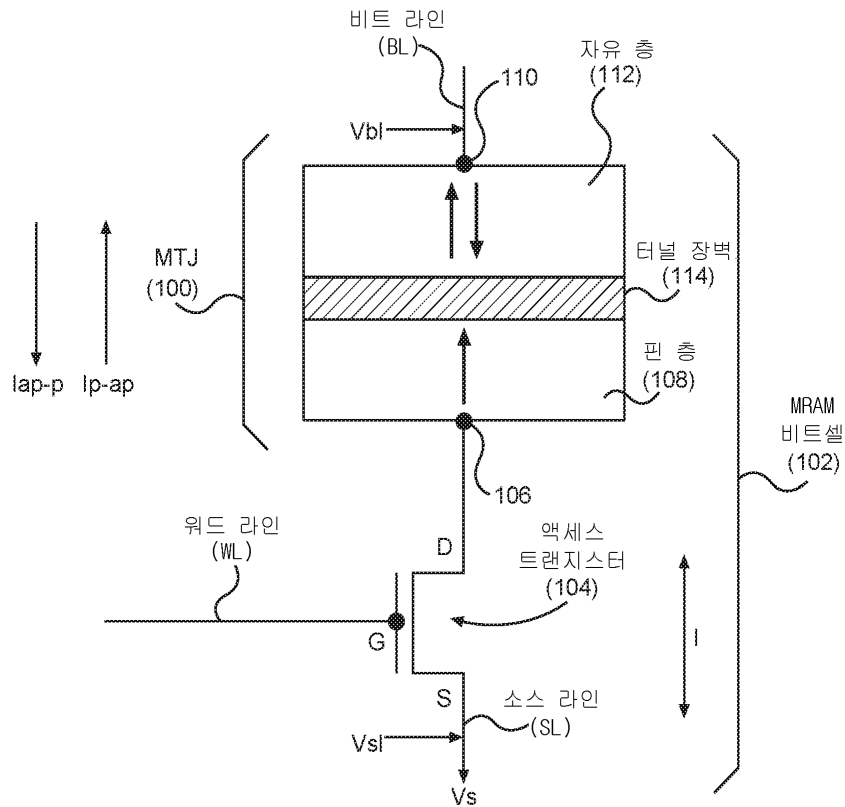
[0066] [0082] 본 개시내용에 관한 이전의 설명은 관련 기술분야에서 통상의 기술자가 본 개시내용을 실시 또는 사용



할 수 있도록 하기 위해 제공된다. 관련 기술분야에서 통상의 기술자들에게는 본 개시내용에 대한 다양한 수정들이 자명해질 것이며, 본 명세서에서 정의된 일반적인 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않고 다른 변형들에 적용될 수 있다. 따라서, 본 개시내용은 본 명세서에 설명된 예들 및 설계들로 제한되는 것으로 의도된 것이 아니라, 본 명세서에 개시된 원리 및 신규한 특징들과 일치하는 가장 넓은 범위를 부여하려는 것이다.

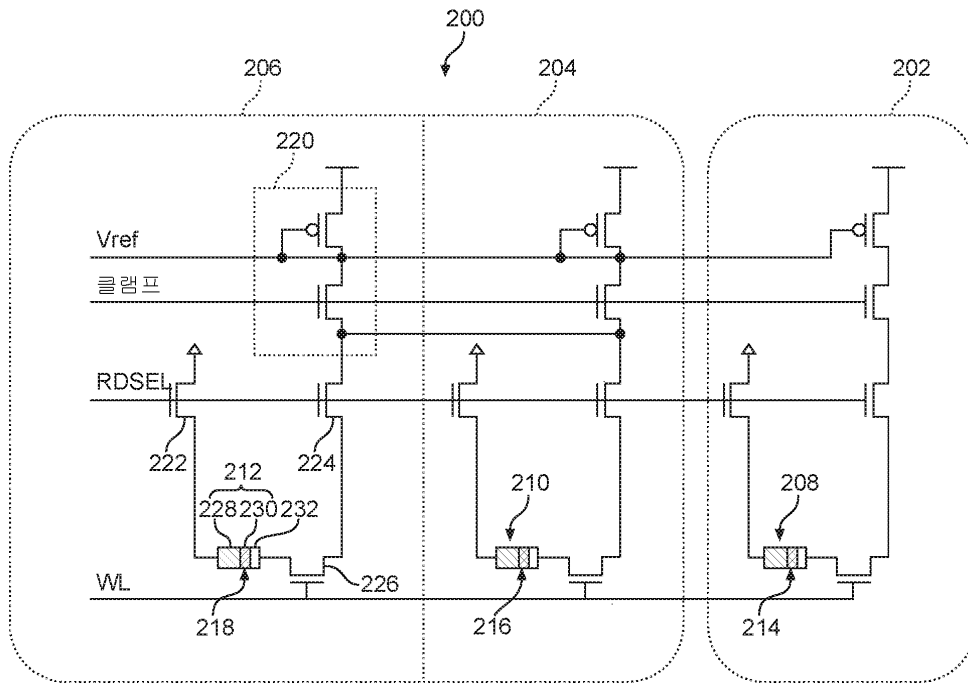
## 도면

### 도면1



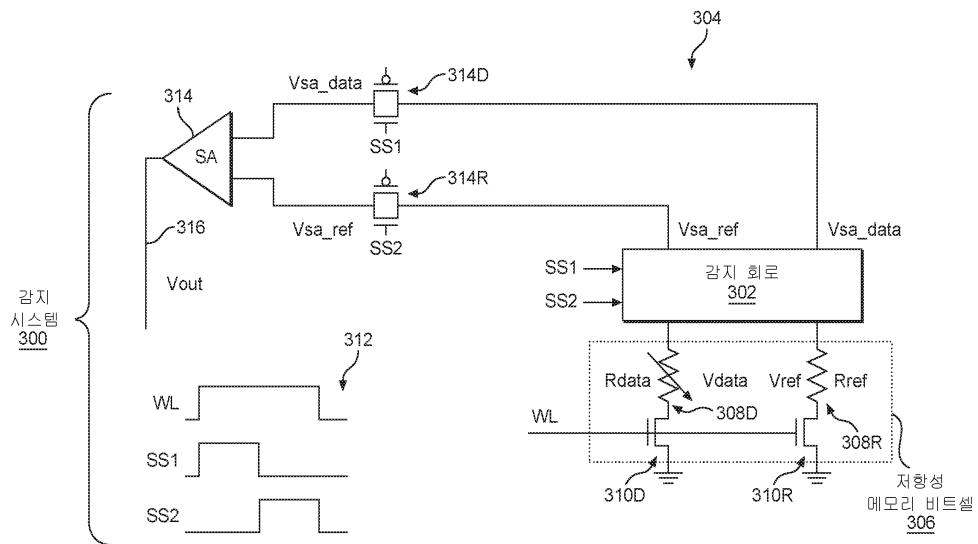
종래 기술

도면2

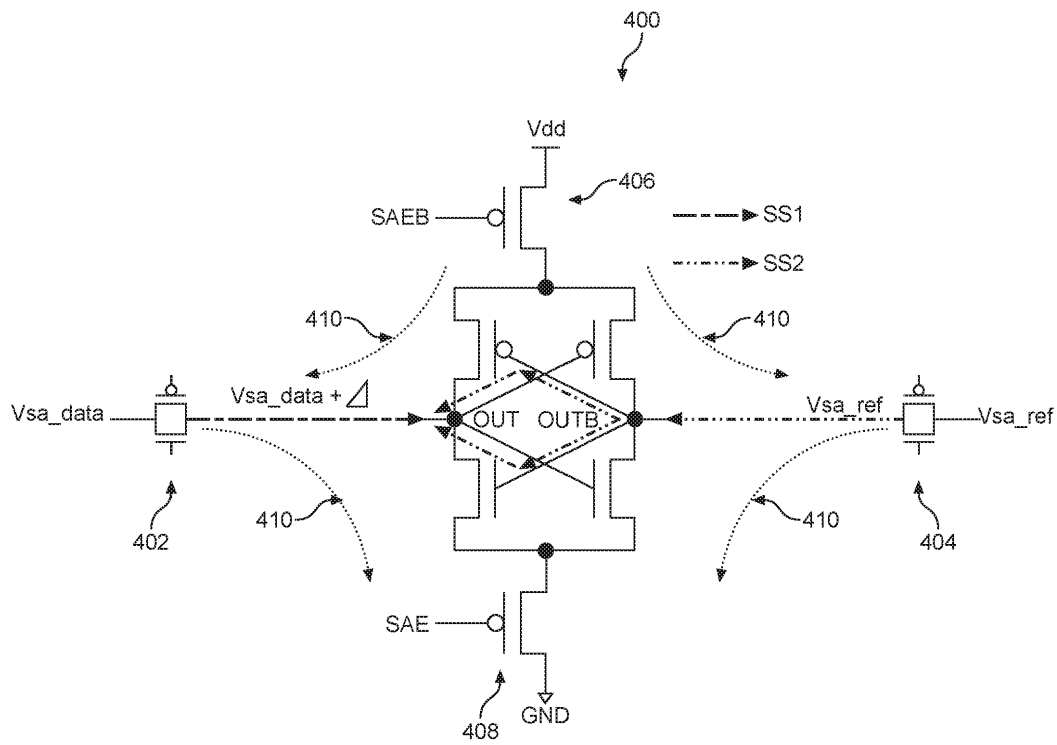


종래 기술

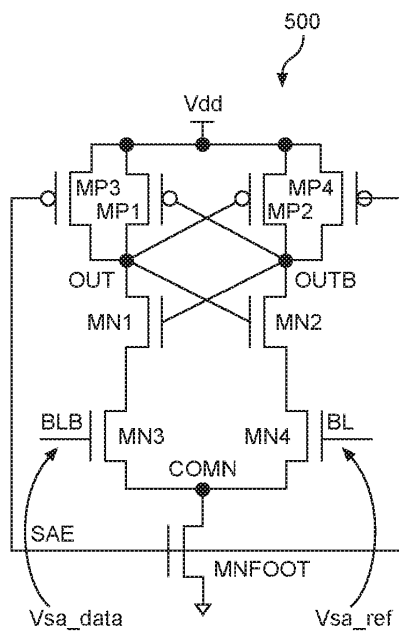
도면3



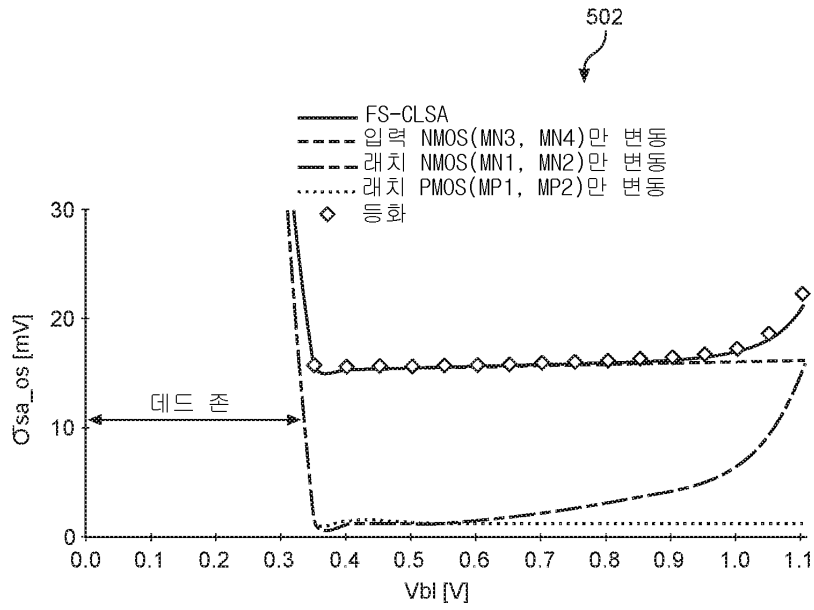
도면4



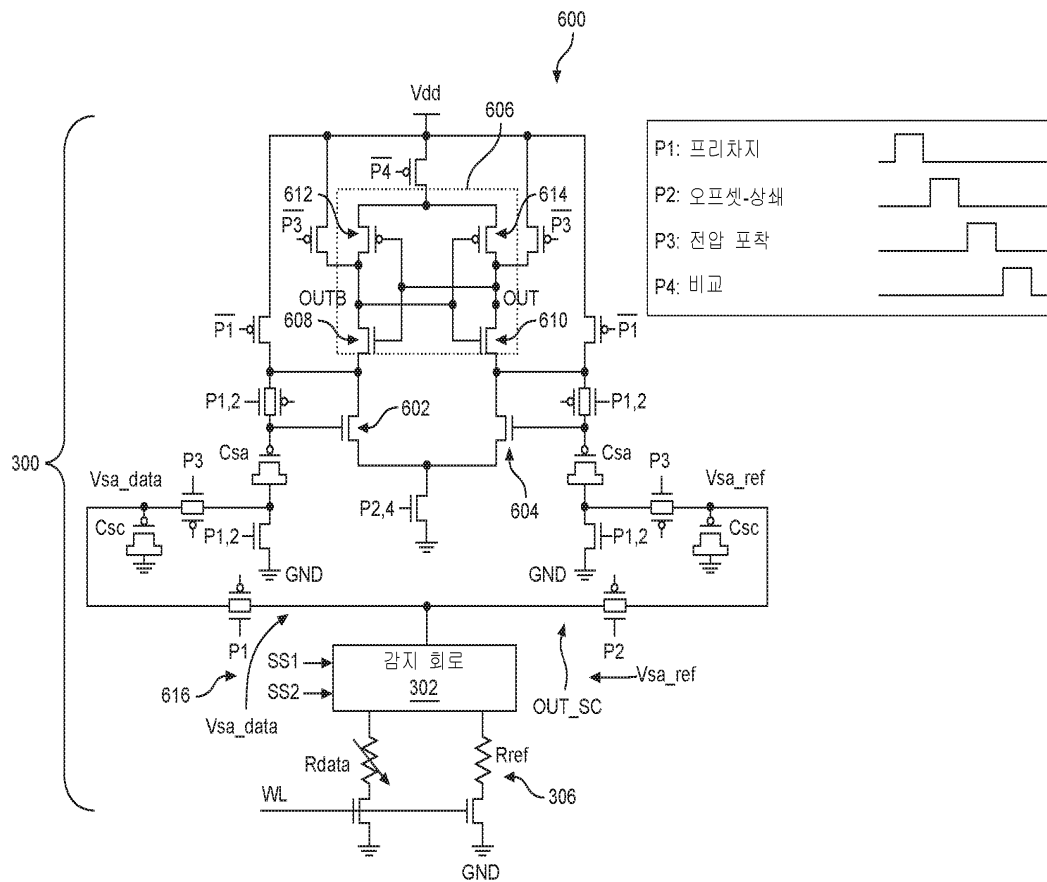
도면5a



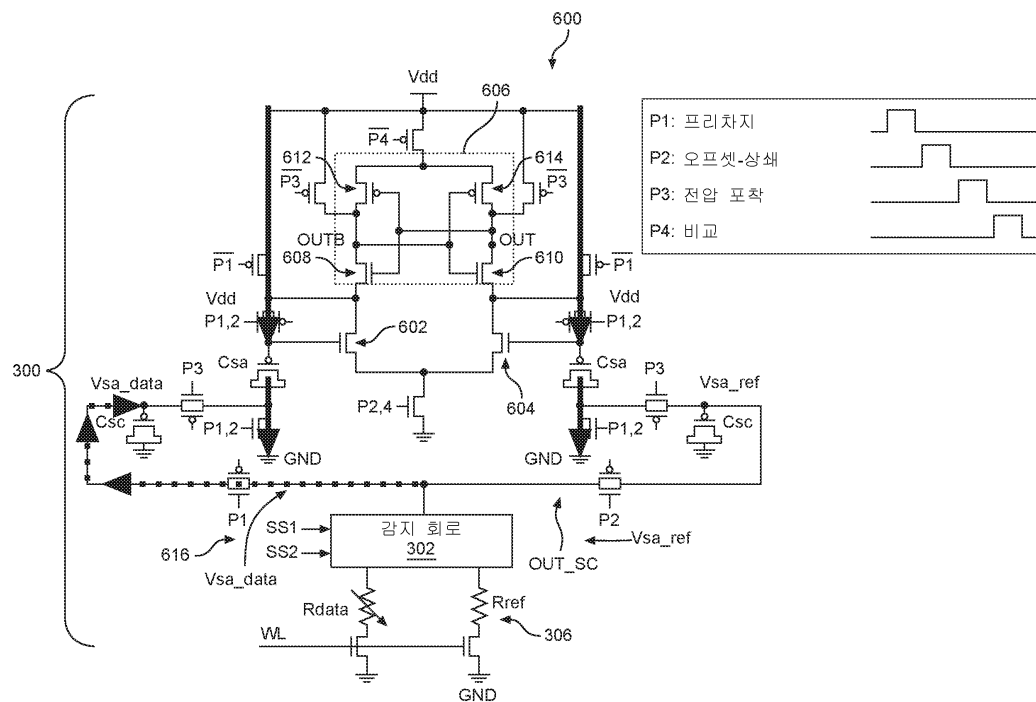
도면5b



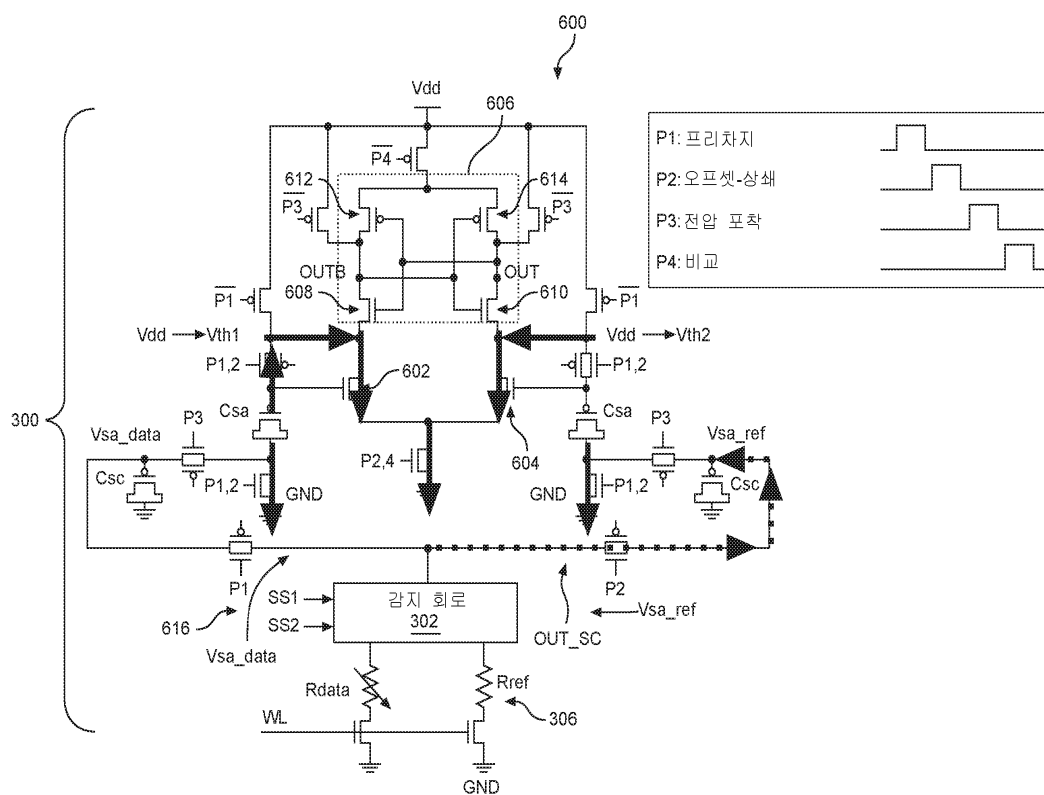
도면6



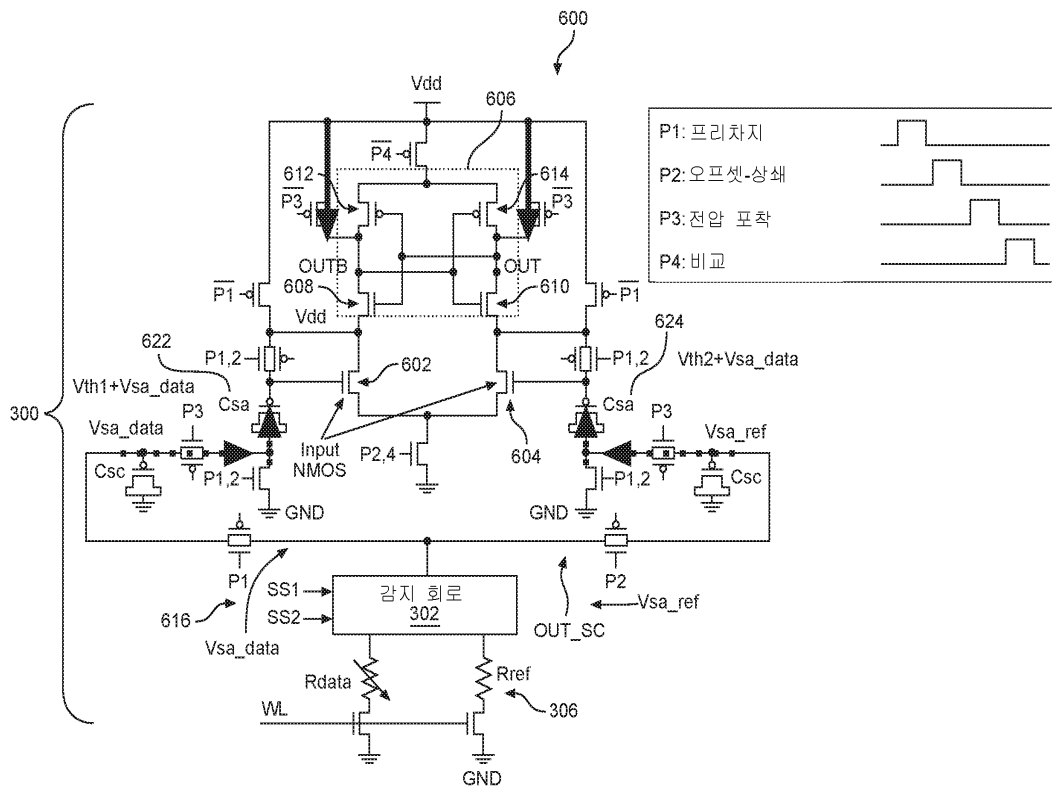
도면 7a



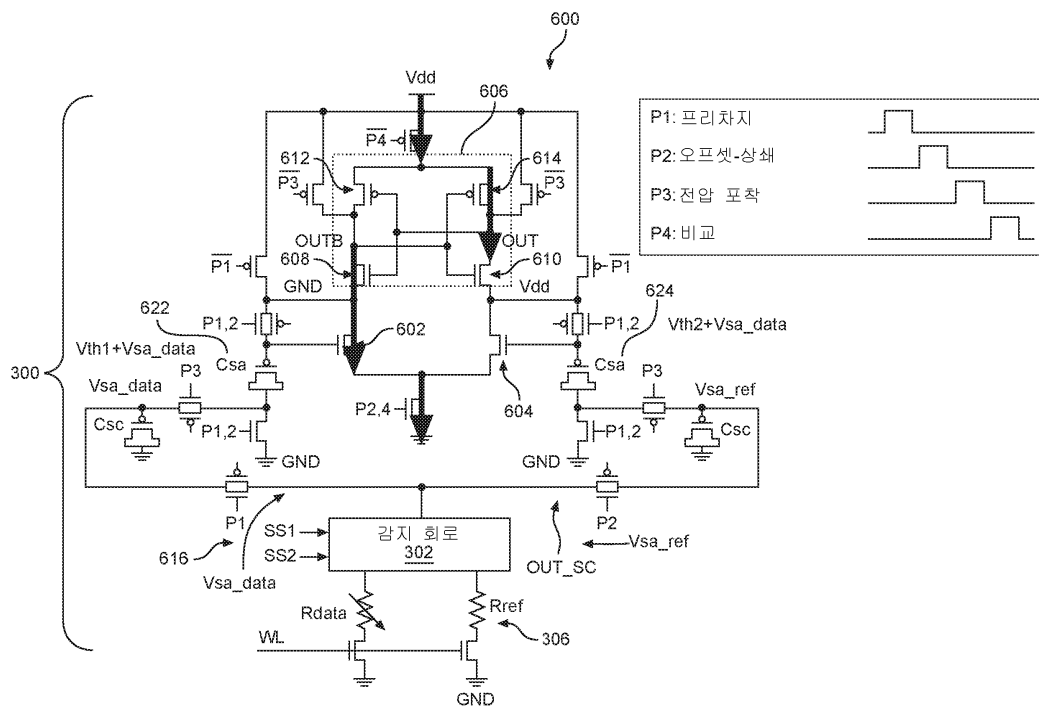
도면 7b



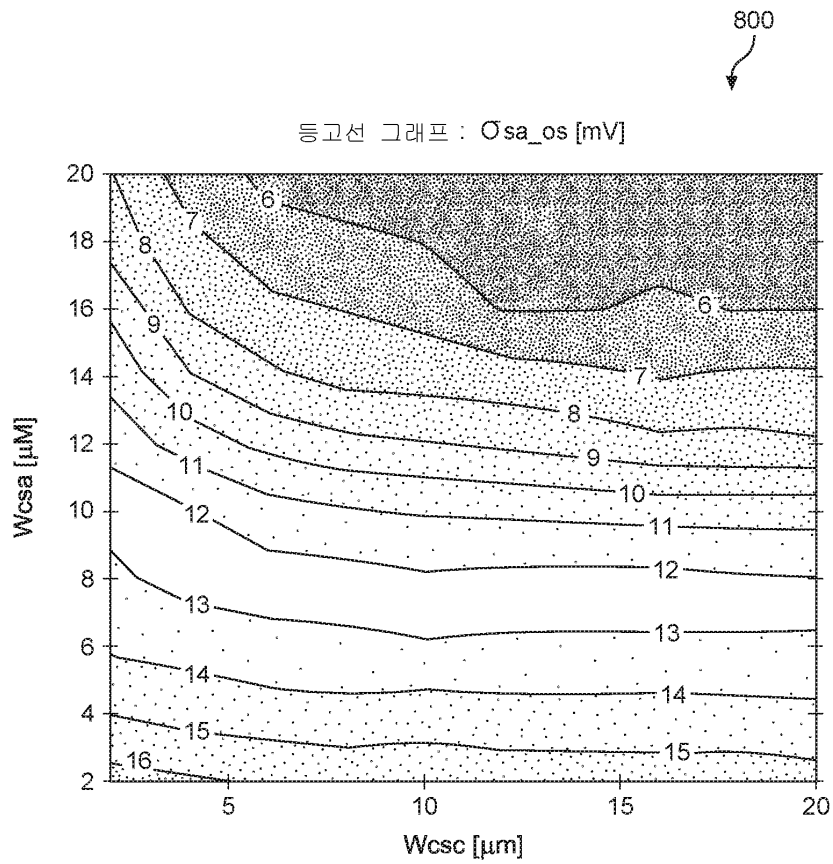
도면7c



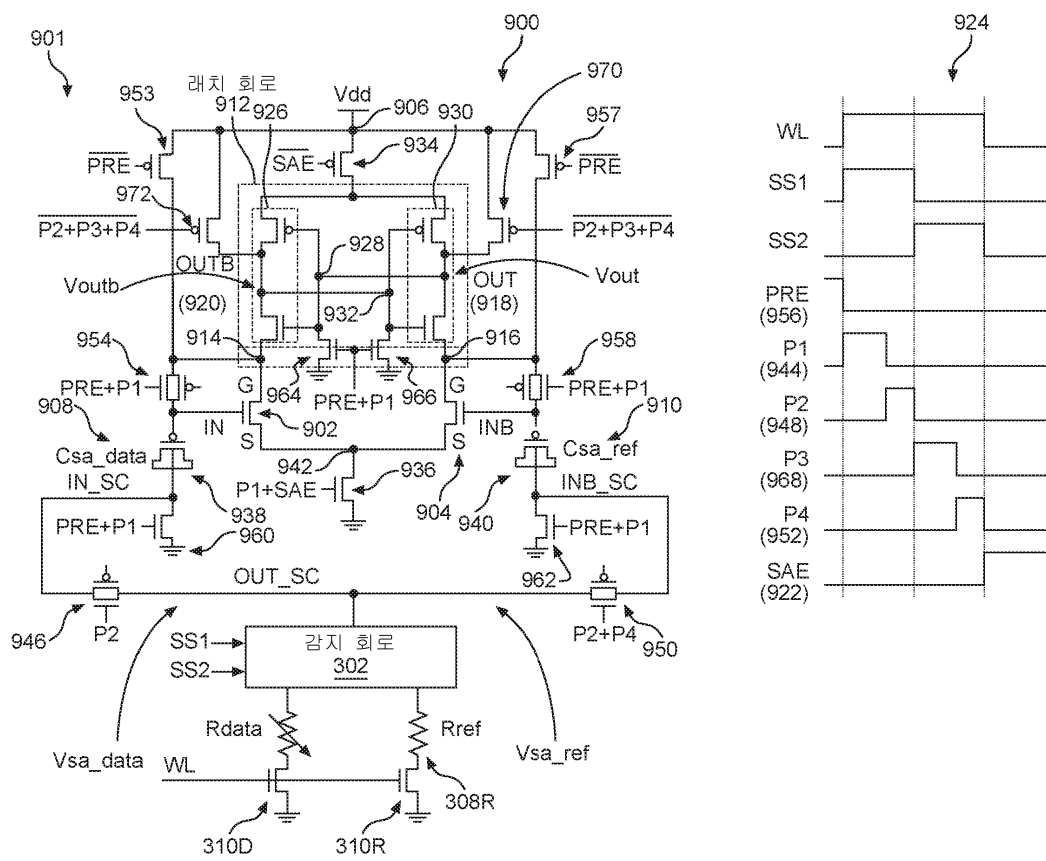
도면7d



도면8

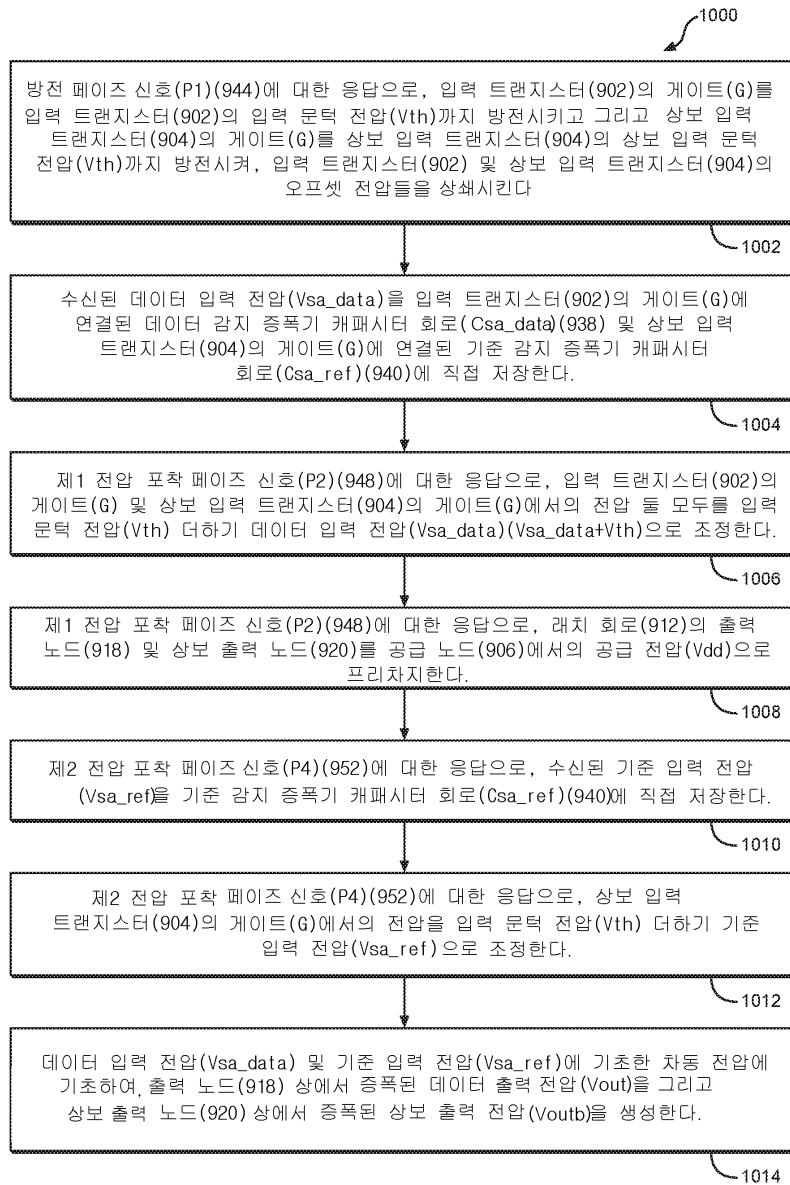


도면9

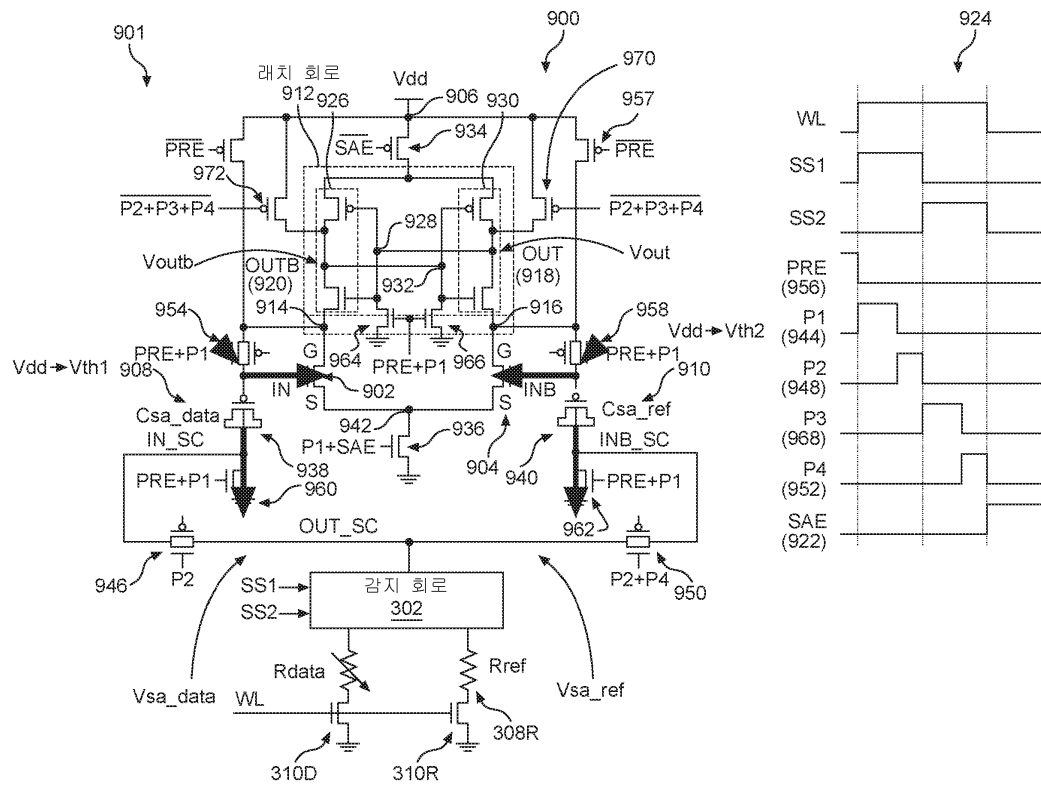




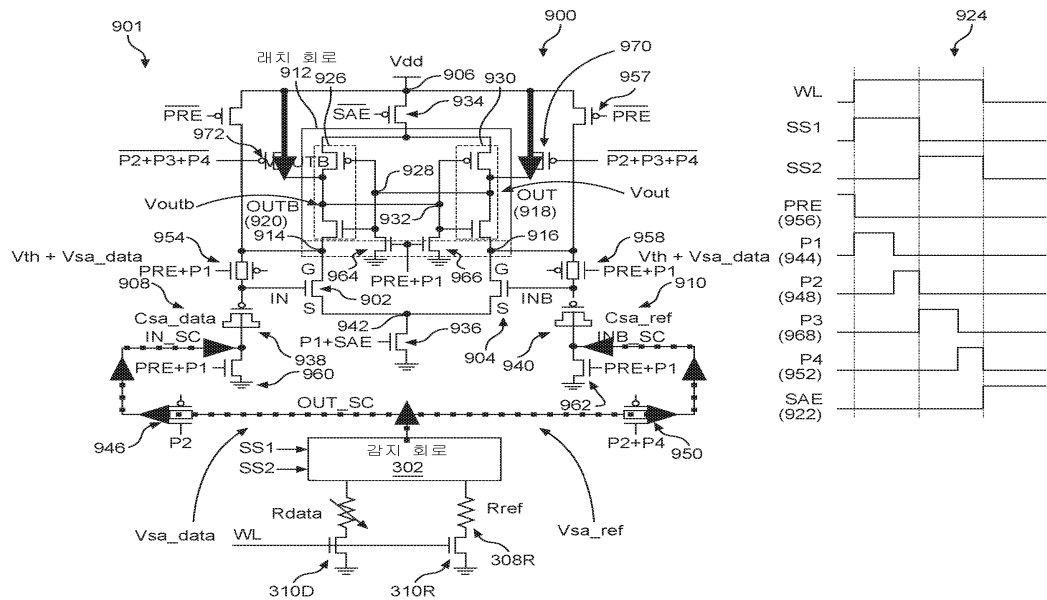
도면10



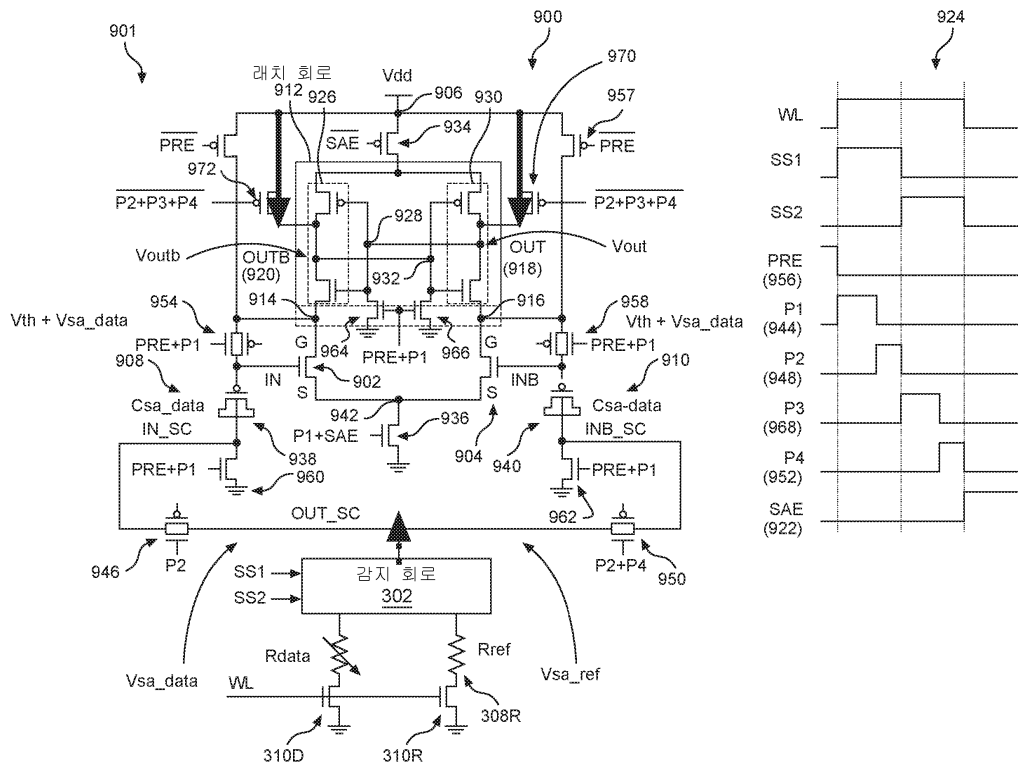
도면 11a



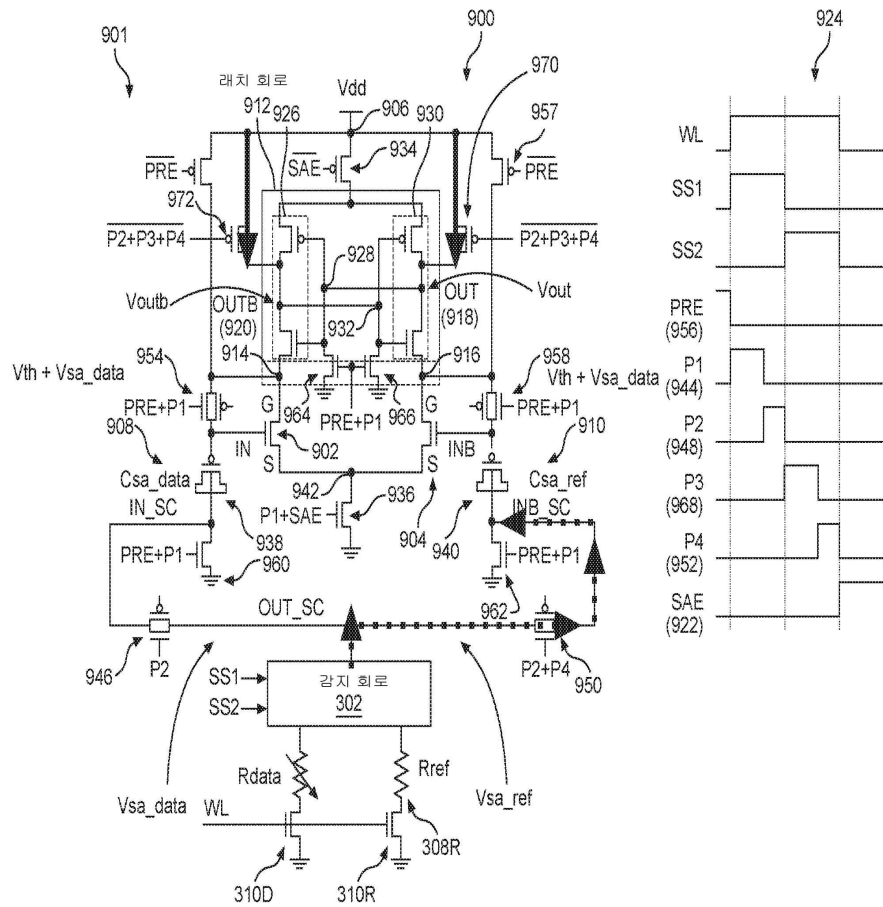
도면 11b



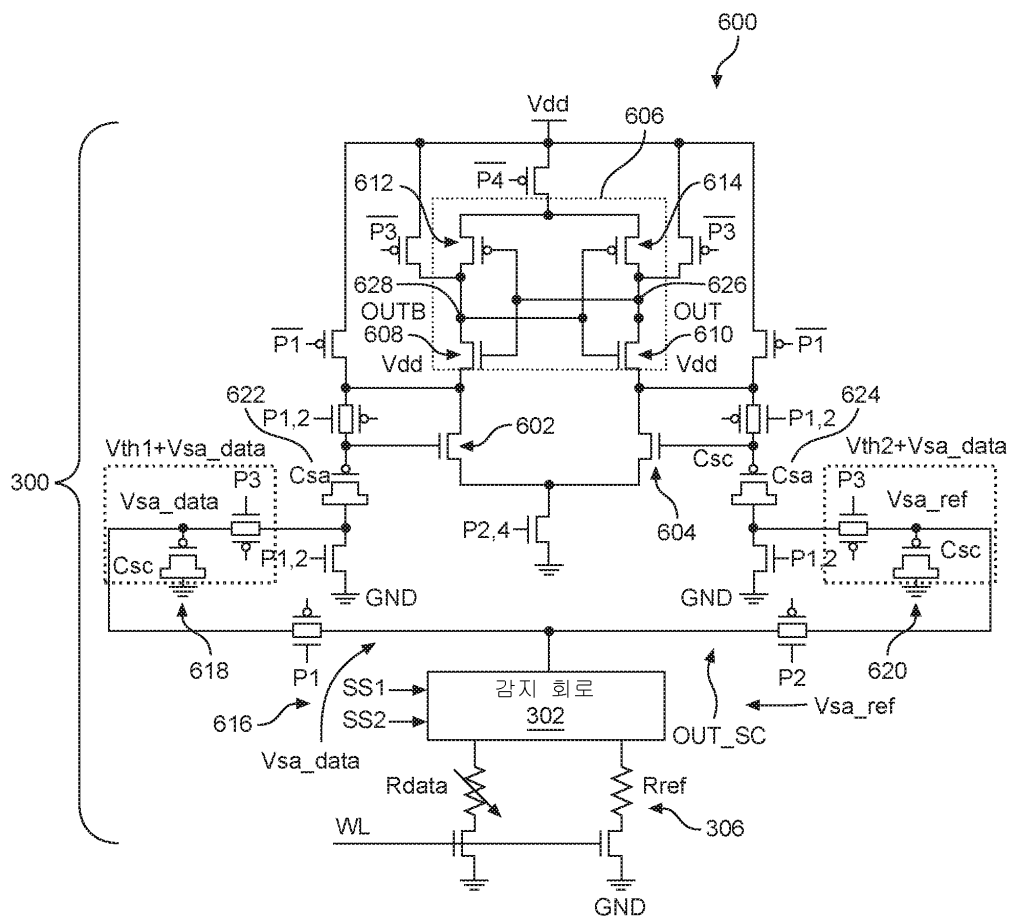
도면11c



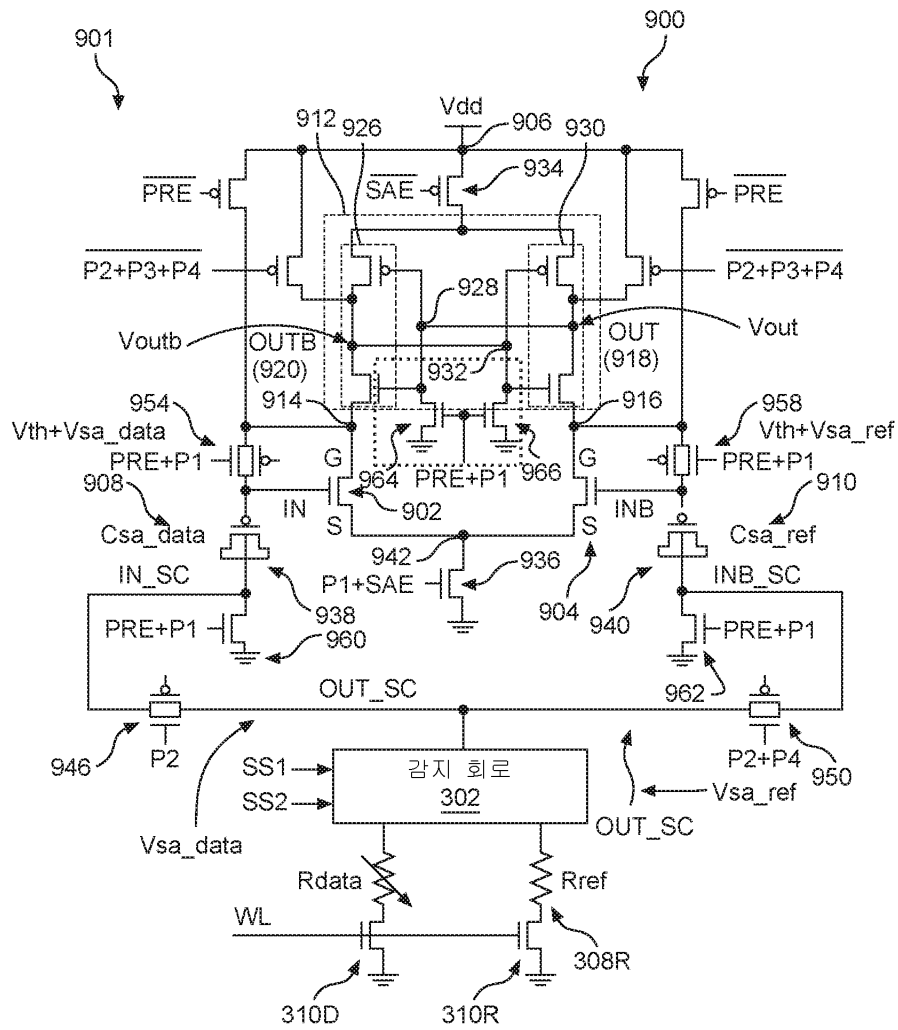
도면11d



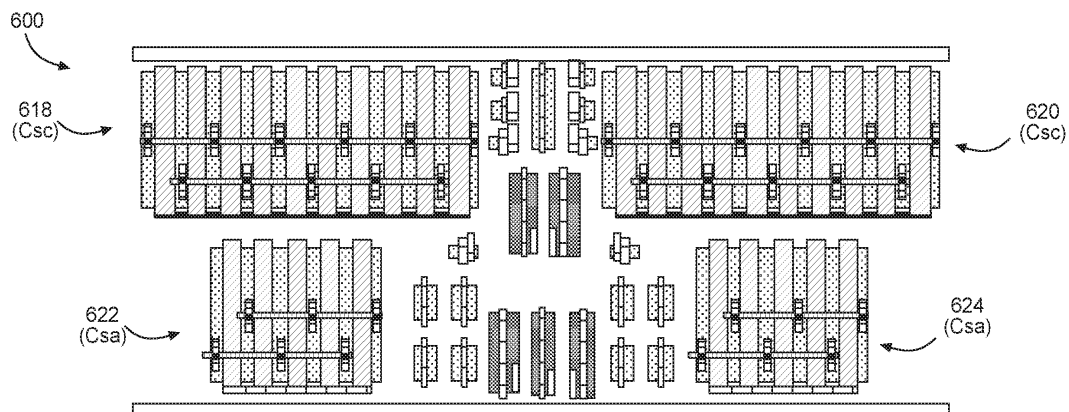
도면 12a



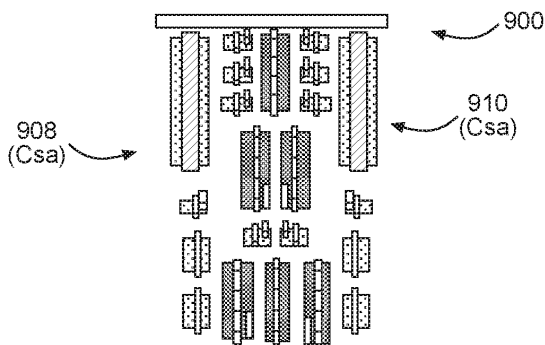
도면12b



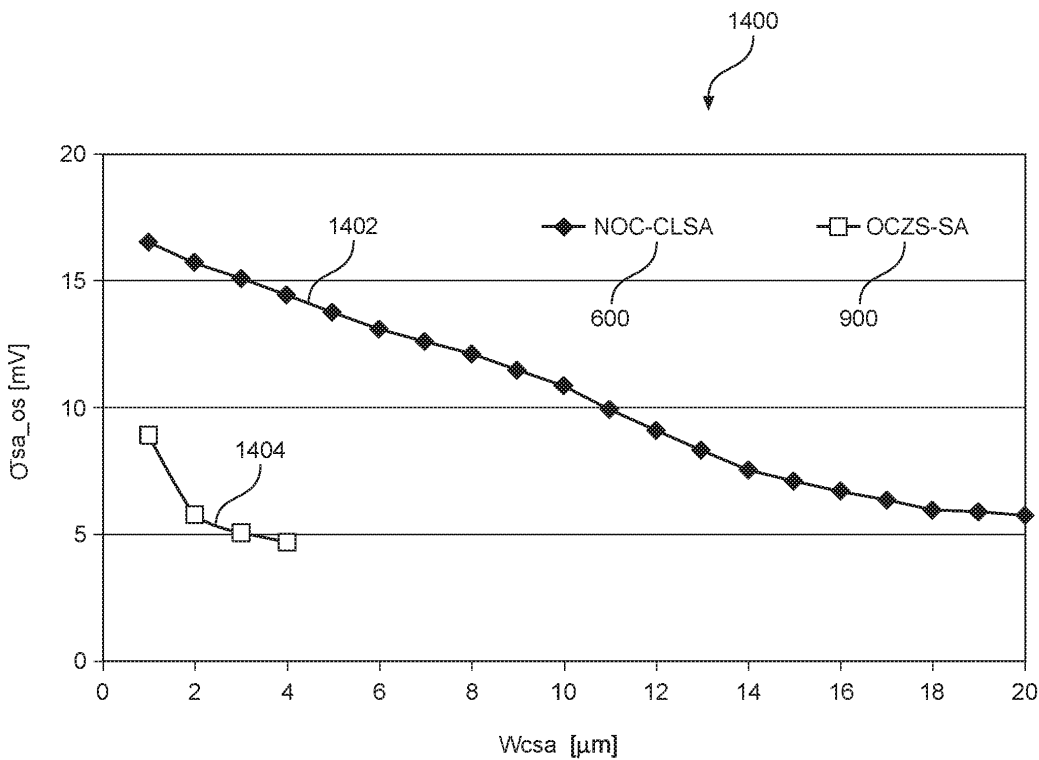
도면13a



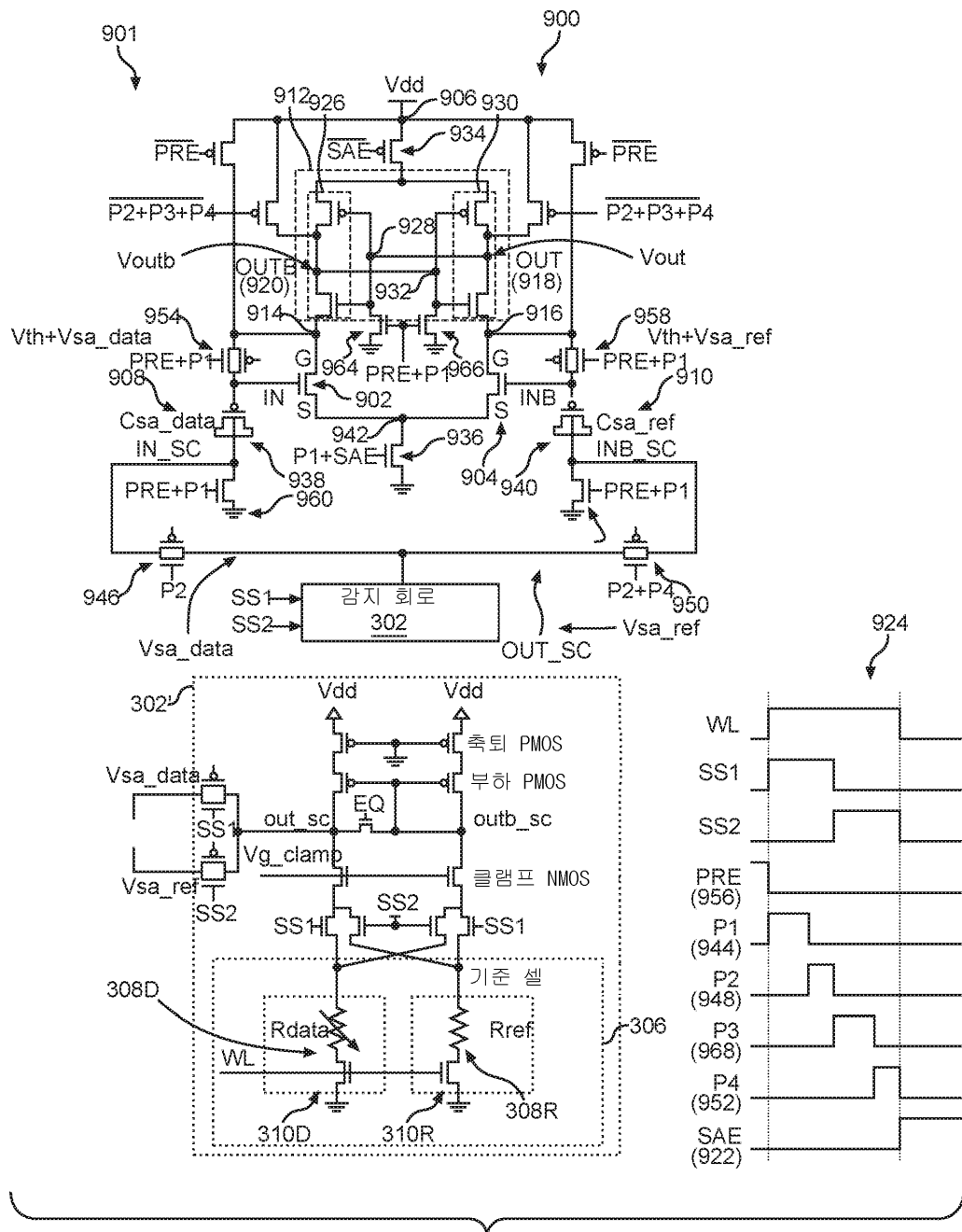
도면13b



도면14



도면15





도면16

