(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년11월03일
(11) 등록번호 10-2599033
(24) 등록일자 2023년11월01일

(51) 국제특허분류(Int. Cl.)
H03M 13/00 (2017.01) *G06F 11/10* (2006.01)
H03M 13/15 (2015.01)
(52) CPC특허분류
H03M 13/616 (2013.01)
G06F 11/10 (2013.01)
(21) 출원번호 10-2018-7010280
(22) 출원일자(국제) 2016년08월25일
심사청구일자 2021년08월11일
(85) 번역문제출일자 2018년04월11일
(65) 공개번호 10-2018-0053700
(43) 공개일자 2018년05월23일
(86) 국제출원번호 PCT/US2016/048604
(87) 국제공개번호 WO 2017/048474
국제공개일자 2017년03월23일
(30) 우선권주장
14/852,988 2015년09월14일 미국(US)
(56) 선행기술조사문헌
EP01612949 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정, 승욱
대한민국 서울 서대문구 연세로 50 엔지니어링 빌딩 2 725
최, 사라
대한민국 서울 서대문구 연세로 50 엔지니어링 빌딩 2 725
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

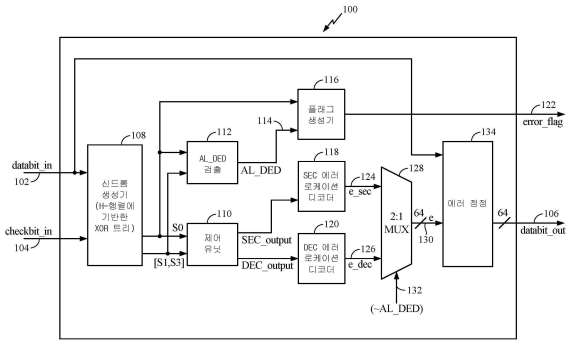
전체 청구항 수 : 총 25 항 심사관 : 조춘근

(54) 발명의 명칭 **저전력 이중 에러 정정-삼중 에러 검출 (DEB-TED) 디코더**

(57) 요 약

에러 검출 및 정정 디코딩 장치는, 단일 비트 에러들의 경우에 전력 소비 및 레이턴시를 감소시키고 다중-비트 에러들의 경우에 강력한 에러 정정을 제공하기 위해, 데이터 입력이 단일 비트 에러를 포함하는지 또는 다중-비트 에러를 포함하는지에 따라 SEC-DED(single error correction-double error detection) 또는 DEC-TED(double error correction-triple error detection)를 수행한다.

대 표 도



(52) CPC특허분류
H03M 13/152 (2013.01)
H03M 13/1575 (2013.01)
H03M 13/617 (2013.01)
H03M 13/6502 (2013.01)
(72) 발명자
송, 병규
대한민국 서울 서대문구 연세로 50 엔지니어링 빌딩 2 725
나, 태희
대한민국 서울 서대문구 연세로 50 엔지니어링 빌딩 2 725
김, 지수
대한민국 서울 서대문구 연세로 50 엔지니어링 빌딩 2 725
김, 정필
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
김, 성률
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
김, 태현
미국 95014 캘리포니아 쿠퍼티노 노스글렌 스퀘어 10947
강, 승혁
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명 세 서

청구범위

청구항 1

에러 검출 및 정정 장치로서,

입력 데이터에서 단일 에러들을 로케이팅(locate)하도록 구성된 단일 에러 로케이션 디코더;

상기 입력 데이터에서 이중 에러들을 로케이팅하도록 구성된 이중 에러 로케이션 디코더;

특정 데이터 입력이 단일 에러를 갖는 것으로 예측되는지 또는 이중 에러를 갖는 것으로 예측되는지를 결정하고, 상기 에러 예측에 기반하여 상기 특정 데이터 입력에 대해 에러 로케이션을 수행하기 위해 상기 단일 에러 로케이션 디코더 및 상기 이중 에러 로케이션 디코더 중 하나만을 선택하고, 그리고 선택되지 않은 에러 로케이션 디코더를 비활성화하도록 구성된 제어기;

정정된 출력 데이터를 생성하기 위해 상기 단일 에러 로케이션 디코더 및 상기 이중 에러 로케이션 디코더에 커플링된 에러 정정기(error corrector); 및

상기 입력 데이터를 수신하고, 상기 입력 데이터에 기반하여 제 1 벡터 신호 출력 및 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 생성하도록 구성된 신드롬 생성기(syndrome generator)를 포함하고,

상기 제어기는 추가로 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 수신하고, 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들에 기반하여 단일 에러 정정 출력 및 이중 에러 정정 출력을 생성하도록 구성되고,

상기 단일 에러 로케이션 디코더는 상기 단일 에러 정정 출력을 수신하고, 단일 에러 로케이션 디코더 출력을 생성하도록 구성되고; 그리고

상기 이중 에러 로케이션 디코더는 상기 이중 에러 정정 출력을 수신하고, 이중 에러 로케이션 디코더 출력을 출력하도록 구성되는,

에러 검출 및 정정 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 신드롬 생성기는 패리티-체크 행렬 디코더(parity-check matrix decoder)를 포함하는,

에러 검출 및 정정 장치.

청구항 4

제 3 항에 있어서,

상기 패리티-체크 행렬 디코더는 XOR-트리 기반의 패리티-체크 행렬 디코더(XOR-tree based parity-check matrix decoder)를 포함하는,

에러 검출 및 정정 장치.

청구항 5

제 1 항에 있어서,

상기 신드롬 생성기로부터 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력을 수신하도록 구성된 이중 에러 검출기를 더 포함하는,

에러 검출 및 정정 장치.

청구항 6

제 5 항에 있어서,

상기 이중 에러 검출기는 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들 중 2 개 또는 그 초과에 기반하여 이중 에러 검출 출력을 생성하도록 구성되는,

에러 검출 및 정정 장치.

청구항 7

제 6 항에 있어서,

상기 이중 에러 검출기로부터 상기 이중 에러 검출 출력 및 상기 신드롬 생성기로부터 상기 제 1 벡터 신호 출력을 수신하고, 상기 이중 에러 검출 출력 및 상기 제 1 벡터 신호 출력에 기반하여 에러 플래그(error flag)를 생성하도록 구성된 플래그 생성기를 더 포함하는,

에러 검출 및 정정 장치.

청구항 8

제 6 항에 있어서,

상기 장치는 멀티플렉서를 더 포함하고, 상기 멀티플렉서는:

상기 단일 에러 로케이션 디코더 출력에 커플링된 제 1 입력; 및

상기 이중 에러 로케이션 디코더 출력에 커플링된 제 2 입력을 포함하는,

에러 검출 및 정정 장치.

청구항 9

제 8 항에 있어서,

상기 멀티플렉서는 추가로:

상기 이중 에러 검출 출력을 수신하도록 구성된 제어 입력; 및

상기 제어 입력에 기반하여 상기 단일 에러 로케이션 디코더 출력 또는 상기 이중 에러 로케이션 디코더 출력 중 어느 하나를 출력하도록 구성된 출력을 포함하는,

에러 검출 및 정정 장치.

청구항 10

제 9 항에 있어서,

상기 에러 정정기는:

상기 입력 데이터를 수신하도록 구성된 입력;

상기 멀티플렉서의 출력에 커플링된 에러 로케이션 디코더 입력; 및

상기 입력 데이터 및 상기 에러 로케이션 디코더 입력에 기반하여, 상기 정정된 출력 데이터를 출력하도록 구성된 출력을 포함하는,

에러 검출 및 정정 장치.

청구항 11

제 1 항에 있어서,

제어 입력 및 제어 출력을 갖는 타이밍 제어기;

상기 단일 에러 정정 출력을 수신하도록 커플링된 입력, 상기 타이밍 제어기의 제어 출력에 커플링된 토글(toggle) 입력, 및 전달되는 단일 에러 정정 출력을 출력하도록 구성된 출력을 포함하는 제 1 플립-플롭(flip-flop); 및

상기 이중 에러 정정 출력을 수신하도록 커플링된 입력, 상기 타이밍 제어기의 제어 출력에 커플링된 토글 입력, 및 전달되는 이중 에러 정정 출력을 출력하도록 구성된 출력을 포함하는 제 2 플립-플롭을 더 포함하는,

에러 검출 및 정정 장치.

청구항 12

제 11 항에 있어서,

상기 타이밍 제어기는 지연 유닛을 포함하는,

에러 검출 및 정정 장치.

청구항 13

제 12 항에 있어서,

상기 지연 유닛은 하나 또는 그 초과의 로직 게이트들을 포함하는,

에러 검출 및 정정 장치.

청구항 14

제 13 항에 있어서,

상기 지연 유닛은 추가로 하나 또는 그 초과의 버퍼들을 포함하는,

에러 검출 및 정정 장치.

청구항 15

제 11 항에 있어서,

상기 제 1 플립-플롭은 제 1 포지티브 에지 트리거 플립-플롭(positive edge triggered flip-flop)을 포함하고, 상기 제 2 플립-플롭은 제 2 포지티브 에지 트리거 플립-플롭을 포함하는,

에러 검출 및 정정 장치.

청구항 16

에러 검출 및 정정 장치로서,

입력 데이터에서 단일 에러들을 로케이팅하기 위한 단일 에러 로케이션 디코딩을 위한 수단;

상기 입력 데이터에서 이중 에러들을 로케이팅하기 위한 이중 에러 로케이션 디코딩을 위한 수단;

특정 데이터 입력이 단일 에러를 갖는 것으로 예측되는지 또는 이중 에러를 갖는 것으로 예측되는지를 결정하기 위한 수단;

상기 에러 예측에 기반하여 상기 특정 데이터 입력에 대한 에러 로케이션을 수행하기 위해, 상기 단일 에러 로케이션 디코딩을 위한 수단 및 상기 이중 에러 로케이션 디코딩을 위한 수단 중 하나만을 선택하기 위한 수단;

선택되지 않은 에러 로케이션 디코딩을 위한 수단을 비활성화하기 위한 수단;

상기 단일 에러 로케이션 디코딩을 위한 수단에 의해 로케이팅된 상기 단일 에러들 및 상기 이중 에러 로케이션 디코딩을 위한 수단에 의해 로케이팅된 상기 이중 에러들에 기반하여, 정정된 출력 데이터를 생성하기 위해 에러들을 정정하기 위한 수단;

신드롬을 생성하기 위한 수단 - 상기 신드롬을 생성하기 위한 수단은 상기 입력 데이터를 수신하고, 상기 입력 데이터에 기반하여 제 1 벡터 신호 출력 및 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 출력하도록 구성됨 - ; 및

단일 에러 정정 출력 및 이중 에러 정정 출력을 생성하기 위한 수단 – 상기 단일 에러 정정 출력 및 상기 이중 에러 정정 출력을 생성하기 위한 수단은 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 수신하고, 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들에 기반하여 단일 에러 정정 출력 및 이중 에러 정정 출력을 생성하도록 구성됨 –을 포함하고,

상기 단일 에러 로케이션 디코딩을 위한 수단은 상기 단일 에러 정정 출력을 수신하고, 상기 단일 에러 로케이션 디코딩을 위한 수단의 출력을 출력하도록 구성되고; 그리고

상기 이중 에러 로케이션 디코딩을 위한 수단은 상기 이중 에러 정정 출력을 수신하고, 상기 이중 에러 로케이션 디코딩을 위한 수단의 출력을 출력하도록 구성되는,

에러 검출 및 정정 장치.

청구항 17

삭제

청구항 18

제 16 항에 있어서,

상기 신드롬을 생성하기 위한 수단은 패리티-체크 행렬 디코더를 포함하는,

에러 검출 및 정정 장치.

청구항 19

제 16 항에 있어서,

이중 에러 검출 출력을 생성하기 위해 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들에 기반하여 이중 에러들을 검출하기 위한 수단을 더 포함하는,

에러 검출 및 정정 장치.

청구항 20

제 19 항에 있어서,

상기 이중 에러 검출 출력 및 상기 제 1 벡터 신호 출력에 기반하여 에러 플래그를 생성하기 위한 수단을 더 포함하는,

에러 검출 및 정정 장치.

청구항 21

제 20 항에 있어서,

상기 장치는 멀티플렉싱하기 위한 수단을 더 포함하고, 상기 멀티플렉싱하기 위한 수단은:

상기 단일 에러 로케이션 디코딩을 위한 수단의 출력에 커플링된 제 1 입력;

상기 이중 에러 로케이션 디코딩을 위한 수단의 출력에 커플링된 제 2 입력;

상기 이중 에러 검출 출력을 수신하도록 구성된 제어 입력; 및

상기 제어 입력에 기반하여 상기 단일 에러 로케이션 디코딩을 위한 수단의 출력 또는 상기 이중 에러 로케이션 디코딩을 위한 수단의 출력 중 어느 하나를 출력하도록 구성된 출력을 포함하는,

에러 검출 및 정정 장치.

청구항 22

제 21 항에 있어서,

상기 에러들을 정정하기 위한 수단은:

상기 입력 데이터를 수신하도록 구성된 데이터 입력;

상기 멀티플렉싱하기 위한 수단의 출력에 커플링된 에러 로케이션 디코더 입력; 및

상기 데이터 입력 및 상기 에러 로케이션 디코더 입력에 기반하여, 정정된 데이터를 출력하도록 구성된 출력을 포함하는,

에러 검출 및 정정 장치.

청구항 23

제 16 항에 있어서,

타이밍을 제어하기 위한 수단 - 상기 타이밍을 제어하기 위한 수단은 제어 입력 및 제어 출력을 가짐 - ;

상기 단일 에러 정정 출력을 수신하도록 커플링된 입력, 상기 타이밍을 제어하기 위한 수단의 제어 출력에 커플링된 토글 입력, 및 전달되는 단일 에러 정정 출력을 출력하도록 구성된 출력을 포함하는 제 1 플립-플롭; 및

상기 이중 에러 정정 출력을 수신하도록 커플링된 입력, 상기 타이밍을 제어하기 위한 수단의 제어 출력에 커플링된 토글 입력, 및 전달되는 이중 에러 정정 출력을 출력하도록 구성된 출력을 포함하는 제 2 플립-플롭을 더 포함하는,

에러 검출 및 정정 장치.

청구항 24

제 23 항에 있어서,

상기 전달되는 단일 에러 정정 출력은 상기 단일 에러 로케이션 디코딩을 위한 수단으로 전달되고, 상기 전달되는 이중 에러 정정 출력은 상기 이중 에러 로케이션 디코딩을 위한 수단으로 전달되는,

에러 검출 및 정정 장치.

청구항 25

메모리로서,

메모리 셀; 및

상기 메모리 셀로부터 입력 데이터를 수신하고, 정정된 출력 데이터를 상기 메모리 셀로 송신하도록 커플링된 에러 검출 및 정정 장치를 포함하고, 상기 에러 검출 및 정정 장치는:

입력 데이터에서 단일 에러들을 로케이팅하도록 구성된 단일 에러 로케이션 디코더;

상기 입력 데이터에서 이중 에러들을 로케이팅하도록 구성된 이중 에러 로케이션 디코더;

특정 데이터 입력이 단일 에러를 갖는 것으로 예측되는지 또는 이중 에러를 갖는 것으로 예측되는지를 결정하고, 상기 에러 예측에 기반하여 상기 특정 데이터 입력에 대해 에러 로케이션을 수행하기 위해 상기 단일 에러 로케이션 디코더 및 상기 이중 에러 로케이션 디코더 중 하나만을 선택하고, 그리고 선택되지 않은 에러 로케이션 디코더를 비활성화하도록 구성된 제어기;

정정된 출력 데이터를 생성하기 위해 상기 단일 에러 로케이션 디코더 및 상기 이중 에러 로케이션 디코더에 커플링된 에러 정정기; 및

상기 입력 데이터를 수신하고, 상기 입력 데이터에 기반하여 제 1 벡터 신호 출력 및 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 생성하도록 구성된 신드롬 생성기를 포함하고,

상기 제어기는 추가로 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 수신하고, 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들에 기반하여 단일 에러 정정 출력 및 이중 에러 정정 출력을 생성하도록 구성되고,

상기 단일 에러 로케이션 디코더는 상기 단일 에러 정정 출력을 수신하고, 단일 에러 로케이션 디코더 출력을 생성하도록 구성되고; 그리고

상기 이중 에러 로케이션 디코더는 상기 이중 에러 정정 출력을 수신하고, 이중 에러 로케이션 디코더 출력을 출력하도록 구성되는,

메모리.

청구항 26

삭제

청구항 27

제 25 항에 있어서,

상기 에러 검출 및 정정 장치는 추가로:

제어 입력 및 제어 출력을 갖는 타이밍 제어기;

상기 단일 에러 정정 출력을 수신하도록 커플링된 입력, 상기 타이밍 제어기의 제어 출력에 커플링된 토글 입력, 및 전달되는 단일 에러 정정 출력을 출력하도록 구성된 출력을 포함하는 제 1 플립-플롭; 및

상기 이중 에러 정정 출력을 수신하도록 커플링된 입력, 상기 타이밍 제어기의 제어 출력에 커플링된 토글 입력, 및 전달되는 이중 에러 정정 출력을 출력하도록 구성된 출력을 포함하는 제 2 플립-플롭을 포함하는,

메모리.

청구항 28

에러 디코딩의 방법으로서,

신드롬을 생성하는 단계 – 상기 신드롬을 생성하는 단계는, 입력 데이터를 수신하는 단계 및 상기 입력 데이터에 기반하여 제 1 벡터 신호 출력 및 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 생성하는 단계를 포함함 –;

특정 데이터 입력이 단일 에러를 갖는 것으로 예측되는지 또는 이중 에러를 갖는 것으로 예측되는지를 결정하는 단계 – 상기 결정하는 단계는, 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들을 수신하는 단계, 및 상기 제 1 벡터 신호 출력 및 상기 하나 또는 그 초과의 부가적인 벡터 신호 출력들에 기반하여 단일 에러 정정 출력 및 이중 에러 정정 출력을 생성하는 단계를 포함함 –;

상기 결정하는 단계에 기반하여 상기 특정 데이터 입력에 대해 에러 로케이션을 수행하기 위해, 입력 데이터에서 단일 에러들을 로케이팅하도록 구성된 단일 에러 로케이션 디코더 및 상기 입력 데이터에서 이중 에러들을 로케이팅하도록 구성된 이중 에러 로케이션 디코더 중 하나만을 선택하는 단계 – 상기 단일 에러 로케이션 디코더는 상기 단일 에러 정정 출력을 수신하고, 단일 에러 로케이션 디코더 출력을 생성하도록 구성되고, 그리고 상기 이중 에러 로케이션 디코더는 상기 이중 에러 정정 출력을 수신하고, 이중 에러 로케이션 디코더 출력을 출력하도록 구성됨 –; 및

선택되지 않은 에러 로케이션 디코더를 비활성화하는 단계를 포함하는,

에러 디코딩의 방법.

발명의 설명

기 술 분 야

[0001] [0001] 본원에 설명된 다양한 실시예들은 에러 정정에 관한 것이며, 보다 상세하게는, 단일-비트 및 다중-비트 에러 정정에 관한 것이다.

배 경 기 술

[0002] [0002] 메모리들과 같은 디지털 장치 및 디바이스들에서의 에러 검출 및 정정을 위해 다양한 방식들이 고안되어 왔다. 메모리 디바이스들에서의 에러 정정의 영역에서, 에러 검출 및 에러 정정은 개별적으로 수행될 수 있다. 예컨대, 이중-비트 에러가 검출되면, 단일-비트 에러의 정정을 허용하는 SEC-DED(single error

correcting-double error detecting)와 같은 방식들이 고안되었다. 그러나, 다중-비트 에러들의 경우에, 종래의 SEC-DED 방식들은 이러한 에러들을 완화하기에 충분히 강력하지 않을 수 있다.

[0003] [0003] 다중-비트 에러들의 문제를 해결하기 위해 더욱 강력한 에러 검출 및 정정 방식들이 고안되었다. 예컨대, 종래의 SEC-DED 방식들보다 더 강력한 에러 정정 능력들을 제공할 DEC-TED(double error correcting-triple error detecting)와 같은 방식들이 고안되었다. 그러나, 통상적으로 DEC-TED에 요구되는 회로의 영역은 SEC-DED에 요구되는 영역보다 훨씬 더 클 것이다. 더욱이, 종래의 DEC-TED 회로는 통상적으로 더 많은 전력을 소비하고, 종래의 SEC-DED 회로보다 더 긴 레이턴시 또는 시간 지연을 초래한다. 예컨대, 단일 에러를 정정하기 위해 DEC-TED 회로가 활용될 때, 전력 소비 및 시간 지연은 SEC-DED 회로보다 훨씬 더 클 것이다.

[0004] [0004] 또한, 단일- 또는 다중-비트 에러 정정을 위한 에러 정정 코드를 구현하는 순수한 조합 회로들은, 에러 로케이션 디코딩에서의 무효 트랜지션들(invalid transitions)로 인해 입력이 변할 때, 통상적으로 많은 양의 동적 전력을 소비할 수 있다. 에러 검출 및 정정을 위해, 특히 저전력 메모리 칩들과 같은 저전력 집적 회로 디바이스들에서 다중-비트 에러 검출 및 정정을 위해 요구되는 전력 소비량을 감소시키는 것이 바람직할 것이다.

발명의 내용

[0005] [0005] 본 개시내용의 예시적인 실시예들은 전력 소비가 감소된, 메모리에서의 이중 에러 정정 장치 및 방법에 관한 것이다.

[0006] [0006] 실시예에서, 에러 검출 및 정정 장치가 제공되고, 에러 검출 및 정정 장치는: 입력 데이터에서 단일 에러들을 로케이팅하도록 구성된 단일 에러 로케이션 디코더; 입력 데이터에서 이중 에러들을 로케이팅하도록 구성된 이중 에러 로케이션 디코더; 및 정정된 출력 데이터를 생성하기 위해 단일 에러 로케이션 디코더 및 이중 에러 로케이션 디코더에 커플링된 에러 정정기를 포함한다.

[0007] [0007] 다른 실시예에서, 에러 검출 및 정정 장치가 제공되고, 에러 검출 및 정정 장치는: 입력 데이터에서 단일 에러들을 로케이팅하기 위한 단일 에러 로케이션 디코딩을 위한 수단; 입력 데이터에서 이중 에러들을 로케이팅하기 위한 이중 에러 로케이션 디코딩을 위한 수단; 및 단일 에러들 및 이중 에러들에 기반하여 정정된 출력 데이터를 생성하기 위한 에러들을 정정하기 위한 수단을 포함한다.

[0008] [0008] 다른 실시예에서, 에러 검출 및 정정 장치가 제공되고, 에러 검출 및 정정 장치는: 입력 데이터에서 단일 에러들을 로케이팅하도록 구성된 로직; 입력 데이터에서 이중 에러들을 로케이팅하도록 구성된 로직; 및 단일 에러들 및 이중 에러들에 기반하여 정정된 출력 데이터를 생성하도록 구성된 로직을 포함한다.

[0009] [0009] 또 다른 실시예에서, 메모리가 제공되고, 메모리는: 메모리 셀; 및 메모리 셀로부터 입력 데이터를 수신하고 정정된 출력 데이터를 메모리 셀로 송신하도록 커플링된 에러 검출 및 정정 장치를 포함하고, 에러 검출 및 정정 장치는: 입력 데이터에서 단일 에러들을 로케이팅하도록 구성된 단일 에러 로케이션 디코더; 입력 데이터에서 이중 에러들을 로케이팅하도록 구성된 이중 에러 로케이션 디코더; 및 정정된 출력 데이터를 생성하기 위해 단일 에러 로케이션 디코더 및 이중 에러 로케이션 디코더에 커플링된 에러 정정기를 포함한다.

도면의 간단한 설명

[0010] [0010] 첨부 도면들은 본 개시내용의 실시예들의 설명을 보조하도록 제시되며, 본 개시내용의 제한이 아니라 실시예들의 예시를 위해서만 제공된다.

[0011] [0011] 도 1은 에러 검출 및 정정 장치의 실시예를 예시하는 블록도이다.

[0012] [0012] 도 2는 플립-플롭 및 타이밍 제어기를 갖는 에러 검출 및 정정 장치의 다른 실시예를 예시하는 블록도이다.

[0013] [0013] 도 3은 도 2의 에러 정정 및 디코딩 장치의 실시예에서 타이밍 제어기로 지연 라인의 실시예를 예시한 블록도이다.

[0014] [0014] 도 4는 플립-플롭들, 타이밍 제어기, 별개의 SEC(single error correction) 및 DEC(double error correction) 에러 로케이션 디코더들, 멀티플렉서 및 플래그 생성기를 갖는 에러 검출 및 정정 장치의 다른 실시예를 예시하는 블록도이다.

[0015] [0015] 도 5는 에러 검출 및 정정 기능들을 수행하도록 구성된 로직을 갖는 에러 검출 및 정정 장치의 실시예

를 예시한 블록도이다.

[0016] 도 6은 에러 검출 및 정정 장치가 구현될 수 있는 메모리 디바이스의 실시예를 예시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] [0017] 본 개시내용의 양상들은 특정 실시예들에 관련된 다음의 설명 및 관련 도면들에 설명된다. 대안적인 실시예들은 본 개시내용의 범위에서 벗어나지 않고서 고안될 수 있다. 부가적으로, 본 개시내용의 관련 상세들을 모호하게 하지 않기 위해, 잘 알려진 엘리먼트들은 상세하게 설명되지 않거나 생략될 것이다.

[0012] [0018] "예시적인"이라는 단어는 본원에서 "예, 사례 또는 예시로서 기능하는 것"을 의미하도록 사용된다. 본원에서 "예시적인" 것으로 설명되는 임의의 실시예는 반드시 다른 실시예들에 비해 선호되거나 유리한 것으로 해석될 필요는 없다. 마찬가지로, "실시예들"이란 용어는 모든 실시예들이 논의된 특징, 이점 또는 동작 모드를 포함하도록 요구하는 것은 아니다.

[0013] [0019] 본원에 사용되는 용어는 단지 특정 실시예들을 설명하기 위한 것이며, 실시예들을 제한하는 것으로 의도되지 않는다. 본원에서 사용되는 바와 같이, 단수 형태들은, 컨텍스트가 달리 명확히 표시하지 않으면, 복수 형태들을 또한 포함하도록 의도된다. "포함한(comprises)", "포함하는(comprising)", "포함하다(includes)" 또는 "포함하는(including)"이라는 용어들은 본원에서 이용될 때, 서술된 특징들, 정수들, 단계들, 동작들, 엘리먼트들 및/또는 컴포넌트들의 존재를 특정하지만, 하나 또는 그 초과의 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들 또는 그들의 그룹들의 존재 또는 추가를 배제하지 않는다는 것이 추가로 이해될 것이다. 또한, "또는"이라는 단어가 불 연산자(Boolean operator) "OR"와 동일한 의미를 갖고, 즉, "또는"이 "어느 하나" 및 "둘 모두"의 가능성들을 포함하고, 달리 명백히 언급되지 않는다면, "배타적 or(XOR)"로 제한되지 않는다는 것이 이해된다. 2 개의 인접한 단어들 사이의 심볼 "/"이, 달리 명백히 언급되지 않는다면, "또는"과 동일한 의미를 갖는다는 것이 또한 이해된다. 또한, "에 연결된", "에 커플링된" 또는 "와 통신하는"과 같은 구절들은, 달리 명백히 언급되지 않는다면, 직접적인 연결들로 제한되지 않는다.

[0014] [0020] 또한, 많은 실시예들은, 예컨대, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들에 관련하여 설명된다. 본원에 설명된 다양한 동작들이 특정 회로들, 예컨대, CPU들(central processing units), GPU들(graphic processing units), DSP들(digital signal processors), ASIC들(application specific integrated circuits), FPGA들(field programmable gate arrays), 또는 다양한 다른 타입들의 범용 또는 특수 목적 프로세서들 또는 회로들에 의해, 하나 또는 그 초과의 프로세서들에 의해 실행되는 프로그램 명령들에 의해 또는 둘 모두의 조합에 의해 수행될 수 있다는 것이 인식될 것이다. 부가적으로, 본원에 설명된 이러한 시퀀스의 동작들은, 실행 시에, 연관된 프로세서로 하여금 본원에 설명된 기능을 수행하게 할 대응하는 세트의 컴퓨터 명령들이 그 안에 저장된 임의의 형태의 컴퓨터 판독 가능 저장 매체 내에서 전체적으로 구현되는 것으로 고려될 수 있다. 따라서, 본 개시내용의 다양한 양상들은 다수의 상이한 형태들로 구현될 수 있고, 이들 모두는 청구된 청구 대상의 범위 내에 있는 것으로 고려된다. 또한, 본원에 설명된 실시예들 각각에 대해, 대응하는 형태의 임의의 그러한 실시예들은, 예컨대, 설명된 동작을 수행"하도록 구성된 로직"으로서 본원에 설명될 수 있다.

[0015] [0021] 도 1은 데이터 입력(databit_in)(102), 에러 체크 입력(checkbit_in)(104) 및 정정된 데이터 출력(databit_out)(106)을 갖는 에러 검출 및 정정 장치(100)의 실시예를 예시하는 블록도이다. 이러한 에러 정정 코드 디코더는 데이터 에러를 정정하기 위한 다양한 디지털 장치 또는 디바이스들, 예컨대, 메모리 디바이스들, 이를테면, STT-MRAM들(spin-transfer torque magnetic random access memories)에서 구현될 수 있다. 본 개시내용의 실시예들에 따른 에러 정정 코드 디코더가 또한 당업자들에 의해 다양한 다른 장치 또는 디바이스들에서 사용될 수 있다는 것이 인식될 것이다. 도 1을 참조하면, 에러 검출 및 정정 장치(100)는, 데이터 입력(databit_in)(102) 및 에러 체크 입력(checkbit_in)(104)을 수신하도록 구성된 신드롬 생성기(108)를 포함한다. 실시예에서, 신드롬 생성기(108)는 데이터 입력(databit_in)(102) 및 에러 체크 입력(checkbit_in)(104)에 대한 응답으로 제 1 벡터 신호 출력(S_0), 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)을 생성할 수 있다.

[0016] [0022] 실시예에서, 신드롬 생성기(108)는 패리티-체크 행렬 디코더를 포함하고, 에러 체크 입력(checkbit_in)(104)은 패리티-체크 비트 입력을 포함한다. 이러한 신드롬 생성기(108)는 많은 공지된 에러 정정 코드들(ECC들) 중 하나를 사용함으로써 구성될 수 있다. 실시예에서, 패리티-체크 행렬 디코더는 XOR-트리 기반의 패리티-체크 행렬 디코더를 포함할 수 있다. 예컨대, 신드롬 생성기(108)는 ECC, 이를테면, DEC-

TED(double error correcting-triple error detecting) BCH(Bose-Chaudhuri-Hocquenghem) 코드를 구현함으로써 구성될 수 있고, 여기서 α는 GF(Galois field)(2^n)에서 원시 엘리먼트(primitive element)이다.

[0017] [0023] $$\mathbf{H}=\begin{bmatrix}1 & 1 & 1 & \cdots & 1\\ 1 & \alpha & \alpha^2 & \cdots & \alpha^{n-1}\\ 1 & \alpha^3 & \alpha^6 & \cdots & \alpha^{3(n-1)}\end{bmatrix}=\begin{bmatrix}\mathbf{1}\\ \mathbf{H}_1\\ \mathbf{H}_3\end{bmatrix}$$

[0018] [0024] 상기 패리티-체크 행렬에 의해 생성된 신드롬은 3 개의 부분들로 분할될 수 있다.

[0019] [0025] $$\mathbf{S}=\mathbf{v}\bullet\mathbf{H}^T=[\mathbf{v}\bullet\mathbf{1},\mathbf{v}\bullet\mathbf{H}_1{}^T,\mathbf{v}\bullet\mathbf{H}_3{}^T]=[\mathbf{S}_0,\mathbf{S}_1,\mathbf{S}_3]$$

[0020] [0026] 대안적인 실시예들에서, 다른 타입들의 신드롬 생성기들이 또한 에러 검출 및 정정을 위해 구현될 수 있다.

[0021] [0027] 도 1에 예시된 실시예에서, 에러 검출 및 정정 장치(100)는 또한, 신드롬 생성기(108)로부터 제 1 벡터 신호 출력(S_0), 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)을 수신하고, 신드롬 생성기(108)로부터의 3 개의 벡터 신호들(S_0, S_1 및 S_3) 중 적어도 2 개에 기반하여 단일 에러 정정 출력(SEC_output) 및 이중 에러 정정 출력(DEC_output)을 생성하도록 구성된 제어기(110)를 포함한다.

[0022] [0028] 실시예에서, 제어기(110)는 단일 에러 정정 출력(SEC_output) 및 더블 에러 정정 출력(DEC_output)을 생성하도록 구현되고, 이들은 단일 에러 정정(SEC) 에러 로케이션 디코더(118) 및 더블 에러 정정(DEC) 에러 로케이션 디코더(120)의 입력들로 각각 송신된다. SEC 에러 로케이션 디코더(118) 및 DEC 에러 로케이션 디코더(120)는 아래에 더 상세히 설명될 것이다. 실시예에서, SEC 에러 로케이션 디코더(118) 및 DEC 에러 로케이션 디코더(120) 둘 모두가 동일한 시간에서 능동적으로 동작하지 않도록 함으로써, 에러 검출 및 정정 장치(100)의 지연 및 동적 전력 소비를 감소시키는 것이 바람직하다. 예컨대, 데이터 입력의 에러가 단일 에러이면, DEC 에러 로케이션 디코더(120)는 활성화되지 않아야 한다. 마찬가지로, 에러가 이중 에러이면, SEC 에러 로케이션 디코더(118)는 활성이 되지 않아야 한다.

[0023] [0029] 실시예에서, 제어기(110)의 단일 에러 정정 출력(SEC_output) 및 이중 에러 정정 출력(DEC_output)은 상기 조건들을 만족시키도록 설정된다. 예컨대, 신드롬 생성기(108)로부터의 제 1 벡터 신호 출력(S_0)이 데이터 입력이 단일 에러를 갖는 것으로 가정되는 것을 의미하는 1이면, 제어기(110)의 이중 에러 정정 출력(DEC_output)은 제로 벡터이다. 이와 대조적으로, 신드롬 생성기(108)로부터의 제 1 벡터 신호 출력(S_0)이 데이터 입력이 이중 에러를 갖는 것으로 가정되는 것을 의미하는 제로이면, 제어기의 단일 에러 정정 출력(SEC_output)은 제로 벡터이다.

[0024] [0030] 실시예에서, 제어기(110)의 출력들(SEC_output 및 DEC_output)은 신드롬 생성기(108)로부터의 제 1 벡터 신호 출력(S_0), 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)에 기반하여 다음 수학식들에 의해 생성될 수 있다.

[0025] [0031] $$\mathrm{SEC_output}=S_0*[S_1,S_3]$$

[0026] [0032] $$\mathrm{DEC_output}=(\sim S_0)*[S_1,S_3]$$

[0027] [0033] 여기서 "~"는 로지컬 보수(logical complement) 또는 "NOT"을 나타낸다. 삼중 에러 경우에 대해 S_0은 1이고, 이는 단일 에러 경우와 동일하다.

[0028] [0034] 도 1에 예시된 실시예에서, 에러 검출 및 정정 장치(100)는 추가로, 신드롬 생성기(108)로부터 제 1 벡터 신호 출력(S_0), 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)을 수신하도록 커플링된 입력들, 및 신드롬 생성기(108)로부터 수신된 3 개의 벡터 신호들(S_0, S_1 및 S_3)에 기반하여 이중 에러 검출 출력(AL_DED)(114)을 생성하는 출력을 갖는 이중 에러 검출기(112)를 포함한다.

[0029] [0035] 실시예에서, 이중 에러 검출기(112)로부터의 이중 에러 검출 출력(AL_DED)(114)은 신드롬 생성기(108)로부터의 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)에 기반하여 다음 수학식에 의해 생성될 수 있다.

[0030] [0036] $AL_DED = S_1^3 + S_3$

[0031] [0037] 추가의 실시예에서, 플래그 생성기(116)가 도 1에 예시된 에러 검출 및 정정 장치(100)에 제공된다. 실시예에서, 플래그 생성기(116)는 제로 에러로부터 삼중 에러까지의 에러들의 수를 결정하기 위해 제공된다. 실시예에서, 플래그 생성기(116)는 에러 플래그(error_flag)(122)라 불리는 2-비트 변수를 생성하는데, 이는 제로 에러, 단일 에러, 이중 에러 또는 삼중 에러의 2-비트 표시자로서 에러 검출 및 정정 장치(100)로부터 출력된다.

[0032] [0038] 실시예에서, 에러 플래그(error_flag)(122)는 이중 에러 검출기(112)로부터의 이중 에러 검출 출력(AL_DED)(114) 및 신드롬 생성기(108)로부터의 제 1 벡터 신호 출력(S_0)에 기반하여 결정될 수 있다.

표 1

[0033]

에러들의 수	S_0	S_0, S_1 및 S_3 간의 관계	AL_DED	error_flag
에러 없음	0	$S_1 = S_3 = 0$	0	00
단일 에러	1	$S_1^3 = S_3$	0	01
이중 에러	0	$S_1^3 \neq S_3$	1	10
삼중 에러	1	$S_1^3 \neq S_3$	1	11

[0034] [0039] 위의 표에 따라, error_flag와 S_0 간의 관계는 다음과 같이 표현될 수 있다.

[0035] [0040] error_flag의 MSB(Most significant bit) = AL_DED

[0036] [0041] error_flag의 LSB(Least significant bit) = S_0

[0037] [0042] 위에 설명된 바와 같이, SEC 에러 로케이션 디코더(118)는 단일 에러를 로케이팅하기 위해 제공되고, DEC 에러 로케이션 디코더(120)는 이중 에러를 로케이팅하기 위해 제공된다. 실시예에서, SEC 에러 로케이션 디코더(118)는 제어기(110)로부터의 단일 에러 정정 출력(SEC_output)을 수신하도록 커플링되고, 제어기(110)로부터의 SEC_output에 기반하여 단일 에러 로케이션 디코더 출력(e_sec)(124)을 출력한다. 실시예에서, DEC 에러 로케이션 디코더(120)는 제어기(110)로부터의 이중 에러 정정 출력(DEC_output)을 수신하도록 커플링되고, 제어기(110)로부터의 DEC_output에 기반하여 이중 에러 로케이션 디코더 출력(e_dec)(126)을 출력한다.

[0038] [0043] 실시예에서, 멀티플렉서 출력(130)을 생성하기 위해 멀티플렉서(128)가 에러 검출 및 정정 장치(100)에 제공된다. 도 1에 예시된 실시예에서, 멀티플렉서(128)는 단일 에러 로케이션 디코더 출력(e_sec)(124)에 커플링된 제 1 입력, 이중 에러 로케이션 디코더 출력(e_dec)(126)에 커플링된 제 2 입력, 및 제어 입력(132)에 기반하여 단일 에러 로케이션 디코더 출력(e_sec) 또는 이중 에러 로케이션 디코더 출력(e_dec) 중 어느 하나를 출력하기 위한 멀티플렉서 출력(130)을 포함하는 2:1 멀티플렉서를 포함한다.

[0039] [0044] 도 1에 예시된 실시예에서, 멀티플렉서(128)에 대한 제어 입력(132)은, 이중 에러 검출기(112)로부터 이중 에러 검출 출력(AL_DED)의 로지컬 보수(logical complement)를 수신하는 입력이다. 실시예에서, 멀티플렉서(128)의 제어 입력(132)에서(~AL_DED) 인 제어 신호는 다음의 관계들에 따라 멀티플렉서(128)의 출력(130)을 결정한다.

표 2

[0040]

제어 신호(~AL_DED)	멀티플렉서의 출력
0	DEC 에러 로케이션 디코더 e_dec의 출력
1	SEC 에러 로케이션 디코더 e_sec의 출력

[0041] [0045] 이러한 실시예에서, 데이터 입력의 최대 이중 에러까지의 비트 에러들이 정정될 수 있다. 삼중 에러들

이 이러한 실시예에서 정정 가능하지 않을 수 있지만, 플래그 생성기(116)에 의해 생성된 에러 플래그(122)는 삼중 에러의 존재를 표시할 수 있다. 예컨대, 위의 표 1에 관련하여 설명된 실시예에서, 11인 2-비트 에러 플래그는 삼중 에러의 존재를 나타낸다.

[0042] [0046] 위에 설명된 실시예에서, 에러들의 수, 신드롬 생성기(108)로부터의 제 1 벡터 신호 출력(S_0), SEC 에러 로케이션 디코더(118)로부터의 출력(e_sec)(124), DEC 에러 로케이션 디코더(120)로부터의 출력(e_dec)(126), AL_DED(~AL_DED)의 로지컬 보수 및 멀티플렉서(128)의 출력(e)(130) 간의 관계들이 다음 표에 요약된다.

표 3

[0043]

에러들의 수	S_0	e_sec	e_dec	~AL_DED	멀티플렉서 출력
에러 없음	0	제로 벡터	제로 벡터	1	e_sec = 제로 벡터
단일 에러	1	단일 에러에 대한 정확한 에러 벡터	제로 벡터	1	e_sec = 단일 에러에 대한 정확한 에러 벡터
이중 에러	0	제로 벡터	이중 에러에 대한 정확한 에러 벡터	0	e_dec = 이중 에러에 대한 정확한 에러 벡터
삼중 에러	1	삼중 에러에 대한 부정확한 에러	제로 벡터	0	e_dec = 제로 벡터

[0044] [0047] 추가의 실시예에서, 입력 데이터(databit_in)를 수신하도록 커플링된 데이터 입력, 멀티플렉서(128)의 에러 벡터 출력(e)(130)에 커플링된 에러 벡터 입력, 및 정정된 데이터(databit_out)를 출력하는 출력(106)을 갖는 에러 정정기(134)가 제공된다.

[0045] [0048] 도 2는, 플립-플롭 및 타이밍 제어기를 포함하지만 멀티플렉서를 갖는 별개의 SEC 및 DEC 에러 로케이션 디코더들을 포함하지 않는 에러 검출 및 정정 장치(200)의 다른 실시예를 예시하는 블록도이다. 도 2에서, 에러 검출 및 정정 장치(200)는 데이터 입력(databit_in)(202), 에러 체크 입력(checkbit_in)(204), 제어 입력(206), 정정된 데이터 출력(databit_out)(208), 단일 에러 검출 출력(AL_SED)(210) 및 삼중 에러 검출 출력(AL_TED)(212)을 갖는다. 도 2에 예시된 실시예에서, 에러 검출 및 정정 장치(200)는 신드롬 생성기(214)를 포함한다. 실시예에서, 도 2의 신드롬 생성기(214)는 도 1에 도시되고 위에서 설명된 신드롬 생성기(108)와 유사할 수 있다. 예컨대, 도 2의 신드롬 생성기(214)는 도 1에 도시된 실시예에 관련하여 위에서 설명된 바와 같이, BCH 코드를 사용하는 XOR-트리 기반 패리티-체크 행렬 디코더와 같은 패리티-체크 행렬 디코더를 포함할 수 있다.

[0046] [0049] 도 2에 예시된 실시예에서, 타이밍 제어기(216)가 제공된다. 실시예에서, 타이밍 제어기(216)는 지연 라인을 포함하고, 지연 라인의 실시예는 도 3을 참조하여 아래에 더 상세히 설명될 것이다. 도 2를 참조하면, 타이밍 제어기(216)는 제어 입력(206)에 커플링되고, 착신 신호가 제어 출력(218)에서 타이밍 제어기(216)를 나가기 전에, 주어진 양의 시간만큼 제어 입력(206)으로부터의 입력 신호를 지연시킨다. 실시예에서, 에러 검출 및 정정 장치(200)는 신드롬 생성기(214)의 출력에 커플링된 데이터 입력(222), 타이밍 제어기(216)의 제어 출력(218)에 커플링된 토글 입력(224), 및 신드롬 제어기(214)로부터 수신된 신드롬에 기반한 전달되는 신드롬 출력(226) 및 타이밍 제어기(216)의 제어 출력(218)을 출력하는 출력을 갖는 플립-플롭(220)을 포함한다.

[0047] [0050] 실시예에서, 에러 검출 및 정정 장치(200)에는 에러 로케이션 디코더(228)가 제공된다. 실시예에서, 에러 로케이션 디코더(228)는 플립-플롭(220)으로부터 전달된 신드롬 출력(226)을 수신하도록 커플링된 입력, 에러 로케이션 디코더 출력(230), 단일 에러 디코더 출력(SED)(232) 및 이중 에러 디코더 출력(DED)(234)을 갖는다. 도 2에 도시된 실시예에서, 에러 검출 및 정정 장치(200)에는 에러 정정기(236)가 제공된다. 실시예에서, 에러 정정기(236)는 데이터 입력(databit_in)(202)에 커플링된 제 1 입력, 에러 로케이션 디코더 출력(230)에 커플링된 제 2 입력, 및 에러 검출 및 정정 장치(200)의 정정된 데이터 출력(databit_out)(208)을 생성하는 출력을 갖는다.

[0048] [0051] 실시예에서, 에러 검출 및 정정 장치(200)는 또한, 단일 에러 검출 출력(AL_SED)(210) 및 삼중 에러 검출 출력(AL_TED)(212)을 생성하는 에러 검출기(238)를 포함한다. 실시예에서, 에러 검출기(238)는 플립-플롭

(220)으로부터 전달된 신드롬 출력(226)을 수신하도록 커플링된 제 1 입력, 단일 에러 디코더 출력(SED)(232)을 수신하도록 커플링된 제 2 입력, 및 에러 로케이션 디코더(228)로부터 이중 에러 디코더 출력(DED)(234)을 수신도록 커플링된 제 3 입력을 갖는다.

[0049] [0052] 실시예에서, 에러 검출기(238)는 전달된 신드롬 출력(226)을 수신하도록 커플링된 입력 및 단일 에러 검출 출력(AL_SED)(210)을 출력하도록 구성된 출력을 갖는 OR 게이트(240)를 포함한다. 추가의 실시예에서, 에러 검출기(238)는 또한 OR 게이트(240)의 출력에 결합된 제 1 입력, 단일 에러 디코더 출력(SED)(232)의 보수에 커플링된 제 2 입력, 및 이중 에러 디코더 출력(DED)(234)의 보수에 커플링된 제 3 출력을 갖는 AND 게이트(242)를 포함한다. 도 2에 도시된 실시예에서, AND 게이트(242)의 출력은 삼중 에러 검출 출력(AL_TED)(212)이다.

[0050] [0053] 도 3은, 도 2의 에러 검출 및 정정 장치의 실시예에서 플립-플롭(220)에 대한 제어 신호를 생성하기 위한 지연 라인(300)을 포함하는 타이밍 제어기(216)의 실시예를 예시하는 블록도이다. 실시예에서, 제어 입력(206)은 포지티브 리딩 에지(leading edge)를 갖는 클록 신호(302)를 수신하고, 클록 신호(302)의 포지티브 리딩 에지는 클록 신호(302)가 지연 라인(300)의 출력(218)을 나갈 때 주어진 양의 시간만큼 지연된다.

[0051] [0054] 실시예에서, 복수의 로직 게이트들 또는 버퍼들이 클록 신호(302)의 전파를 지연시키기 위해 지연 라인(300)에 제공될 수 있다. 도 3에 도시된 실시예에서, 지연 라인(300)은, 입력(206)으로부터 지연 라인(300)의 출력(218)으로의 클록 신호(302)의 전파를 지연시키기 위한 AND 게이트들(304a, 304b, 304c 및 304d)과 같은 하나 또는 그 초과의 AND 게이트들, NAND 게이트(306)와 같은 하나 또는 그 초과의 NAND 게이트들, 및 버퍼들(308a, 308b 및 308c)과 같은 하나 또는 그 초과의 버퍼들을 포함한다. 다른 타입들의 로직 게이트들, 버퍼들 또는 지연 라인들은 또한 본 개시내용의 범위 내에서 구현될 수 있다. 또한, 도 3이 D 플립-플롭과 같은 포지티브 에지 트리거 플립-플롭(220)을 예시하지만, 다른 타입들의 플립-플롭들이 다른 실시예들에서 구현될 수 있다. 예컨대, 포지티브 에지 트리거링 대신에, 네거티브 에지 트리거링과 같은 다른 타입들의 트리거링이 구현될 수 있다.

[0052] [0055] 실시예에서, 도 3의 지연 라인(300) 및 플립-플롭(220)은 도 2에 도시된 바와 같이, 에러 로케이션 디코더(228)에서의 무효 트랜지션들의 확률을 감소시키도록 구현된다. 설정된 양의 시간 지연이 지연 라인(300)에 의해 제공되는 경우에, 신드롬이 정착된 후에, 클록 신호(302)는 플립-플롭(220)에 도달하고, 신드롬이 무효 트랜지션들을 피하기 위해 정착된 후에만 전달되는 신드롬으로서 신드롬이 플립-플롭(220)에 의해 에러 로케이션 디코더(228)로 전달된다. 실시예에서, 지연 라인(300)은 신드롬 생성기(214)에 의해 생성된 신드롬의 최악의 지연을 모방하기 위해 제공된다. 실시예에서, 지연 라인(300)은 데이터 및 에러 체크(databit_in) 및 (checkbit_in) 입력들(202 및 204)로부터 신드롬 생성기(214)의 출력으로의 회로의 임계 경로를 모방함으로써 생성된다. 이러한 임계 경로의 최악의 경우 시간 지연은 신드롬들 정착시키기 위해 필요로 되는 최대 시간(T_{I-S})이다.

[0053] [0056] 실시예에서, 적절한 플립-플롭 동작을 보장하기 위해, 지연 라인(300)은, 에러 검출 및 정정 장치(200)의 전체 지연이 약간 증가될지라도, 지연 라인(300)에 의해 생성된 총 시간 지연이 신드롬들을 정착시키기 위해 필요로 되는 최대 시간(T_{I-S})보다 약간 더 크도록, 설계될 수 있다. 예컨대, 도 3에 도시된 실시예에서, AND 게이트들(304a, 304b, 304c 및 304d) 및 NAND 게이트(306)와 같은 로직 게이트들의 수는 신드롬 입력들로부터 신드롬 출력으로의 임계 경로 상에서 신드롬들을 정착시키기 위해 필요로 되는 최대 시간(T_{I-S})을 모방하도록 구현될 수 있고, 버퍼들(308a, 308b 및 308c)과 같은 버퍼들은 부가적인 시간 지연을 생성하도록 부가될 수 있다.

[0054] [0057] 도 4는 플립-플롭들, 타이밍 제어기, 별개의 SEC(single error correction) 및 DEC(double error correction) 에러 로케이션 디코더들, 멀티플렉서 및 플래그 생성기를 갖는 에러 검출 및 정정 장치의 다른 실시예를 예시하는 블록도이다. 도 4에 예시된 실시예에서, 에러 검출 및 정정 장치(400)는 데이터 입력(databit_in)(402), 에러 체크 입력(checkbit_in)(404) 및 정정된 데이터 출력(databit_out)(406)을 갖는다. 이러한 실시예에서, 에러 검출 및 정정 장치(400)는, 데이터 입력(databit_in)(402) 및 에러 체크 입력(checkbit_in)(404)을 수신하도록 구성된 신드롬 생성기(408)를 포함한다.

[0055] [0058] 실시예에서, 신드롬 생성기(408)는, 도 1에 도시되고 위에 설명된 실시예에서 신드롬 생성기(108)와 유사한 방식으로, 데이터 입력(databit_in)(402) 및 에러 체크 입력(checkbit_in)(404)에 대한 응답으로 제 1 벡터 신호 출력(S_0), 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)을 생성할 수 있다. 실시예에서, 신드롬 생성기(408)는 패리티-체크 행렬 디코더를 포함하고, 에러 체크 입력(checkbit_in)(404)은 패리티-체크 비트

입력을 포함한다. 실시예에서, 패리티-체크 행렬 디코더는 XOR-트리 기반의 패리티-체크 행렬 디코더를 포함할 수 있다. 예컨대, 신드롬 생성기(408)는 BCH 코드와 같은 임의의 공지된 ECC를 구현함으로써 구성될 수 있다.

[0056] [0059] 도 4에 예시된 실시예에서, 에러 검출 및 정정 장치(400)는 또한, 신드롬 생성기(408)로부터 제 1 벡터 신호 출력(S_0), 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)을 수신하고, 신드롬 생성기(108)로부터의 3 개의 벡터 신호들(S_0, S_1 및 S_3)에 기반하여 단일 에러 정정 출력(SEC_output) 및 이중 에러 정정 출력(DEC_output)을 생성하도록 구성된 제어기(410)를 포함한다. 실시예에서, SEC_output 및 DEC_output은 도 1에 관련하여 위에 설명된 방식과 동일한 방식으로 생성될 수 있다.

[0057] [0060] 도 4에 예시된 실시예에서, 에러 검출 및 정정 장치(400)는 추가로, 신드롬 생성기(108)로부터 제 1 벡터 신호 출력(S_0), 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)을 수신하도록 커플링된 입력들, 및 신드롬 생성기(408)로부터 수신된 3 개의 벡터 신호들(S_0, S_1 및 S_3) 중 적어도 2 개에 기반하여 이중 에러 검출 출력(AL_DED)(414)을 생성하는 출력을 갖는 이중 에러 검출기(412)를 포함한다.

[0058] [0061] 실시예에서, 이중 에러 검출기(412)로부터의 이중 에러 검출 출력(AL_DED)(414)은 신드롬 생성기(108)로부터 수신된 제 2 벡터 신호 출력(S_1) 및 제 3 벡터 신호 출력(S_3)에 기반하여, 도 1에 관련하여 위에서 설명된 동일한 수학식에 의해 생성될 수 있다.

[0059] [0062] $$AL_DED = S_1^3 + S_3$$

[0060] [0063] 실시예에서, 플래그 생성기(416)는, 도 1에 관련하여 위에서 설명된 실시예와 유사한 방식으로, 도 4에 예시된 에러 검출 및 정정 장치(400)에 제공된다. 도 4를 참조하면, 플래그 생성기(416)는 2-비트 에러 플래그(error_flag)(422)를 생성하는데, 이는 제로 에러, 단일 에러, 이중 에러 또는 삼중 에러의 2-비트 표시자로서 에러 검출 및 정정 장치(400)로부터 출력된다. 실시예에서, 2-비트 에러 플래그(error_flag)(422)는 도 1에 관련하여 위에서 설명된 표 1에 따라 제로, 단일, 이중 또는 삼중 에러들의 존재를 표시하도록 생성될 수 있다.

[0061] [0064] 도 4를 참조하면, 클록 신호를 수신하는 제어 입력(426) 및 시간-지연된 클록 출력을 생성하는 출력(428)을 갖는 타이밍 제어기(424)가 제공된다. 실시예에서, 타이밍 제어기(424)는 도 3에서 예시되고 위에 설명된 지연 라인(300)과 같은 지연 라인을 포함할 수 있다. 예컨대, 그러한 지연 라인은, 도 3에 도시된 바와 같이, AND 또는 NAND 게이트들과 같은 하나 또는 그 초과의 로직 게이트들, 또는 하나 또는 그 초과의 버퍼들, 또는 로직 게이트들 및 버퍼들의 조합을 포함할 수 있다. 도 4를 참조하면, 타이밍 제어기(424)의 출력(428)으로부터의 시간-지연된 클록 출력은 2 개의 플립-플롭들(430 및 432)에 대한 토글 입력들로서 제공된다.

[0062] [0065] 도 4에 도시된 실시예에서, 제어기(410)로부터 단일 에러 정정 출력(SEC_output)을 수신하기 위한 데이터 입력(434) 및 타이밍 제어기(424)로부터의 시간-지연된 클록 출력을 수신하기 위한 토글 입력(436)을 포함하는 제 1 플립-플롭(430)이 제공된다. 실시예에서, 제 1 플립-플롭(430)은 포지티브 에지 트리거링을 갖는 D 플립-플롭을 포함한다. 마찬가지로, 제어기(410)로부터 이중 에러 정정 출력(DEC_output)을 수신하기 위한 데이터 입력(438) 및 타이밍 컨트롤러(424)로부터 시간-지연된 클록 출력을 수신하기 위한 토글 입력(440)을 포함하는 제 2 플립-플롭(432)이 제공된다. 추가의 실시예에서, 제 2 플립-플롭(432)은 또한 포지티브 에지 트리거링을 갖는 D 플립-플롭을 포함할 수 있다. 대안적인 실시예들에서, 다른 타입들의 플립-플롭들이 구현될 수 있고, 플립-플롭들의 트리거링은 클록 신호들에 의한 포지티브 에지 트리거링 일 필요는 없다.

[0063] [0066] 도 4에 도시된 실시예에서, 제 1 플립-플롭(430)은 전달된 SEC_output(442)을 단일 에러 정(SEC) 에러 로케이션 디코더(444)로 출력하는 반면에, 제 2 플립-플롭(432)은 전달된 DEC_output(446)을 이중 에러 정정(DEC) 에러 로케이션 디코더(448)로 출력한다. SEC_output 및 DEC_output은 도 1에 관련하여 위에 설명된 방식과 동일한 방식으로 제어기(410)에 의해 생성될 수 있다. 신드롬이 무효 트랜지션들을 회피하기 위해 정착된 후에만, SEC_output 및 DEC_output이 SEC 에러 로케이션 디코더(444) 및 DEC 에러 로케이션 디코더(448)에 각각 전달되는 것을 보장하기 위한 제 1 및 제 2 플립-플롭 들(430 및 432)이 도 4에 도시된 실시예에 제공된다.

[0064] [0067] 실시예에서, 도 4의 SEC 에러 로케이션 디코더(444) 및 DEC 에러 로케이션 디코더(448)는, 도 1에 관련하여 위에 설명된 방식과 동일한 방식으로, 단일 에러 로케이션 디코더 출력(e_sec)(450) 및 이중 에러 로케이션 디코더 출력(e_dec)(452)을 각각 생성한다. 도 4를 참조하면, 멀티플렉서(454)는 단일 에러 로케이션 디코더 출력(e_sec)(450)을 수신하도록 커플링된 제 1 입력, 이중 에러 로케이션 디코더 출력(e_dec)(452)을 수신하도록 커플링된 제 2 입력 및 제어 입력(456)을 갖는다. 실시예에서, 제어 입력(456)은 도 1에 관련하여 위에

설명된 방식과 동일한 방식으로 AL_DED의 로지컬 보수를 수신하도록 커플링된다. 실시예에서, 멀티플렉서(454)의 출력(e)(458)은, 예컨대, 표 2 및 3에 설명된 관계들에 따라, 도 1에 관련하여 위에 설명된 방식과 동일한 방식으로 선택된다.

[0065] [0068] 추가의 실시예에서, 도 4의 에러 검출 및 정정 장치(400)에는 에러 정정기(460)가 제공된다. 실시예에서, 에러 정정기는 입력 데이터(databit_in)를 수신하도록 커플링된 데이터 입력, 멀티플렉서(454)의 에러 벡터 출력(e)(458)에 커플링된 에러 벡터 입력, 및 정정된 데이터(databit_out)를 출력하는 출력(406)을 갖는다.

[0066] [0069] 도 5는 에러 검출 및 정정 기능들을 수행하도록 구성된 로직을 갖는 에러 검출 및 정정 장치의 실시예를 예시한 간략화된 블록도이다. 도 5에 예시된 실시예에서, 에러 검출 및 정정 장치(500)는 블록(505)에서 단일 에러들을 로케이팅하도록 구성된 로직, 이중 에러들(510)을 로케이팅하도록 구성된 로직 및 정정된 출력 데이터(515)를 생성하도록 구성된 로직을 포함한다. 블록들(505, 510 및 515)에서 예시된 바와 같은, 단일 에러를 로케이팅하도록 구성된 로직, 이중 에러들을 로케이팅하도록 구성된 로직 및 정정된 출력 데이터를 생성하도록 구성된 로직 각각은 도 1-4에 관련하여 위에 설명된 에러 검출 및 정정 장치의 다양한 실시예들에서 하나 또는 그 초과의 엘리먼트들을 포함할 수 있다.

[0067] [0070] 도 6은 에러 검출 및 정정 장치가 구현될 수 있는 메모리 디바이스의 실시예를 예시하는 블록도이다. 도 6에 예시된 실시예에서, 메모리(600)는 메모리 셀들(605) 및 에러 검출 및 정정 장치(610)를 포함한다. 에러 검출 및 정정 장치(610)는 메모리 셀들(605)과 동일한 칩 상에 집적될 수 있거나 또는 별개의 칩 상에 제공될 수 있다. 도 6에 도시된 바와 같이, 메모리 셀로부터의 로우(raw) 데이터는 에러 검출 및 정정을 위해 화살표(615)를 따라 에러 검출 및 정정 장치(610)로 송신될 수 있고, 에러 검출 및 정정 장치(610)로부터의 정정된 데이터는 화살표(620)를 따라 다시 메모리 셀들(605)로 송신될 수 있다. 에러 검출 및 정정 장치(610)는 도 1-4에 관련하여 위에 설명된 다양한 실시예들 중 임의의 것을 포함할 수 있다.

[0068] [0071] 당업자들은, 정보 및 신호들이 다양한 상이한 기술들 및 기법들을 이용하여 표현될 수 있다는 것을 인식할 것이다. 예컨대, 상기 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기 필드들 또는 자기 입자들, 광 필드들 또는 광 입자들, 또는 이들의 임의의 결합으로 표현될 수 있다.

[0069] [0072] 더욱이, 당업자들은 본원에 개시된 실시예들에 관련하여 설명되는 다양한 예시적인 로지컬 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수 있음을 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 그들의 기능성 관점에서 일반적으로 상술되었다. 이러한 기능성이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 전체 장치에 부과되는 설계 제약들 및 특정 애플리케이션에 의존한다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

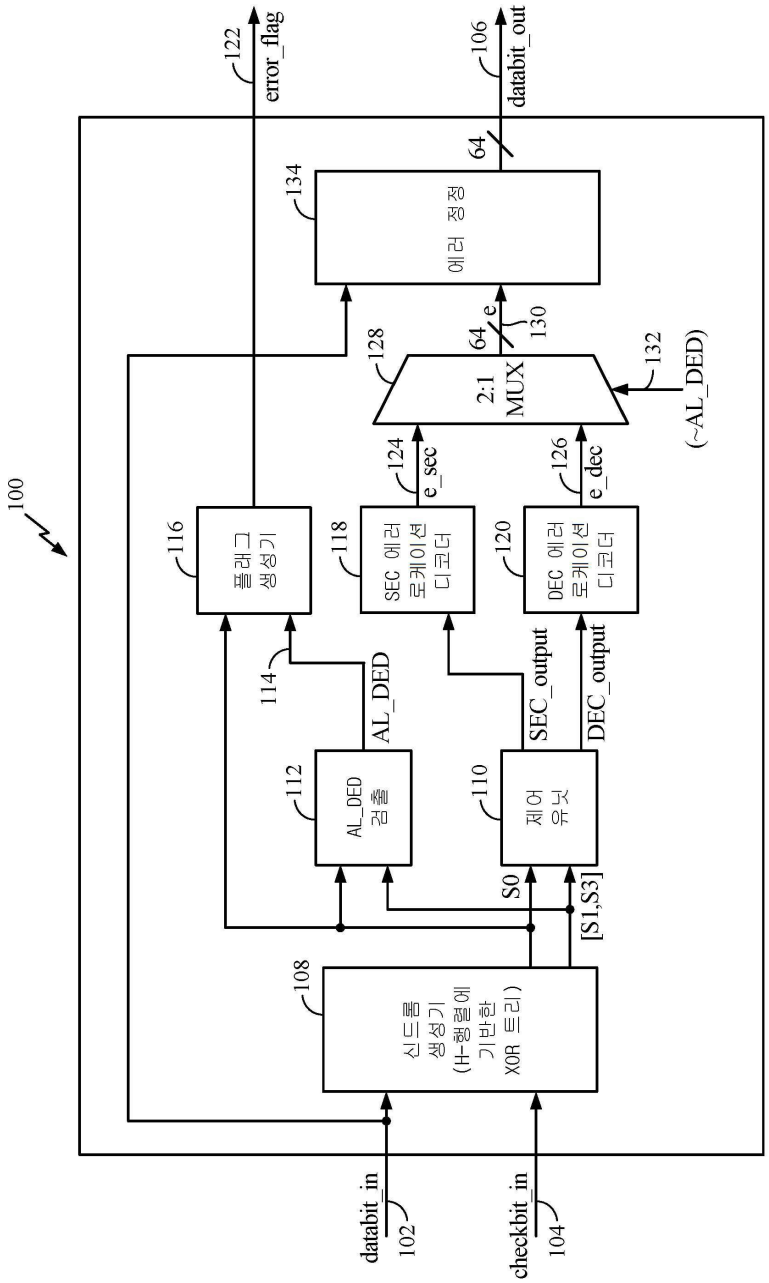
[0070] [0073] 본원에 개시된 실시예들과 관련하여 설명된 방법들, 시퀀스들 또는 알고리즘들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구현될 수 있다. 소프트웨어 모듈은, RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 착탈식 디스크, CD-ROM, 또는 당분야에 공지된 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안으로, 저장 매체는 프로세서에 통합될 수 있다.

[0071] [0074] 따라서, 본 개시내용의 실시예는 에러 검출 및 정정을 위한 방법을 포함하는 컴퓨터 판독 가능 매체들을 포함할 수 있다. 이에 따라, 본 개시내용은 예시된 예들로 제한되지 않고 본원에서 설명되는 기능성을 수행하기 위한 임의의 수단이 본 개시내용의 실시예들에 포함된다.

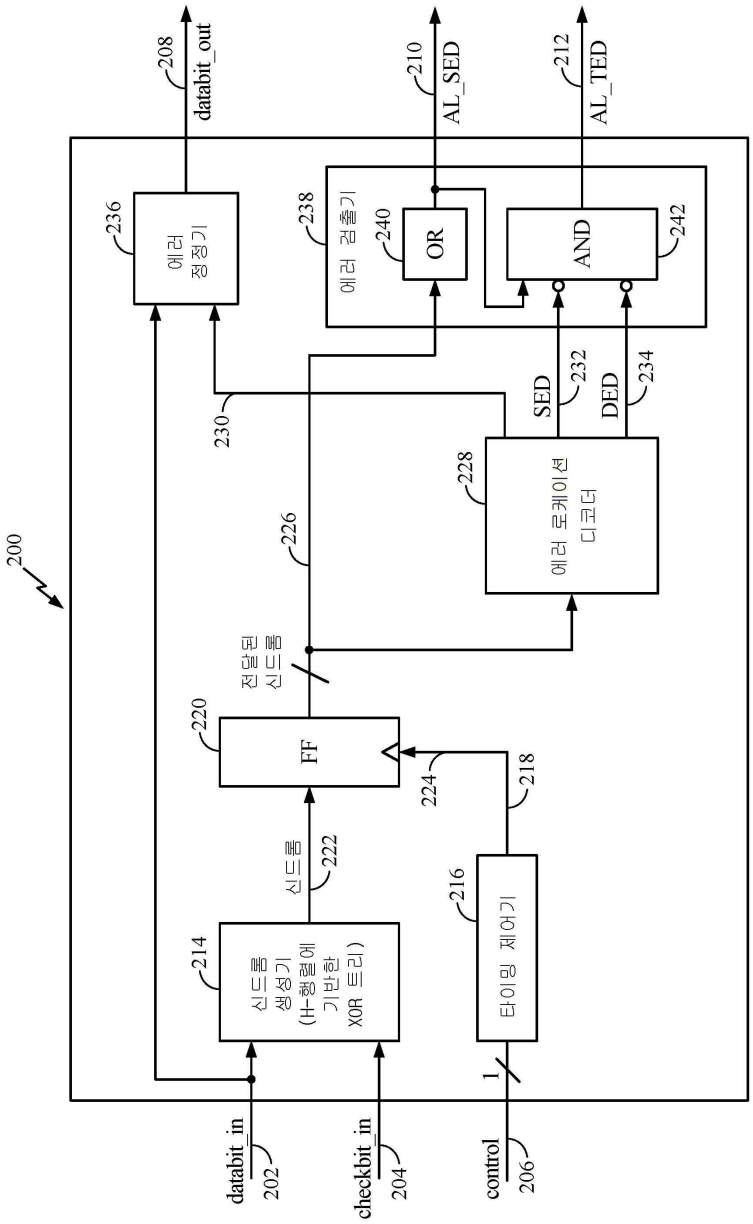
[0072] [0075] 위의 개시내용이 예시적인 실시예들을 도시하지만, 다양한 변화들 및 변형들이 첨부된 청구항들의 범위로부터 벗어남 없이 여기서 이루어질 수 있다는 것이 주의되어야 한다. 본원에 설명된 실시예들에 따른 방법 청구항들의 기능들, 단계들 또는 동작들은 달리 명백히 언급되지 않는다면 임의의 특정 순서로 수행될 필요는 없다. 또한, 엘리먼트들이 단수 형태로 설명 또는 청구될 수 있지만, 단수에 대한 제한이 명시적으로 언급되지 않는다면, 복수가 고려된다.

도면

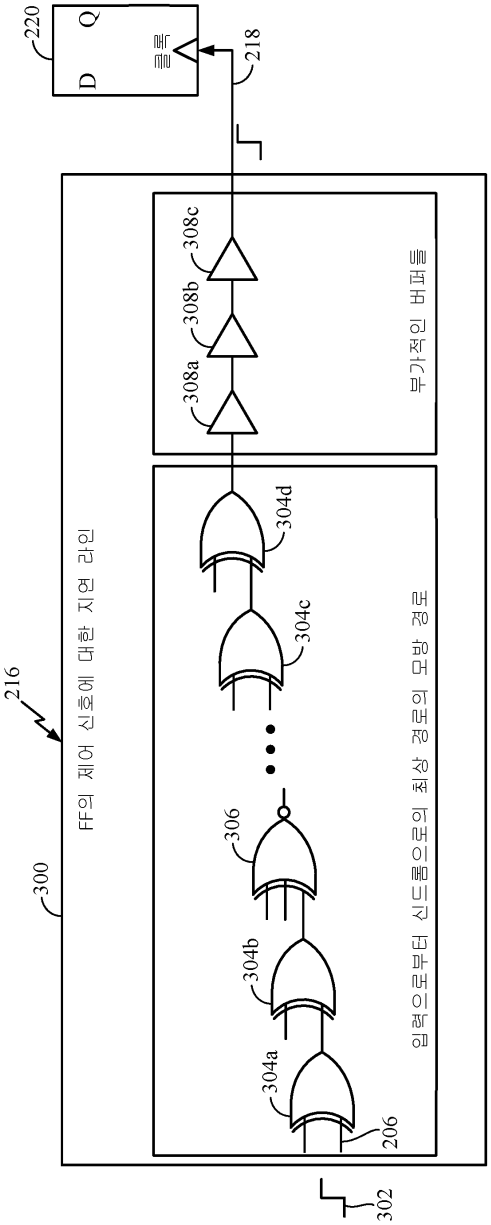
도면1


100
122
error_flag
106
databit_out
64
134
에러 정정
64
e
130
128
2:1
MUX
132
(~AL_DED)
124
e_sec
126
e_dec
116
플래그
생성기
118
SEC 에러
로케이션
디코더
120
DEC 에러
로케이션
디코더
114
AL_DED
SEC_output
DEC_output
112
AL_DED
검출
110
제어
유닛
S0
[S1,S3]
108
신드롬
생성기
(H-행렬에
기반한
XOR 트리)
databit_in
102
checkbit_in
104

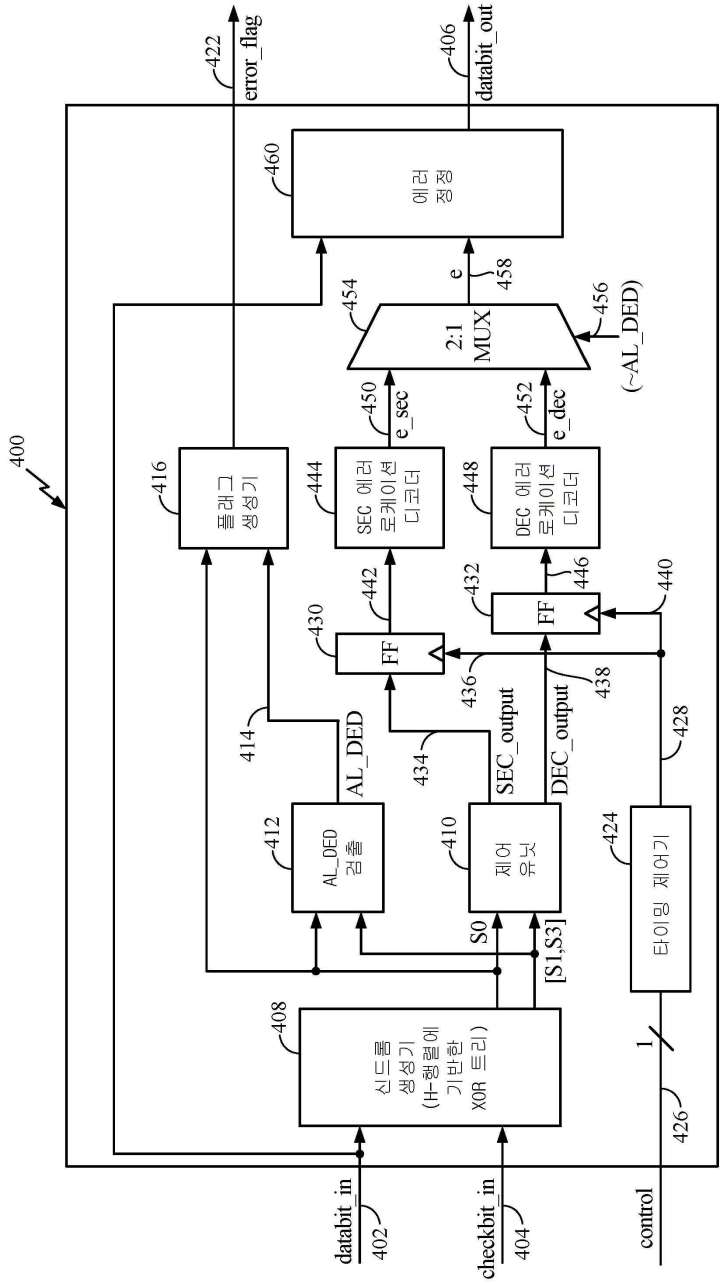
도면2


200
databit_in
202
checkbit_in
204
control
206
databit_out
208
AL_SED
210
AL_TED
212
에러 정정기
236
에러 검출기
238
OR
240
AND
242
230
SED
232
DED
234
에러 로케이션 디코더
228
226
전달된 신드롬
FF
220
224
218
타이밍 제어기
216
신드롬
222
신드롬 생성기 (H-행렬에 기반한 XOR 트리)
214
1

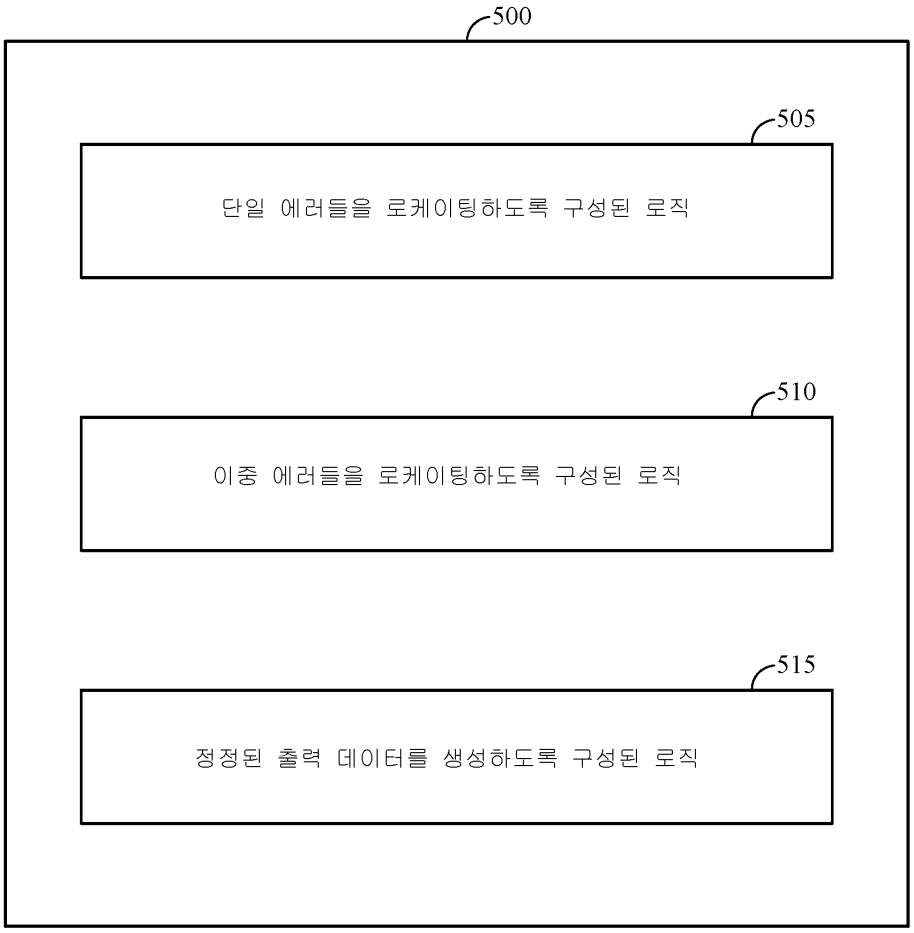
도면3


220
D
Q
클록
218
308c
308b
308a
부가적인 버퍼들
304d
304c
306
304b
304a
206
입력으로부터 신드롬으로의 최상 경로의 모방 경로
216
FF의 제어 신호에 대한 지연 라인
300
302

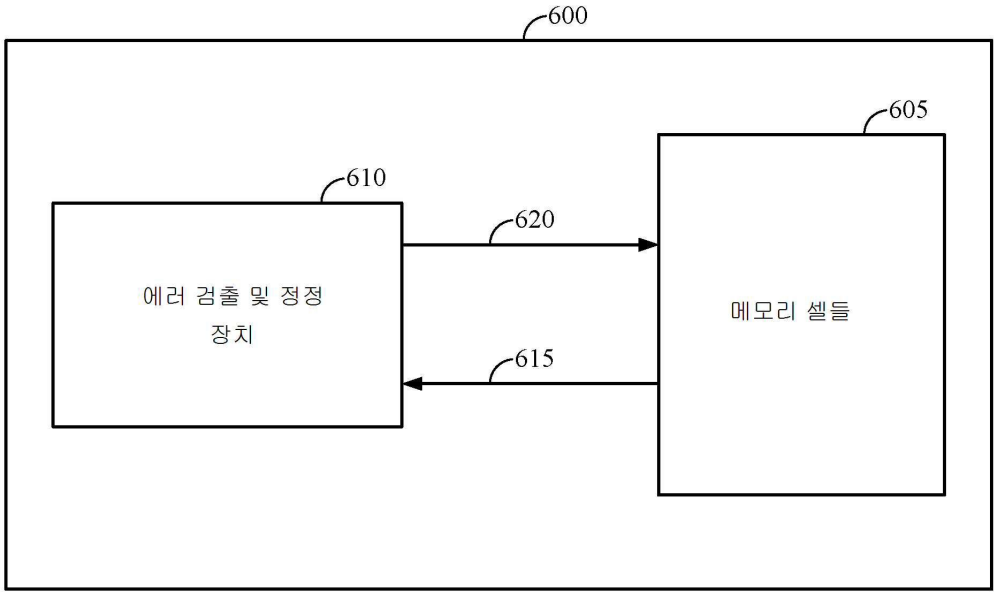
도면4


400
422
error_flag
406
databit_out
460
에러 정정
e
458
454
2:1 MUX
456
(~AL_DED)
450
e_sec
452
e_dec
416
플래그 생성기
444
SEC 에러 로케이션 디코더
448
DEC 에러 로케이션 디코더
442
432
446
440
430
FF
FF
436
438
414
AL_DED
434
SEC_output
DEC_output
428
412
AL_DED 검출
410
제어 유닛
424
타이밍 제어기
S0
[S1,S3]
408
신드롬 생성기 (H-행렬에 기반한 XOR 트리)
1
426
databit_in
402
checkbit_in
404
control

도면5


500
505
단일 에러들을 로케이팅하도록 구성된 로직
510
이중 에러들을 로케이팅하도록 구성된 로직
515
정정된 출력 데이터를 생성하도록 구성된 로직

도면6


600
605
610
620
에러 검출 및 정정
장치
메모리 셀들
615