



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월09일
(11) 등록번호 10-2498773
(24) 등록일자 2023년02월07일

(51) 국제특허분류(Int. Cl.)
G11C 11/4091 (2006.01) G11C 11/4094 (2006.01)
G11C 7/06 (2021.01) G11C 7/12 (2006.01)
(52) CPC특허분류
G11C 11/4091 (2013.01)
G11C 11/4094 (2013.01)
(21) 출원번호 10-2021-0050425
(22) 출원일자 2021년04월19일
심사청구일자 2021년04월19일
(65) 공개번호 10-2022-0144135
(43) 공개일자 2022년10월26일
(56) 선행기술조사문헌
US20200075065 A1*
KR1020190036319 A
KR1020180094383 A
KR1020140103625 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 제3공학관 C513 (신촌동)
정인준
서울특별시 서대문구 연세로 50(신촌동) 제3공학관 C206
(74) 대리인
특허법인(유한)아이시스

전체 청구항 수 : 총 12 항

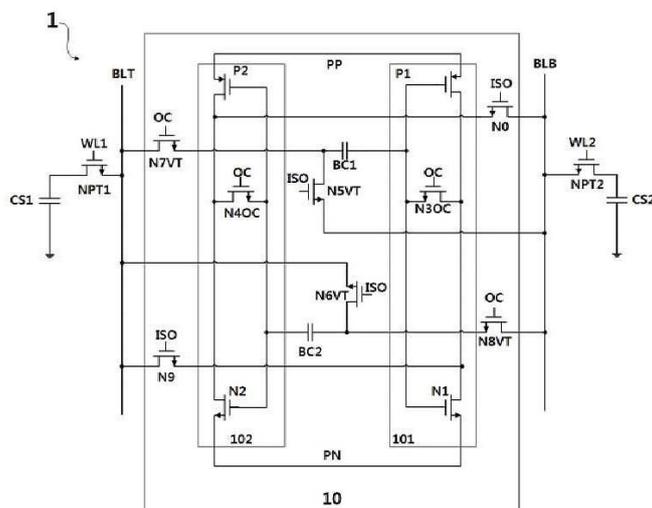
심사관 : 손윤식

(54) 발명의 명칭 다이내믹 램 및 다이내믹 램 구동 방법

(57) 요약

본 실시예에 의한 다이내믹 램은: 비트 라인과, 인버터와, 도통되어 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 오프셋 제거 스위치 및 일 전극이 인버터의 입력 노드와 연결된 블로킹 커패시터(blocking capacitor)를 포함하고, 스토리지 커패시터가 비트 라인을 통해 차지 셰어링을 수행할 때, 인버터는 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며, 오프셋 제거가 수행되는 인버터의 입력 노드와 차지 셰어링이 수행된 비트 라인은 블로킹 커패시터에 의하여 연결이 블록(block)된다.

대표도



(52) CPC특허분류
G11C 7/065 (2013.01)
G11C 7/12 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711115932
과제번호	10080590
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D)
연구과제명	이기종 시스템 아키텍처 통합형 메모리 시스템 최적화 기술개발
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

비트 라인;

반전 비트 라인;

제1 인버터;

제2 인버터;

도통되어 상기 제1 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제1 오프셋 제거 스위치;

도통되어 상기 제2 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제2 오프셋 제거 스위치;

일 전극이 상기 제1 인버터의 상기 입력 노드와 연결된 제1 블로킹 커패시터(blocking capacitor);

일 전극이 상기 제2 인버터의 상기 입력 노드와 연결된 제2 블로킹 커패시터를 포함하고,

스토리지 커패시터가 상기 비트 라인을 통해 차지 세어링을 수행할 때, 상기 제1 인버터 및 상기 제2 인버터는 상기 제1 오프셋 제거 스위치 및 상기 제2 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며,

상기 차지 세어링 수행 후,

상기 제1 블로킹 커패시터의 타 전극은 상기 반전 비트 라인과 연결되고, 상기 제2 블로킹 커패시터의 타 전극은 상기 비트 라인과 연결되며,

상기 제1 블로킹 커패시터는 상기 반전 비트라인에 형성된 전압이 제공되어 상기 제1 인버터에 입력을 제공하고, 상기 제2 인버터는 상기 비트 라인에 형성된 전압이 제공되어 상기 제2 인버터에 입력을 제공하며,

상기 제1 인버터 및 제2 인버터는 각각 상기 비트 라인과 상기 반전 비트라인을 구동하는 다이내믹 램.

청구항 2

제1항에 있어서,

상기 다이내믹 램은,

상기 오프셋 제거 이전에

상기 제1 인버터의 상기 입력 노드의 전압과 출력 노드의 전압 및 상기 비트 라인의 전압을 균등화하는 균등화가 수행되는 다이내믹 램.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 다이내믹 램은,

도통되어 상기 제1 블로킹 커패시터의 상기 타 전극과 상기 반전 비트 라인을 연결하는 제1 전압 전달 스위치와,

도통되어 상기 제2 블로킹 커패시터의 상기 타 전극과 상기 비트 라인을 연결하는 제2 전압 전달 스위치를 포함

하며,

상기 제1 전압 전달 스위치 및 상기 제2 전압 전달 스위치가 도통되어 상기 비트 라인에 형성된 전압이 상기 제2 블로킹 커패시터에 제공되고, 상기 반전 비트 라인에 형성된 전압이 상기 제1 블로킹 커패시터에 제공되는 다이내믹 램.

청구항 6

제1항에 있어서,

상기 제1 인버터의 입력 노드에 제공되는 전압과 상기 제2 인버터의 입력 노드에 제공되는 전압의 차이는, 상기 차지 세어링이 수행되어 형성된 전압의 두 배에 상응하는 전압인 다이내믹 램.

청구항 7

비트라인에 연결된 스토리지 커패시터와 연결되어 상기 스토리지 커패시터에 저장된 정보를 검출하는 감지 증폭기로, 상기 감지 증폭기는:

제1 인버터와 제2 인버터;

도통되어 상기 제1 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제1 오프셋 제거 스위치;

도통되어 상기 제2 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제2 오프셋 제거 스위치; 및

일 전극이 상기 제1 인버터의 상기 입력 노드와 연결된 제1 블로킹 커패시터(blocking capacitor);

일 전극이 상기 제2 인버터의 상기 입력 노드와 연결된 제2 블로킹 커패시터(blocking capacitor); 를 포함하고,

상기 스토리지 커패시터가 상기 비트 라인을 통해 차지 세어링을 수행할 때, 상기 제1 인버터 및 제2 인버터는 상기 제1 오프셋 제거 스위치 및 상기 제2 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며,

상기 차지 세어링 수행 후,

상기 제1 블로킹 커패시터의 타 전극은 반전 비트 라인과 연결되고, 상기 제2 블로킹 커패시터의 타 전극은 상기 비트 라인과 연결되며,

상기 제1 블로킹 커패시터는 상기 반전 비트라인에 형성된 전압이 제공되어 상기 제1 인버터에 입력을 제공하고, 상기 제2 인버터는 상기 비트 라인에 형성된 전압이 제공되어 상기 제2 인버터에 입력을 제공하며,

상기 제1 인버터 및 제2 인버터는 각각 상기 비트 라인과 상기 반전 비트라인을 구동하는 감지 증폭기.

청구항 8

제7항에 있어서,

상기 감지 증폭기는,

상기 오프셋 제거 이전에

상기 제1 인버터의 상기 입력 노드의 전압과 출력 노드의 전압 및 상기 비트 라인의 전압을 균등화하는 균등화가 수행되는 감지 증폭기.

청구항 9

삭제

청구항 10

삭제

청구항 11

제7항에 있어서,

상기 감지 증폭기는,

도통되어 상기 제1 블로킹 커패시터의 상기 타 전극과 상기 반전 비트 라인을 연결하는 제1 전압 전달 스위치와,

도통되어 상기 제2 블로킹 커패시터의 상기 타 전극과 상기 비트 라인을 연결하는 제2 전압 전달 스위치를 포함하며,

상기 제1 전압 전달 스위치 및 상기 제2 전압 전달 스위치가 도통되어 상기 비트 라인에 형성된 전압이 상기 제2 블로킹 커패시터에 제공되고,

상기 반전 비트 라인에 형성된 전압이 상기 제1 블로킹 커패시터에 제공되는 감지 증폭기.

청구항 12

제7항에 있어서,

상기 제1 인버터의 입력 노드에 제공되는 전압과 상기 제2 인버터의 입력 노드에 제공되는 전압의 차이는,

상기 차지 세어링이 수행되어 형성된 전압의 두 배에 상응하는 전압인 감지 증폭기.

청구항 13

다이내믹 램 구동 방법은:

비트 라인의 전압, 반전 비트 라인 전압, 제1 인버터의 입력 노드와 출력 노드의 전압 및 제2 인버터의 입력 노드와 출력 노드의 전압을 모두 동일하게 형성하는 균등화 단계와,

스토리지 커패시터와 연결된 상기 비트 라인의 차지 세어링 단계와,

상기 제1 인버터 및 상기 제2 인버터에 구동 전압 및 기준 전압을 제공한 후, 상기 제1 인버터의 입력 노드와 출력 노드의 전압 및 상기 제2 인버터의 입력 노드와 출력 노드의 전압을 일정하게 형성하는 오프셋 제거 단계 및

상기 비트 라인과 상기 반전 비트 라인에 형성된 전압을 검출하는 센싱 단계를 포함하며,

상기 차지 세어링 단계와 상기 오프셋 제거 단계는 동시에 수행되는 다이내믹 램 구동 방법.

청구항 14

제13항에 있어서,

상기 차지 세어링 단계 및 상기 오프셋 제거 단계에서,

상기 제1 인버터의 입력 노드는 제1 블로킹 커패시터의 일 전극과 연결되고,

상기 제1 블로킹 커패시터의 타 전극은 상기 비트 라인과 연결되며,

상기 차지 세어링된 상기 비트 라인과 상기 제1 인버터의 입력 노드는 상기 제1 블로킹 커패시터로 블록되는 다이내믹 램 구동 방법.

청구항 15

제14항에 있어서,

상기 센싱 단계에서,

상기 제1 블로킹 커패시터의 상기 타 전극은 상기 반전 비트 라인과 연결되고,

제2 블로킹 커패시터의 타 전극은 상기 비트 라인과 연결되어 상기 비트 라인과 상기 반전 비트 라인 사이의 전압 차이를 센싱하는 다이내믹 램 구동 방법.

청구항 16

제14항에 있어서,

비트 라인과 상기 반전 비트 라인 사이의 전압 차이를 센싱 단계에서,
 상기 제1 인버터의 입력 노드의 전압과 상기 제2 인버터의 입력 노드의 전압차는,
 상기 차지 세어링이 수행되어 형성된 전압의 두 배에 상응하는 전압차에 상응하는 다이내믹 램 구동 방법.

발명의 설명

기술 분야

[0001] 본 기술은 다이내믹 램 및 다이내믹 램 구동 방법과 관련된다.

배경 기술

[0002] 다이내믹 램을 포함하는 메모리 관련 기술은 고속, 고집적도 및 저비용화를 목표로 스케일링 다운(scaling down)이 지속되고 있다. 스케일링 다운에 따라 데이터를 저장하는 커패시터의 커패시턴스가 감소하고, 기생 커패시턴스의 영향이 증가하며, 데이터를 읽는 증폭기에 포함된 트랜지스터 등의 특성이 고르게 형성되지 않는 등의 영향이 발생하고 있다.

발명의 내용

해결하려는 과제

[0003] 종래 기술은 고집적화가 진행됨에 따라 트랜지스터 특성이 고르게 형성되지 않아 발생하는 오프셋을 제거하기 위한 오프셋 제거 시간이 필요하여 고속 동작을 방해하며, 인접한 비트 라인들 사이의 커플링 노이즈에 의한 유효 센싱 마진이 더욱더 감소하는 추세이다.

[0004] 본 실시예로 해결하고자 하는 과제 중 하나는 상술한 종래 기술의 난점을 해소하기 위한 것이다. 즉, 본 실시예로 해결하고자 하는 과제 중 하나는 보다 고속으로 동작할 수 있으며, 커플링 노이즈의 영향을 감소시킬 수 있는 메모리 및 메모리 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 본 실시예에 의한 다이내믹 램은: 비트 라인과, 인버터와, 도통되어 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 오프셋 제거 스위치 및 일 전극이 인버터의 입력 노드와 연결된 블로킹 커패시터(blocking capacitor)를 포함하고, 스토리지 커패시터가 비트 라인을 통해 차지 세어링을 수행할 때, 인버터는 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며, 오프셋 제거가 수행되는 인버터의 입력 노드와 차지 세어링이 수행된 비트 라인은 블로킹 커패시터에 의하여 연결이 블록(block)된다.

[0006] 본 실시예에 의한 감지 증폭기는: 인버터와, 도통되어 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 오프셋 제거 스위치 및 일 전극이 인버터의 입력 노드와 연결된 블로킹 커패시터(blocking capacitor)를 포함하고, 스토리지 커패시터가 비트 라인을 통해 차지 세어링을 수행할 때, 인버터는 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며, 오프셋 제거가 수행되는 인버터의 입력 노드와 차지 세어링이 수행된 비트 라인은 블로킹 커패시터에 의하여 연결이 블록(block)된다.

[0007] 본 실시예의 어느 한 모습에 의하면, 다이내믹 램은, 오프셋 제거 이전에 제1 인버터의 입력 노드의 전압과 출력 노드의 전압 및 비트 라인의 전압을 균등화하는 균등화가 수행된다.

[0008] 본 실시예의 어느 한 모습에 의하면, 다이내믹 램은, 반전 비트 라인과, 제2 인버터와, 도통되어 제2 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제2 오프셋 제거 스위치 및 일 전극이 제2 인버터의 입력 노드와 연결된 제2 블로킹 커패시터를 더 포함한다.

[0009] 본 실시예의 어느 한 모습에 의하면, 다이내믹 램은, 차지 세어링 수행 후, 블로킹 커패시터의 타 전극은 반전 비트 라인과 연결되고, 제2 블로킹 커패시터의 타 전극은 비트 라인과 연결되어 비트 라인과 반전 비트 라인 사이의 전압 차이를 센싱한다.

[0010] 본 실시예의 어느 한 모습에 의하면, 다이내믹 램은, 도통되어 블로킹 커패시터의 타 전극과 반전 비트 라인을

연결하는 전압 전달 스위치와, 도통되어 제2 블로킹 커패시터의 타 전극과 비트 라인을 연결하는 제2 전압 전달 스위치를 포함하며, 전압 전달 스위치 및 제2 전압 전달 스위치가 도통되어 비트 라인과 반전 비트 라인 사이의 전압 차이를 센싱한다.

- [0011] 본 실시예의 어느 한 모습에 의하면, 비트 라인과 반전 비트 라인 사이의 전압 차이를 센싱할 때, 제1 인버터의 입력 노드와 제2 인버터의 입력 노드에는 차지 셰어링이 수행되어 형성된 전압의 두 배에 상응하는 전압이 형성된다.
- [0012] 본 실시예에 의한 다이내믹 램 구동 방법은: 비트 라인의 전압, 반전 비트 라인 전압, 제1 인버터의 입력 노드와 출력 노드의 전압 및 제2 인버터의 입력 노드와 출력 노드의 전압을 모두 동일하게 형성하는 균등화 단계와, 스토리지 커패시터와 연결된 비트 라인의 차지 셰어링 단계와, 제1 인버터에 구동 전압 및 기준 전압을 제공한 후, 입력 노드와 출력 노드의 전압을 일정하게 형성하는 오프셋 제거 단계 및 비트 라인과 반전 비트 라인에 형성된 전압 차이를 검출하는 센싱 단계를 포함하며, 차지 셰어링 단계와 오프셋 제거 단계는 동시에 수행된다.
- [0013] 본 실시예의 어느 한 모습에 의하면, 차지 셰어링 단계 및 오프셋 제거 단계에서, 제1 인버터의 입력 노드는 블로킹 커패시터의 일 전극과 연결되고, 블로킹 커패시터의 타 전극은 비트 라인과 연결되며, 차지 셰어링된 비트 라인과 제1 인버터의 입력 노드는 블로킹 커패시터로 블록된다.
- [0014] 본 실시예의 어느 한 모습에 의하면, 센싱 단계에서, 블로킹 커패시터의 타 전극은 반전 비트 라인과 연결되고, 제2 블로킹 커패시터의 타 전극은 비트 라인과 연결되어 비트 라인과 반전 비트 라인 사이의 전압 차이를 센싱한다.
- [0015] 본 실시예의 어느 한 모습에 의하면, 비트 라인과 반전 비트 라인 사이의 전압 차이를 센싱 단계에서, 제1 인버터의 입력 노드의 전압과 제2 인버터의 입력 노드의 전압차는, 차지 셰어링이 수행되어 형성된 전압의 두 배에 상응하는 전압차에 상응한다.

발명의 효과

- [0016] 본 실시예에 의하면, 다이내믹 램이 고속으로 동작할 수 있다는 장점 및 인접한 비트라인에 의하여 형성되는 커플링 노이즈에 의한 영향이 감소한다는 장점이 제공된다.

도면의 간단한 설명

- [0017] 도 1은 본 실시예에 의한 다이내믹 램의 개요를 도시한 회로도이다.
- 도 2는 본 실시예에 의한 다이내믹 램의 구동 방법의 개요를 예시한 순서도이다.
- 도 3은 본 실시예에 의한 다이내믹 램의 동작을 설명하기 위한 개요적인 타이밍 도이다.
- 도 4는 균등화 단계의 등가 회로이다.
- 도 5는 차지 셰어링 단계와 오프셋 제거 단계의 등가회로이다.
- 도 6은 센싱 단계의 등가 회로이다.
- 도 7은 본 실시예와 종래 기술과의 천이 상태 응답(transient response)을 비교한 도면이다.
- 도 8(a), 도 8(b)는 본 실시예와 종래 기술들에 대하여 센싱 시간을 각각 15nsec 및 10nsec로 할 때 감지 증폭기에 제공된 구동 전압 대비 센싱 정확도(sensing yield)를 도시한 도면이다.
- 도 9는 95%의 센싱 정확도에 도달할 때 필요한 센싱 시간을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서는 첨부된 도면들을 참조하여 본 실시예를 설명한다. 간결하고 명확한 설명을 위하여 본 실시예의 다이내믹 램(1)의 스위치들의 대부분을 논리 하이 상태의 신호로 도통되는 NMOS 스위치로 도시하였다. 이는 용이한 설명을 위한 것일 따름이며 통상의 기술자는 이하 설명되는 내용을 기초로 하여 PMOS 스위치를 포함하는 다른 반도체 스위치로 변형하여 실시할 수 있을 것이다. 도시된 실시예들에서 각 스위치의 제어 전극인 게이트 전극에는 해당 스위치를 제어하기 위하여 제공되는 신호의 명칭이 기재되어 있다.
- [0019] 도 1은 본 실시예에 의한 다이내믹 램(1)의 개요를 도시한 회로도이다. 도 1을 참조하면, 본 실시예에 의한 다

이내믹 램(1)은, 비트 라인(BLT)과, 인버터(101)와, 도통되어 인버터(101)의 입력 노드와 출력 노드를 전기적으로 연결하는 오프셋 제거 스위치(N30C) 및 일 전극이 인버터(101)의 입력 노드와 연결된 블로킹 커패시터(blocking capacitor, BC1)를 포함하고, 스토리지 커패시터(CS1)와 비트 라인이 차지 셰어링(charge sharing)될 때, 인버터(101)는 오프셋 제거 스위치(N30C)가 도통되어 오프셋 제거가 수행되며, 오프셋 제거가 수행되는 인버터(101)의 입력 노드와 차지 셰어링이 수행된 비트 라인(BLT)은 블로킹 커패시터(BC1)에 의하여 연결이 블록(block)된다. 도시된 실시예에서, 다이내믹 램(1)은 비트라인(BLT)과 반전 비트 라인(BLB) 사이의 전압 차이를 센싱하는 감지 증폭기(10)를 포함한다.

[0020] 도 2는 본 실시예에 의한 다이내믹 램(1)의 구동 방법의 개요를 예시한 순서도이다. 도 2를 참조하면, 비트 라인(BLT)의 전압, 반전 비트 라인(BLB) 전압, 제1 인버터(101)의 입력 노드와 출력 노드의 전압 및 제2 인버터(102)의 입력 노드와 출력 노드의 전압을 모두 동일하게 형성하는 균등화 단계(S100)와, 스토리지 커패시터(CS1)와 연결된 비트 라인(BLT)의 차지 셰어링 단계(S200)와, 제1 인버터에 구동 전압 및 기준 전압을 제공한 후, 입력 노드와 출력 노드의 전압을 일정하게 형성하는 오프셋 제거 단계(S300) 및 비트 라인과 반전 비트 라인에 형성된 전압 차이를 검출하는 센싱 단계(S400)를 포함하며, 차지 셰어링 단계(S200)와 오프셋 제거 단계(S300)는 동시에 수행된다.

[0021] 도 3은 본 실시예에 의한 다이내믹 램(1)의 동작을 설명하기 위한 개요적인 타이밍 도이고, 도 4 내지 도 6은 본 실시예에 의한 다이내믹 램(1)의 각 동작 단계별 등가회로들이다. 도 1 내지 도 4를 참조하면, 본 실시예에 의한 다이내믹 램(1)은 균등화(equalization) 단계(S100)가 수행된다. 타이밍 도로 예시된 것과 같이 논리 하이 상태의 ISO 신호가 제공됨에 따라 제1B 전압 전달 스위치(N5VT), 제2B 전압 전달 스위치(N6VT), 제1 출력 스위치(N9) 및 제2 출력 스위치(N0)가 도통된다.

[0022] 논리 하이 상태의 OC 신호가 제공됨에 따라 제1A 전압 전달 스위치(N7VT), 제2A 전압 전달 스위치(N8VT), 오프셋 제거 스위치(N40C, N30C) 및 제1 출력 스위치(N9) 및 제2 출력 스위치(N0)가 도통된다.

[0023] 도 4로 예시된 균등화 단계(S100) 등가 회로에서, 비트 라인(BLT)의 전압은 도통된 제1A 전압 전달 스위치(N7VT), 제1B 전압 전달 스위치(N5VT) 및/또는 제2A 전압 전달 스위치(N8VT), 제2B 전압 전달 스위치(N6VT)들에 의하여 서로 균등 전압(Veq)로 형성된다. 또한, 제1 출력 스위치(N9)와 제2 출력 스위치(N0)가 도통되고, 오프셋 제거 스위치들(N30C, N40C)이 모두 도통되어 제1 인버터(101) 및 제2 인버터(102)의 입력 노드들과 출력 노드들의 전압은 모두 균등 전압(Veq)으로 형성된다.

[0024] 제1 인버터(101) 및 제2 인버터(102)들의 구동 전압 레일(PP)과 제1 인버터(101) 및 제2 인버터(102)들의 기준 전압 레일(PN)을 통해서도 균등 전압(Veq)이 제공된다.

[0025] 이어서, 차지 셰어링(S200) 단계와 오프셋 제거 단계(S300)가 동시에 수행된다. 도 5는 차지 셰어링(S200) 단계와 오프셋 제거 단계(S300)의 등가회로이다. 도 1 내지 도 3 및 도 5를 참조하면, OC 신호는 논리 하이 상태를 유지하나, ISO 신호는 논리 로우 상태로 전환된다. 따라서, 제1 출력 스위치(N9)와 제2 출력 스위치(N0) 및 제1B 전압 전달 스위치(N5VT)와 제2B 전압 전달 스위치(N6VT)는 차단된다.

[0026] 오프셋 제거 단계(S300)에서 제1 인버터(101)의 입력 노드와 출력 노드에 위치하는 오프셋 제거 스위치(N30C)와 제2 인버터(102)의 입력 노드와 출력 노드에 위치하는 오프셋 제거 스위치(N40C)가 도통된다. 또한, 제1 인버터(101)와 제2 인버터(102)의 구동 전압 레일(PP)에는 구동 전압(VDD)이 제공되고, 제1 인버터(101)와 제2 인버터(102)의 기준 전압 레일(PN)에는 기준 전압(VSS)이 제공된다.

[0027] 구동 전압 레일(PP)과 기준 전압 레일(PN)에 각각 구동 전압(VDD)과 기준 전압(VSS)이 제공됨에 따라 제1 인버터(101) 및 제2 인버터(102)의 입력 노드와 출력 노드에는 오프셋 전압이 형성되며, 형성된 전압은 제1 인버터(101) 및 제2 인버터(102)에 포함된 P1 스위치, N1 스위치, P2 스위치 및 N2 스위치의 제조 공정상 편차에 따라 다를 수 있다.

[0028] 그러나, 오프셋 제거 스위치(N30C)를 도통시켜 제1 인버터(101)의 입력 노드와 출력 노드 사이의 전압을 동일하게 형성하고, 오프셋 제거 스위치(N40C)를 도통시켜 제2 인버터(102)의 입력 노드와 출력 노드 사이의 전압을 동일하게 형성함으로써 제조 공정상의 편차에 의해 발생하는 오프셋 전압을 최소화시킬 수 있다.

[0029] 예시된 실시예에서, 오프셋 제거 단계(S300)에서 제1 인버터(101)의 입력 노드에 형성된 전압을 Vtp1이라고 하면 블로킹 커패시터(BC1)의 일 전극에는 Vtp1이 제공된다. 마찬가지로, 제2 인버터(102)의 입력 노드에 형성된 전압을 Vtp2 라고 하면 블로킹 커패시터(BC2)의 일 전극에는 Vtp2이 제공된다.

- [0030] 도 3으로 예시된 실시예에서, OC로 표시된 오프셋 제거 단계(S300)에서 구동 전압 레일(PP)과 기준 전압 레일(PN)에 각각 구동 전압(VDD)과 기준 전압(VSS)이 제공되는 것을 예시하고 있다. 도시되지 않은 다른 실시예에 의하면, 구동 전압(VDD)과 기준 전압(VSS)은 오프셋 제거 단계(S300), 차지 셰어링 단계(S200) 및 MS 로 표시된 센싱 단계(S400)까지 제공될 수 있다.
- [0031] 차지 셰어링 단계(S200)는 스토리지 커패시터(CS1)와 비트 라인(BLT)을 연결하는 패스 트랜지스터(NPT)가 도통되어 수행된다. 도시되지 않은 실시예에서, 후속하는 차지 셰어링 단계는 반전 비트 라인(BLB)과 연결된 제2 패스 트랜지스터(NPT2)가 도통되어 수행될 수 있다.
- [0032] 차지 셰어링 단계(S200)에서, 패스 트랜지스터(NPT)가 도통됨에 따라 스토리지 커패시터(CS1)에 충전된 전하(charge)와 비트 라인(BLT)에 충전된 전하가 혼합되고, 비트 라인(BLT)에 형성되는 전압이 변동된다. 일 예로, 스토리지 커패시터(CS1)에 높은 전압에 상응하는 전하가 충전된 상태인 경우에는 차지 셰어링에 의하여 비트 라인(BLT)에 형성되는 전압은 상승한다. 다른 예로, 스토리지 커패시터(CS1)에 전하가 충전되지 않은 상태인 경우에는 차지 셰어링에 의하여 비트 라인(BLT)에 형성되는 전압은 감소한다.
- [0033] 균등화 단계(S100)에서 비트 라인(BLT) 및 반전 비트 라인(BLB)에는 균등 전압(Veq)이 형성된다. 차지 셰어링 단계(S200)에서 반전 비트 라인(BLT)에 연결된 제2 패스 트랜지스터(NPT2)는 도통되지 않아 제2 스토리지 커패시터(CS2)와 반전 비트 라인(BLB) 사이의 차지 셰어링은 수행되지 않는다. 따라서, 반전 비트 라인(BLB)에서의 전압은 균등 전압(Veq)을 유지한다. 반전 비트 라인(BLB)에 형성된 전압은 도통된 제2A 전압 전달 스위치(N8VT)에 의하여 블로킹 커패시터(BC2)의 타 전극으로 연결된다.
- [0034] 그러나, 차지 셰어링이 이루어지는 비트 라인(BLT)에서, 비트 라인(BLT)의 전압은 스토리지 커패시터(CS1)에 충전된 전하량에 따라 전압이 변화한다. 따라서, 전압의 변화를 Δ 라고 한다면 차지 셰어링 단계(S200)에서 비트 라인(BLT)에서의 전압 $V_{BLT} = V_{eq} + \Delta$ 라고 표시할 수 있다. 차지 셰어링 단계(S200)에서 변화한 비트 라인(BLT)의 전압은 도통된 제1A 전압 전달 스위치(N7VT)에 의하여 블로킹 커패시터(BC1)의 타 전극으로 연결된다.
- [0035] 차지 셰어링 단계(S200)에서 블로킹 커패시터(BC1)의 일 전극에 제공된 전압은 상술한 바와 같이 V_{tp1} 이고, 타 전극에 제공된 전압은 $V_{eq} + \Delta$ 이다. 따라서, 블로킹 커패시터(BC1)에 충전된 전압을 V_{BC1} 이라고 표시하면, $V_{BC1} = (V_{eq} + \Delta) - V_{tp1}$ 이라고 할 수 있다. 또한, 차지 셰어링이 이루어지지 않은 반전 비트 라인(BLB)에 연결된 블로킹 커패시터(BC2)에 충전된 전압을 V_{BC2} 이라고 표시하면, $V_{BC2} = V_{eq} - V_{tp2}$ 로 표시할 수 있다.
- [0036] 차지 셰어링 단계(S200)와 오프셋 제거 단계(S300)는 동시에 수행된다. 그러나, 블로킹 커패시터(BC1, BC2)는 비트 라인과 인버터(101, 102)의 입력 노드를 블록(block)하므로 오프셋 제거 단계(S300)에서 형성된 전압과 차지 셰어링에 의하여 비트 라인(BLT) 및/또는 반전 비트 라인(BLB)에 형성된 전압이 서로 영향을 미치는 것을 블록할 수 있다.
- [0037] 본 실시예에 의하면, 차지 셰어링과 동시에 오프셋 제거를 수행할 수 있으므로 종래 기술에 비하여 높은 속도로 다이내믹 램을 구동할 수 있다는 장점이 제공되는 것을 알 수 있다.
- [0038] 도 3으로 예시된 타이밍 도에서, CS로 표시된 차지 셰어링 단계(S200)에서 소모되는 시간이 OC로 표시된 오프셋 제거 단계(S300)에서 소모되는 시간보다 더 큰 것으로 도시되어 있다. 그러나, 다른 실시예에서, 차지 셰어링 단계(S200)에서 소모되는 시간이 OC로 표시된 오프셋 제거 단계(S300)에서 소모되는 시간보다 짧거나 같을 수 있다.
- [0039] 도 6은 센싱 단계(S400)의 등가회로를 도시한 도면이다. 도 1 내지 도 3과 도 6을 참조하면, 센싱 단계(S400)에서, ISO 신호는 논리 하이 상태로 전환되고 OC 신호는 논리 로우 상태로 전환된다. 따라서, 제1 출력 스위치(N9)와 제2 출력 스위치(N0) 및 제1B 전압 전달 스위치(N5VT)와 제2B 전압 전달 스위치(N6VT)는 도통된다.
- [0040] 또한, 오프셋 제거 스위치(N30C, N40C) 및 제1A 전압 전달 스위치(N7VT), 제2A 전압 전달 스위치(N8VT)는 차단된다. 또한, 제1 인버터(101)와 제2 인버터(102)의 구동 전압 레일(PP)에는 구동 전압(VDD)이 제공되고, 제1 인버터(101)와 제2 인버터(102)의 기준 전압 레일(PN)에는 기준 전압(VSS)이 제공된다.
- [0041] 센싱 단계(S400)에서, 제1B 전압 전달 스위치(N5VT)가 도통됨에 따라 블로킹 커패시터(BC1)의 타 전극은 반전 비트 라인(BLB)에 연결된다. 블로킹 커패시터(BC1)에 충전된 전압(V_{BC1})은 제1A 전압 전달 스위치(N7VT)의 차단 및 제1B 전압 전달 스위치(N5VT)의 도통에 영향을 받지 않는다. 또한, 반전 비트 라인(BLB)에는 균등 전압(V_{eq})이 충전되어 있으므로, 블로킹 커패시터(BC1)의 타전극을 통하여 제1 인버터(101)의 입력 전극으로 제공되는 전

압(V_{IN1})은 $V_{eq} - V_{BC1}$ 에 상응하며, 이를 연산하면 아래의 수학적 식 1의 ①식과 같다.

[0042] 또한, 제2B 전압 전달 스위치(N5VT)가 도통됨에 따라 블로킹 커패시터(BC2)의 타 전극은 비트 라인(BLT)에 연결된다. 블로킹 커패시터(BC2)에 충전된 전압(V_{BC2})은 제2A 전압 전달 스위치(N8VT)의 차단 및 제2B 전압 전달 스위치(N6VT)의 도통에 영향을 받지 않는다. 또한, 비트 라인(BLB)에는 차지 셰어링되어 형성된 전압 $V_{eq} + \Delta$ 이 충전되어 있다. 블로킹 커패시터(BC2)의 타 전극을 통하여 제2 인버터(101)의 입력 전극으로 제공되는 전압(V_{IN2})은 $(V_{eq} + \Delta) - V_{BC2}$ 에 상응하며, 이를 연산하면 아래의 수학적 식 1의 ②식과 같다.

[0043] [수학적 식 1]

$$V_{E1} = V_{eq} - V_{BC1} = V_{eq} - (V_{eq} + \Delta) - V_{tp1}$$

$$= V_{tp1} - \Delta \quad \dots \textcircled{1}$$

$$V_{E2} = V_{eq} + \Delta - V_{BC2} = V_{eq} + \Delta - (V_{eq} - V_{tp2})$$

$$= V_{tp2} + \Delta \quad \dots \textcircled{2}$$

[0044]

[0045] 수학적 식 1의 ①식과 ②식을 참조하면, 제1 인버터(101)와 제2 인버터(102)의 입력으로 제공되는 전압차는 차지 셰어링에 의하여 형성되는 비트 라인의 전압 변화 Δ 의 2 배인 2Δ 인 것을 알 수 있다.

[0046] 블로킹 커패시터(BC1,BC2)로 입력이 제공된 제1 인버터(101)과 제2 인버터는 도통된 제1 출력 스위치(N9)와 도통된 제2 출력 스위치(N0)를 통하여 비트라인(BLT)과 반전 비트 라인(BLT)에 상보적인 전압이 형성되도록 비트 라인(BLT)과 반전 비트 라인(BLT)을 구동한다.

[0047] 종래의 감지 증폭기는 차지 셰어링에 의하여 변화한 전압 Δ 를 검출하여 스토리지 커패시터에 저장된 데이터를 검출하였다. 그러나, 본 실시예에 의하면 종래 기술에 비하여 두 배의 전압차로 데이터를 검출하므로 종래 기술에 비하여 높은 정확도로 데이터를 검출할 수 있다는 장점이 제공된다.

[0049] **모의실험 예**

[0050] 도 7은 본 실시예와 종래 기술과의 천이 상태 응답(transient response)을 비교한 도면이다. 본 실시예의 응답은 주황색으로 도시되었으며, 종래 기술의 응답은 회색으로 도시되었다. 도 7을 참조하면, 본 실시예와 종래 기술에 있어서 EQ로 표시된 균등화 단계(S100) 및 CS로 표시된 차지 셰어링 단계(S200)에서 비트 라인 및 반전 비트 라인에 형성된 전압은 유사한 것을 확인할 수 있다.

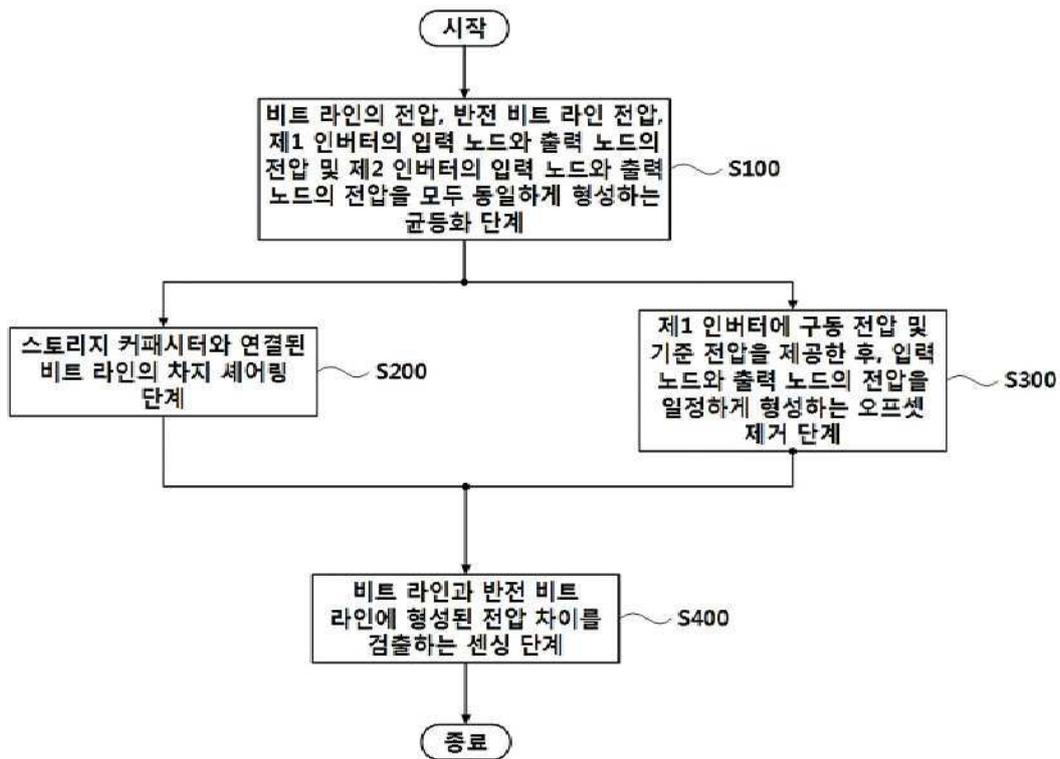
[0051] 그러나, 9 nsec 이후(파선 영역 참조) 종래 기술에서의 전압 변화에 비하여 본 실시예에서의 비트 라인과 반전 비트라인 전압의 변화가 빠른 것을 확인할 수 있다. 이로부터 데이터를 검출하는 센싱 속도를 향상시킬 수 있음을 확인할 수 있다.

[0052] 도 8(a), 도 8(b)는 본 실시예와 종래 기술들에 대하여 센싱 시간을 각각 15nsec 및 10nsec로 할 때 감지 증폭기에 제공된 구동 전압 대비 센싱 정확도(sensing yield)를 도시한 도면이다. 도 8(a)를 참조하면, 본 실시예는 센싱 시간이 15nsec이고, 감지 증폭기에 제공된 구동 전압이 0.9V ~ 1.1V로 변화하여도 100%에 가까운 센싱 정확도를 나타내는 것을 확인할 수 있다. 도 8(b)를 참조하면, 본 실시예는 센싱 시간이 10nsec이고, 감지 증폭기에 제공된 구동 전압이 0.9V일 때, 센싱 정확도는 80%에 수렴하나, 이러한 정확도는 다른 종래 기술에 비하여 10% 이상 상승된 정확도를 가지는 것을 알 수 있다. 본 실시예는 감지 증폭기에 제공된 구동 전압이 0.95 V ~ 1.1V로 증가함에 따라 100%에 가까운 센싱 정확도를 나타내는 것을 확인할 수 있다.

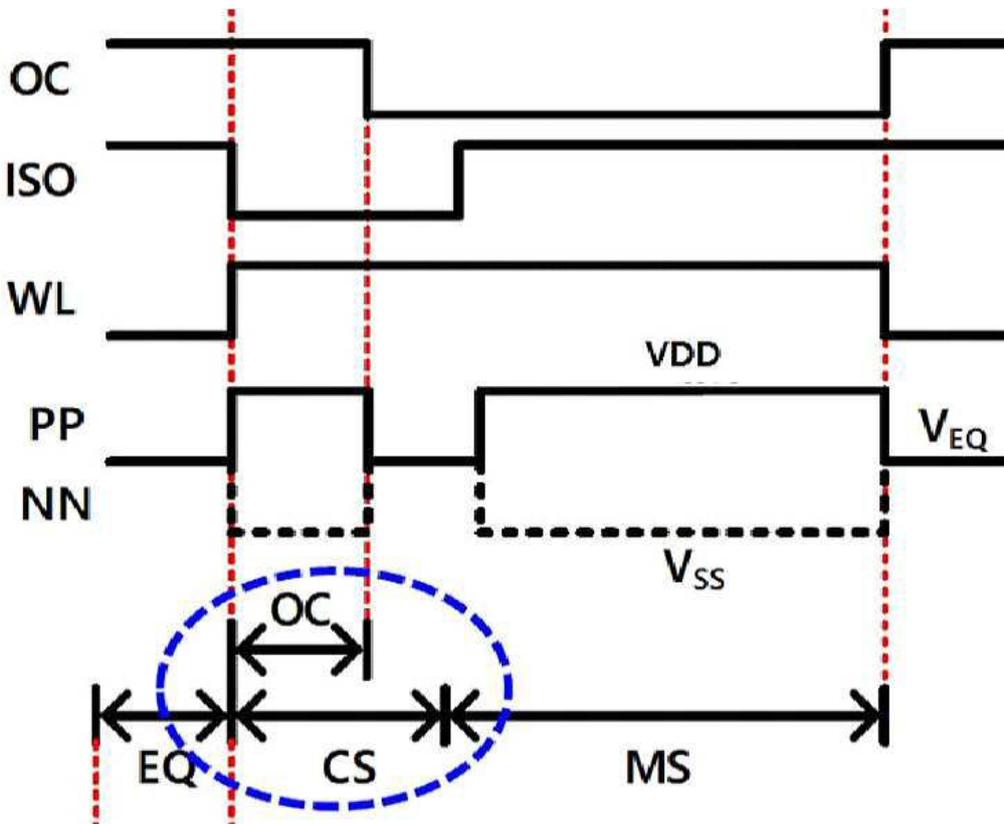
[0053] 도 9는 95%의 센싱 정확도에 도달할 때 필요한 센싱 시간을 도시한 도면이다. 도 9를 참조하면, 구동 전압이 가장 낮은 0.9V 에서 가장 높은 1.1Vfh 변화할 때 종래 기술 대비 가장 낮은 센싱 시간을 필요로 하는 것을 확인할 수 있다.

[0055] 본 실시예에 의하면, 블로킹 커패시터를 두어 오프셋 제거와 차지 셰어링을 동시에 수행함으로써 전체 동작시간을 단축시키고 빠른 센싱을 수행할 수 있다는 장점이 제공됨을 알 수 있으며, 나아가, 블로킹 커패시터를 이용

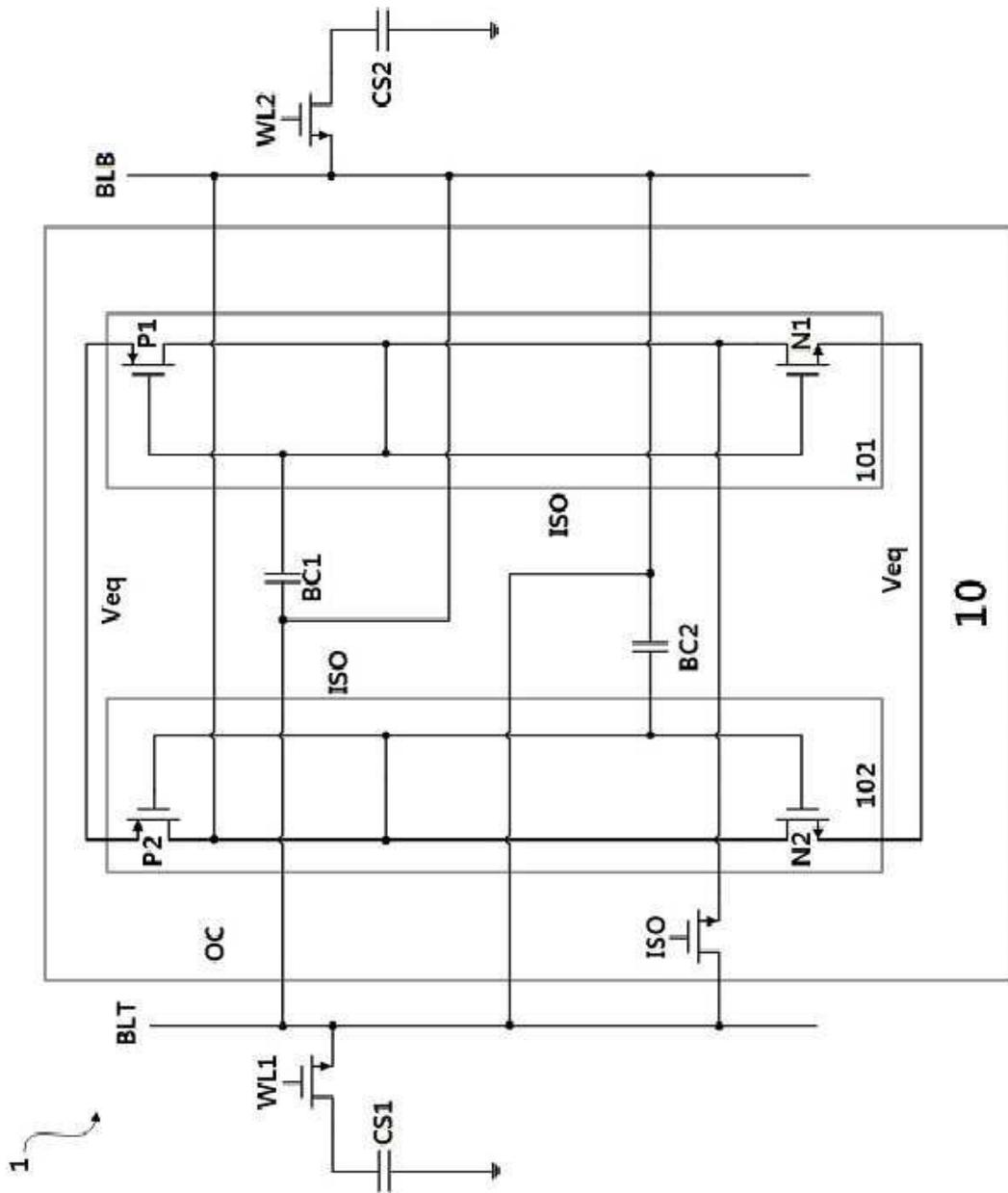
도면2



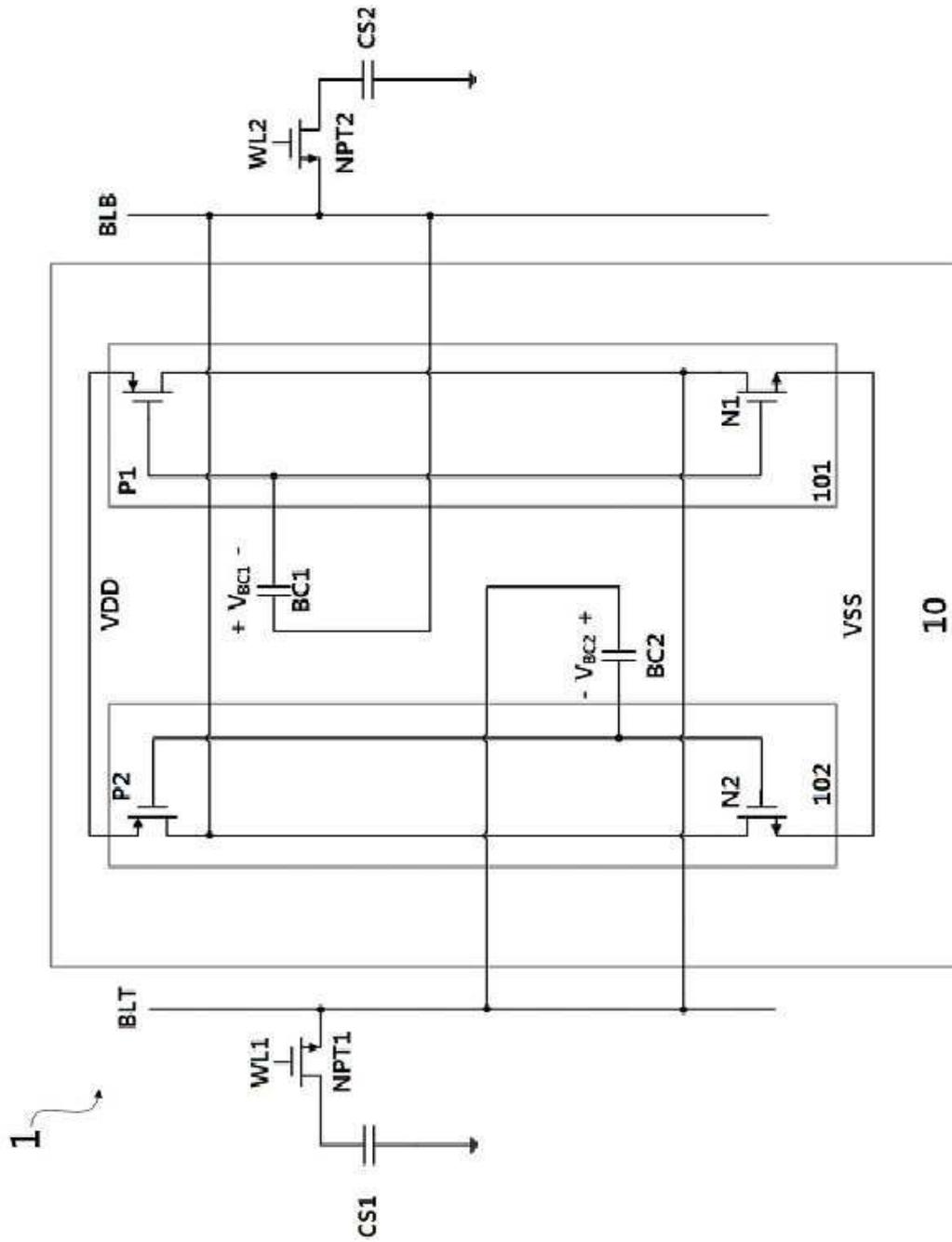
도면3



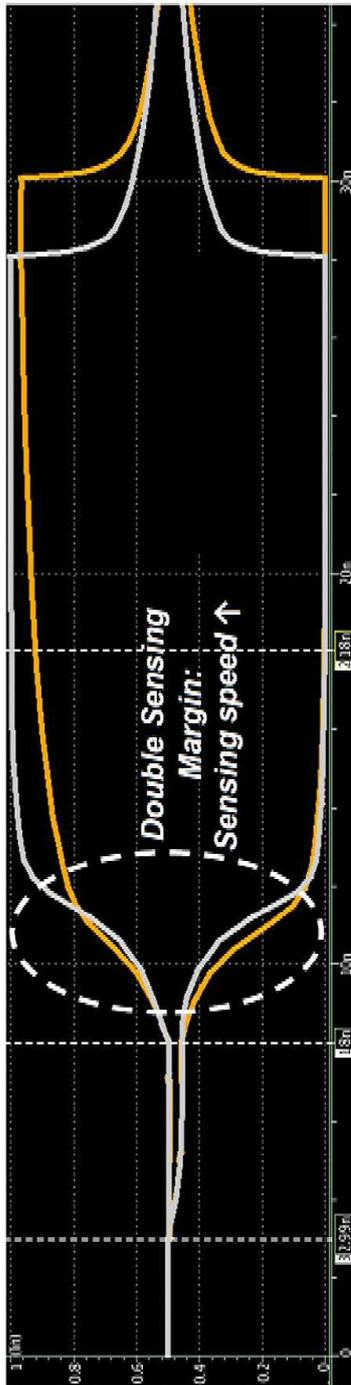
도면4



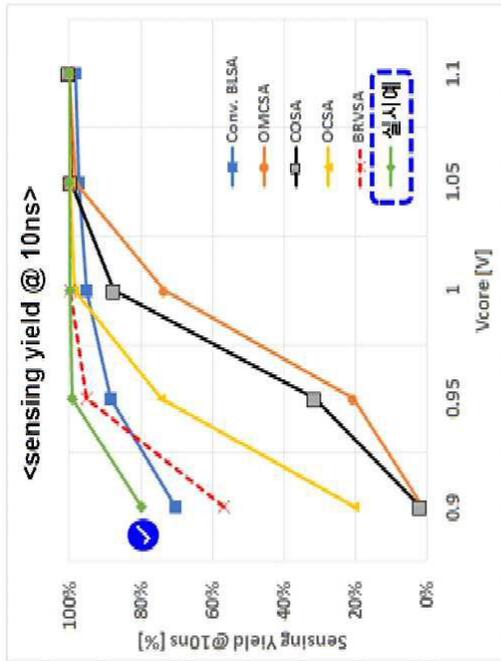
도면6



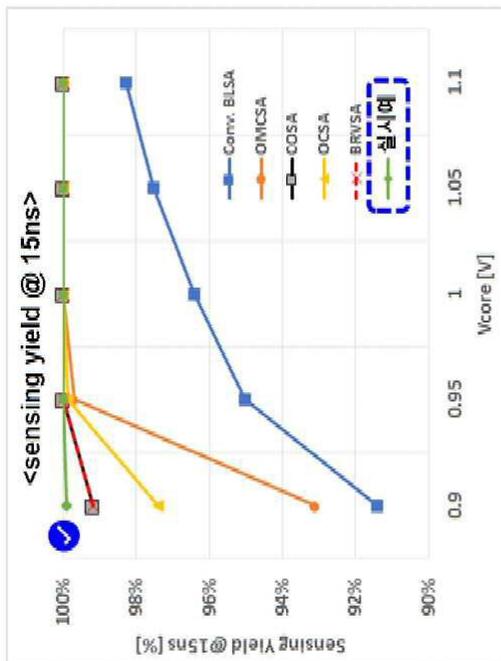
도면7



도면8

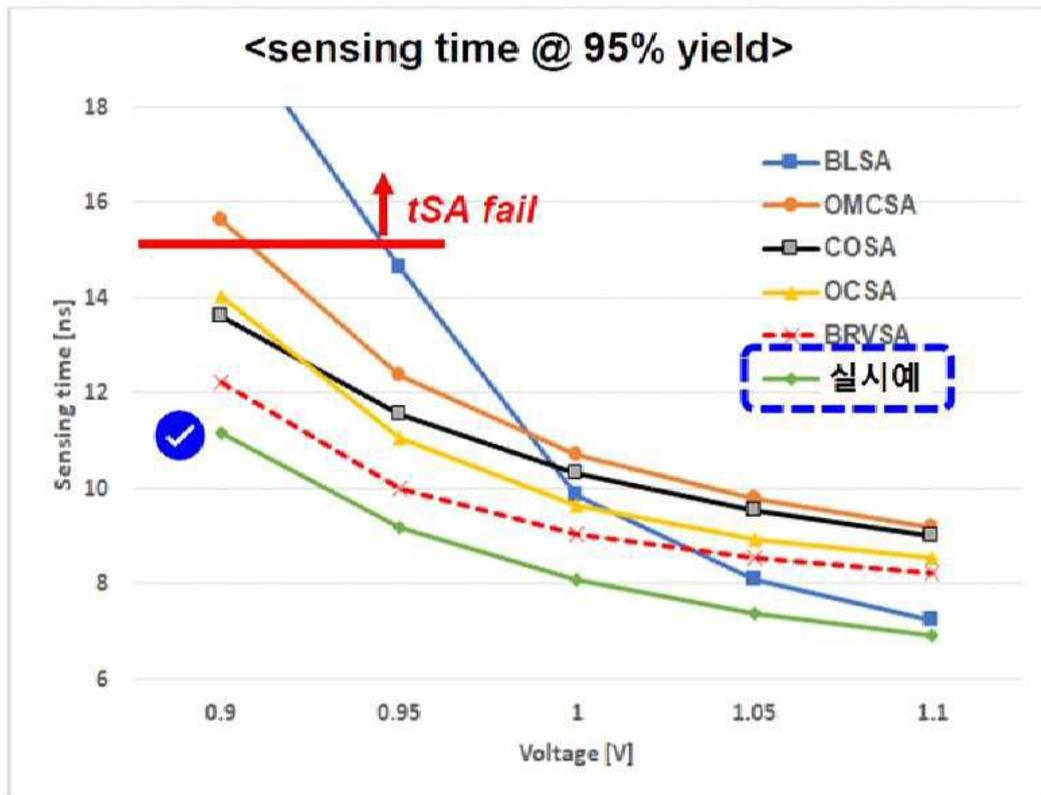


(b)



(a)

도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

비트 라인;

반전 비트 라인;

제1 인버터;

제2 인버터;

도통되어 상기 제1 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제1 오프셋 제거 스위치;

도통되어 상기 제2 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제2 오프셋 제거 스위치;

일 전극이 상기 제1 인버터의 상기 입력 노드와 연결된 제1 블로킹 커패시터(blocking capacitor);

일 전극이 상기 제2 인버터의 상기 입력 노드와 연결된 제2 블로킹 커패시터를 포함하고,

스토리지 커패시터가 상기 비트 라인을 통해 차지 세어링을 수행할 때, 상기 제1 인버터 및 상기 제2 인버터는 상기 제1 오프셋 제거 스위치 및 상기 제2 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며,

상기 차지 세어링 수행 후,

상기 제1 블로킹 커패시터의 상기 타 전극은 상기 반전 비트 라인과 연결되고, 상기 제2 블로킹 커패시터의 상기 타 전극은 상기 비트 라인과 연결되며,

상기 제1 블로킹 커패시터는 상기 반전 비트라인에 형성된 전압이 제공되어 상기 제1 인버터에 입력을 제공하고, 상기 제2 인버터는 상기 비트 라인에 형성된 전압이 제공되어 상기 제2 인버터에 입력을 제공하며,

상기 제1 인버터 및 제2 인버터는 각각 상기 비트 라인과 상기 반전 비트라인을 구동하는 다이내믹 램.

【변경후】

비트 라인;

반전 비트 라인;

제1 인버터;

제2 인버터;

도통되어 상기 제1 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제1 오프셋 제거 스위치;

도통되어 상기 제2 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제2 오프셋 제거 스위치;

일 전극이 상기 제1 인버터의 상기 입력 노드와 연결된 제1 블로킹 커패시터(blocking capacitor);

일 전극이 상기 제2 인버터의 상기 입력 노드와 연결된 제2 블로킹 커패시터를 포함하고,

스토리지 커패시터가 상기 비트 라인을 통해 차지 세어링을 수행할 때, 상기 제1 인버터 및 상기 제2 인버터는 상기 제1 오프셋 제거 스위치 및 상기 제2 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며,

상기 차지 세어링 수행 후,

상기 제1 블로킹 커패시터의 타 전극은 상기 반전 비트 라인과 연결되고, 상기 제2 블로킹 커패시터의 타 전극은 상기 비트 라인과 연결되며,

상기 제1 블로킹 커패시터는 상기 반전 비트라인에 형성된 전압이 제공되어 상기 제1 인버터에 입력을 제공하고, 상기 제2 인버터는 상기 비트 라인에 형성된 전압이 제공되어 상기 제2 인버터에 입력을 제공하며,

상기 제1 인버터 및 제2 인버터는 각각 상기 비트 라인과 상기 반전 비트라인을 구동하는 다이내믹 램.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 7

【변경전】

비트라인에 연결된 스토리지 커패시터와 연결되어 상기 스토리지 커패시터에 저장된 정보를 검출하는 감지 증폭기로, 상기 감지 증폭기는:

제1 인버터와 제2 인버터;

도통되어 상기 제1 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제1 오프셋 제거 스위치;

도통되어 상기 제2 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제2 오프셋 제거 스위치; 및

일 전극이 상기 제1 인버터의 상기 입력 노드와 연결된 제1 블로킹 커패시터(blocking capacitor);

일 전극이 상기 제2 인버터의 상기 입력 노드와 연결된 제2 블로킹 커패시터(blocking capacitor); 를 포함하고,

상기 스토리지 커패시터가 상기 비트 라인을 통해 차지 세어링을 수행할 때, 상기 제1 인버터 및 제2 인버터는 상기 제1 오프셋 제거 스위치 및 상기 제2 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며,

상기 차지 세어링 수행 후,

상기 제1 블로킹 커패시터의 상기 타 전극은 상기 반전 비트 라인과 연결되고, 상기 제2 블로킹 커패시터의 상기 타 전극은 상기 비트 라인과 연결되며,

상기 제1 블로킹 커패시터는 상기 반전 비트라인에 형성된 전압이 제공되어 상기 제1 인버터에 입력을 제공하고, 상기 제2 인버터는 상기 비트 라인에 형성된 전압이 제공되어 상기 제2 인버터에 입력을 제공하며,

상기 제1 인버터 및 제2 인버터는 각각 상기 비트 라인과 상기 반전 비트라인을 구동하는 감지 증폭기.

【변경후】

비트라인에 연결된 스토리지 커패시터와 연결되어 상기 스토리지 커패시터에 저장된 정보를 검출하는 감지 증폭

기로, 상기 감지 증폭기는:

제1 인버터와 제2 인버터;

도통되어 상기 제1 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제1 오프셋 제거 스위치;

도통되어 상기 제2 인버터의 입력 노드와 출력 노드를 전기적으로 연결하는 제2 오프셋 제거 스위치; 및

일 전극이 상기 제1 인버터의 상기 입력 노드와 연결된 제1 블로킹 커패시터(blocking capacitor);

일 전극이 상기 제2 인버터의 상기 입력 노드와 연결된 제2 블로킹 커패시터(blocking capacitor); 를 포함하고,

상기 스토리지 커패시터가 상기 비트 라인을 통해 차지 세어링을 수행할 때, 상기 제1 인버터 및 제2 인버터는 상기 제1 오프셋 제거 스위치 및 상기 제2 오프셋 제거 스위치가 도통되어 오프셋 제거가 수행되며,

상기 차지 세어링 수행 후,

상기 제1 블로킹 커패시터의 타 전극은 반전 비트 라인과 연결되고, 상기 제2 블로킹 커패시터의 타 전극은 상기 비트 라인과 연결되며,

상기 제1 블로킹 커패시터는 상기 반전 비트라인에 형성된 전압이 제공되어 상기 제1 인버터에 입력을 제공하고, 상기 제2 인버터는 상기 비트 라인에 형성된 전압이 제공되어 상기 제2 인버터에 입력을 제공하며,

상기 제1 인버터 및 제2 인버터는 각각 상기 비트 라인과 상기 반전 비트라인을 구동하는 감지 증폭기.

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 15

【변경전】

제14항에 있어서,

상기 센싱 단계에서,

상기 블로킹 커패시터의 상기 타 전극은 상기 반전 비트 라인과 연결되고,

상기 제2 블로킹 커패시터의 상기 타 전극은 상기 비트 라인과 연결되어 상기 비트 라인과 상기 반전 비트 라인 사이의 전압 차이를 센싱하는 다이내믹 램 구동 방법.

【변경후】

제14항에 있어서,

상기 센싱 단계에서,

상기 제1 블로킹 커패시터의 상기 타 전극은 상기 반전 비트 라인과 연결되고,

제2 블로킹 커패시터의 타 전극은 상기 비트 라인과 연결되어 상기 비트 라인과 상기 반전 비트 라인 사이의 전압 차이를 센싱하는 다이내믹 램 구동 방법.