



등록특허 10-2508383



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2023년03월08일

(11) 등록번호 10-2508383

(24) 등록일자 2023년03월06일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01) H03M 1/60 (2006.01)

(52) CPC특허분류
H03M 1/1265 (2013.01)
H03M 1/60 (2013.01)

(21) 출원번호 10-2021-0052590

(22) 출원일자 2021년04월22일

심사청구일자 2021년04월22일

(65) 공개번호 10-2022-0145691

(43) 공개일자 2022년10월31일

(56) 선행기술조사문헌

KR1020100059005 A*

KR1020130135334 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 제3공학관 C513 (신촌동, 연세대학교)

조원준

서울특별시 서대문구 연세로 50, 제3공학관 C421 (신촌동, 연세대학교)

김지영

서울특별시 서대문구 연세로 50, 제3공학관 C421 (신촌동, 연세대학교)

(74) 대리인

특허법인우인

전체 청구항 수 : 총 1 항

심사관 : 조준근

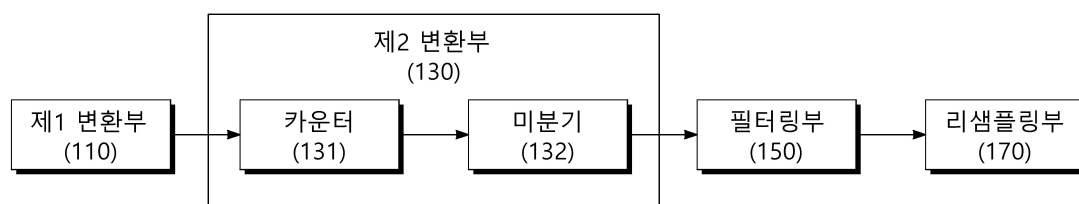
(54) 발명의 명칭 전압 제어 발진기 기반 아날로그 디지털 변환기

(57) 요약

본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기는, 전압 제어 발진기(voltage controlled oscillator, VCO) 기반 아날로그 디지털 변환기(analog to digital converter, ADC)에서, 리샘플하기 전에, 비균일 샘플링(non-uniform sampling, NUS) 신호를 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(low-pass filter, LPF)에 통과시켜 고 주파수(high frequency) 성분을 제거하여, SNR(signal to noise ratio)을 증가시킬 수 있다.

대표도

100



명세서

청구범위

청구항 1

입력되는 아날로그 전압을 아날로그 신호로 변환하여 출력하는 제1 변환부;

상기 제1 변환부로부터 출력되는 아날로그 신호를 디지털 신호로 변환하여 출력하는 제2 변환부;

상기 제2 변환부로부터 출력되는 디지털 신호의 고 주파수(high frequency) 성분을 제거하여 출력하는 필터링부; 및

상기 필터링부로부터 출력되는 디지털 신호를 리샘플링하는 리샘플링부;

를 포함하며,

상기 제2 변환부는, 아날로그 신호를 디지털 신호로 변환하는 카운터(counter); 및 일정 딜레이(delay)를 이용하여 펄스 측정 주기를 고정하고 상기 리샘플링부의 리샘플링 주기를 대체하는 미분기(differentiator);를 포함하고,

상기 필터링부는, 비균일 샘플링(non-uniform sampling, NUS) 신호인 디지털 신호를 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(low-pass filter, LPF)에 통과시켜 고 주파수(high frequency) 성분을 제거하며,

상기 디지털 로우-패스 필터(LPF)는, 이벤트 트리거(event trigger)로 동작하는 비균일 샘플링(NUS) 클럭을 받아 비균일 샘플링(NUS) 신호에서 고 주파수(high frequency) 성분을 제거하는 이동 평균 필터(moving average filter, MAF)를 포함하고,

상기 리샘플링부는, 비균일 샘플링(NUS) 신호인 디지털 신호를 균일 샘플링(uniform sampling, US) 신호인 디지털 신호로 리샘플링하는,

전압 제어 발진기 기반 아날로그 디지털 변환기.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

발명의 설명

기술 분야

[0001] 본 발명은 전압 제어 발진기 기반 아날로그 디지털 변환기에 관한 것으로서, 더욱 상세하게는 전압 제어 발진기(voltage controlled oscillator, VCO) 기반 아날로그 디지털 변환기(analog to digital converter, ADC)의 노이즈 폴딩(noise folding) 문제를 해결하는, 장치에 관한 것이다.

배경 기술

- [0002] 도 1은 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 일례를 나타내는 도면이다.
- [0003] 도 1을 참조하면, 전압 제어 발진기(voltage controlled oscillator, VCO) 기반 아날로그 디지털 변환기(analog to digital converter, ADC)의 일례는 준안전성(metastable) 문제를 완화해 샘플링 에러(sampling error)를 줄였지만, 여전히 노이즈 폴딩(noise folding)의 문제가 있다. 즉, 멀티-위상(multi-phase) 전압 제어 발진기(VCO)를 사용하고, 각각의 위상 정보를 활용해 준안전성(metastable) 문제를 완화하며, 이로 인해 샘플링 에러(sampling error)가 감소된다. 그러나, 샘플링 에러(sampling error)를 줄여 SNR(signal to noise ratio)을 높이긴 했지만, 여전히 샘플링(sampling) 시 노이즈 폴딩(noise folding)의 문제가 있다.
- [0004] 도 2는 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 다른 예를 나타내는 도면이다.
- [0005] 도 2를 참조하면, 전압 제어 발진기(VCO) 기반 아날로그 디지털 변환기(ADC)의 다른 예는 2개의 전압 제어 발진기(VCO)를 사용해 40dB의 노이즈 셰이핑(noise shaping)을 통해 SNR을 증가시켰지만, 여전히 노이즈 폴딩(noise folding)의 문제가 있다. 즉, 2개의 전압 제어 발진기(VCO)를 사용해 2차 노이즈 셰이핑 아날로그 디지털 변환기(second order noise shaped ADC)를 만들어 SNDR(signal to noise and distortion) 성능을 높인다. 그러나, 노이즈 셰이핑(noise shaping)을 하여도, 카운터(counter) 출력의 고 주파수(high frequency)가 완전히 없어지지 않기 때문에 노이즈 폴딩(noise folding)이 발생한다.
- [0006] 도 3은 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 문제점을 설명하기 위한 도면으로, 도 3의 (a)는 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 개략도를 나타내고, 도 3의 (b)는 도 3의 (a)에 도시한 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기에서 발생하는 노이즈 폴딩(noise folding)을 설명하기 위한 도면이다.
- [0007] 도 3의 (a)를 참조하면 종래의 전압 제어 발진기(VCO) 기반 아날로그 디지털 변환기(ADC)는 카운터(counter) 통과 직후 리샘플링을 하게 되고, 리샘플 주파수(resample frequency)가 충분히 크지 않을 경우 도 3의 (b)에 도시된 바와 같은 노이즈 폴딩(noise folding)이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명이 이루고자 하는 목적은, 전압 제어 발진기(voltage controlled oscillator, VCO) 기반 아날로그 디지털 변환기(analog to digital converter, ADC)에서, 리샘플하기 전에, 비균일 샘플링(non-uniform sampling, NUS) 신호를 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(low-pass filter, LPF)에 통과시켜 고 주파수(high frequency) 성분을 제거하는, 전압 제어 발진기 기반 아날로그 디지털 변환기를 제공하는 데 있다.
- [0009] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

- [0010] 상기의 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기는, 입력되는 아날로그 전압을 주파수 신호로 변환하여 출력하는 제1 변환부; 상기 제1 변환부로부터 출력되는 주파수 신호를 디지털 신호로 변환하여 출력하는 제2 변환부; 상기 제2 변환부로부터 출력되는 디지털 신호의 고 주파수(high frequency) 성분을 제거하여 출력하는 필터링부; 및 상기 필터링부로부터 출력되는 디지털 신호를 리샘플링하는 리샘플링부;를 포함한다.
- [0011] 여기서, 상기 제2 변환부는, 주파수 신호를 디지털 신호로 변환하는 카운터(counter); 및 상기 리샘플링부의 리샘플링 주기를 고정시키기 위해 일정 딜레이(delay)로 치환하는 미분기(differentiator);를 포함할 수 있다.
- [0012] 여기서, 상기 필터링부는, 비균일 샘플링(non-uniform sampling, NUS) 신호인 디지털 신호를 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(low-pass filter, LPF)에 통과시켜 고 주파수(high frequency) 성분을 제거할 수 있다.
- [0013] 여기서, 상기 디지털 로우-패스 필터(LPF)는, 이벤트 트리거(event trigger)로 동작하는 비균일 샘플링(NUS) 클럭을 받아 비균일 샘플링(NUS) 신호에서 고 주파수(high frequency) 성분을 제거하는 이동 평균 필터(moving

average filter, MAF)를 포함할 수 있다.

[0014] 여기서, 상기 리샘플링부는, 비균일 샘플링(NUS) 신호인 디지털 신호를 균일 샘플링(uniform sampling, US) 신호인 디지털 신호로 리샘플링할 수 있다.

발명의 효과

[0015] 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기에 의하면, 전압 제어 발진기(voltage controlled oscillator, VCO) 기반 아날로그 디지털 변환기(analog to digital converter, ADC)에서, 리샘플하기 전에, 비균일 샘플링(non-uniform sampling, NUS) 신호를 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(low-pass filter, LPF)에 통과시켜 고 주파수(high frequency) 성분을 제거하여, SNR(signal to noise ratio)을 증가시킬 수 있다.

[0016] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0017] 도 1은 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 일례를 나타내는 도면이다.

도 2는 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 다른 예를 나타내는 도면이다.

도 3은 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 문제점을 설명하기 위한 도면으로, 도 3의 (a)는 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기의 개략도를 나타내고, 도 3의 (b)는 도 3의 (a)에 도시한 종래의 전압 제어 발진기 기반 아날로그 디지털 변환기에서 발생하는 노이즈 폴딩(noise folding)을 설명하기 위한 도면이다.

도 4는 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기를 설명하기 위한 블록도이다.

도 5는 도 4에 도시한 전압 제어 발진기 기반 아날로그 디지털 변환기의 일례를 설명하기 위한 도면이다.

도 6은 본 발명의 바람직한 실시예에 따른 디지털 로우-패스 필터의 일례를 나타내는 도면이다.

도 7은 도 6에 도시한 디지털 로우-패스 필터의 신호 흐름(signal flow)을 나타내는 도면이다.

도 8은 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기의 성능을 설명하기 위한 도면으로, 도 8의 (a)는 도 3의 (a)에 도시한 종래의 구조의 전체 SNR을 나타내고, 도 8의 (b)는 도 5에 도시한 본 발명에 따른 구조의 전체 SNR을 나타낸다.

도 9는 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기의 성능을 설명하기 위한 도면으로, 도 9의 (a)는 도 3의 (a)에 도시한 종래의 구조의 in band SNR을 나타내고, 도 9의 (b)는 도 5에 도시한 본 발명에 따른 구조의 in band SNR을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0019] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0020] 본 명세서에서 "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수

있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

- [0021] 본 명세서에서 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0022] 본 명세서에서, "가진다", "가질 수 있다", "포함한다" 또는 "포함할 수 있다"등의 표현은 해당 특징(예: 수치, 기능, 동작, 또는 부품 등의 구성요소)의 존재를 가리키며, 추가적인 특징의 존재를 배제하지 않는다.
- [0023] 또한, 본 명세서에 기재된 '~부'라는 용어는 소프트웨어 또는 FPGA(field-programmable gate array) 또는 ASIC과 같은 하드웨어 구성요소를 의미하며, '~부'는 어떤 역할들을 수행한다. 그렇지만 '~부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로코드, 회로, 데이터 구조들 및 변수들을 포함한다. 구성요소들과 '~부'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부'들로 결합되거나 추가적인 구성요소들과 '~부'들로 더 분리될 수 있다.
- [0025] 이하에서 첨부한 도면을 참조하여 본 발명에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기의 바람직한 실시예에 대해 상세하게 설명한다.
- [0027] 먼저, 도 4 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기에 대하여 설명한다.
- [0028] 도 4는 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기를 설명하기 위한 블록도이고, 도 5는 도 4에 도시한 전압 제어 발진기 기반 아날로그 디지털 변환기의 일례를 설명하기 위한 도면이며, 도 6은 본 발명의 바람직한 실시예에 따른 디지털 로우-패스 필터의 일례를 나타내는 도면이고, 도 7은 도 6에 도시한 디지털 로우-패스 필터의 신호 흐름(signal flow)을 나타내는 도면이다.
- [0029] 도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기(이하 '변환기'라 한다)(100)는 전압 제어 발진기(voltage controlled oscillator, VCO) 기반 아날로그 디지털 변환기(analog to digital converter, ADC)에서, 리샘플링하기 전에, 비균일 샘플링(non-uniform sampling, NUS) 신호를 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(low-pass filter, LPF)에 통과시켜 고 주파수(high frequency) 성분을 제거하여, SNR(signal to noise ratio)을 증가시킬 수 있다.
- [0031] 이를 위해, 변환기(100)는 제1 변환부(110), 제2 변환부(130), 필터링부(150) 및 리샘플링부(170)를 포함할 수 있다.
- [0032] 제1 변환부(110)는 입력되는 아날로그 전압을 주파수 신호로 변환하여 출력할 수 있다.
- [0034] 제2 변환부(130)는 제1 변환부(110)로부터 출력되는 주파수 신호를 디지털 신호로 변환하여 출력할 수 있다.
- [0035] 즉, 제2 변환부(130)는 주파수 신호를 디지털 신호로 변환하는 카운터(counter)(131) 및 리샘플링부(170)의 리샘플링 주기를 고정시키기 위해 일정 딜레이(delay)로 치환하는 미분기(differentiator)(132)를 포함할 수 있다. 예컨대, 도 5에 도시된 바와 같이, 리샘플링 주기를 일정 딜레이 τ (analog delay)로 치환하여 펄스(pulse) 측정 주기를 고정할 수 있다.
- [0036] 필터링부(150)는 제2 변환부(130)로부터 출력되는 디지털 신호의 고 주파수(high frequency) 성분을 제거하여 출력할 수 있다.
- [0037] 즉, 필터링부(150)는 비균일 샘플링(NUS) 신호인 디지털 신호를 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(LPF)에 통과시켜 고 주파수(high frequency) 성분을 제거할 수 있다. 예컨대, 도 5에 도시된 바와 같이, 디지털 로우-패스 필터(LPF) 구조를 사용해 카운터(counter) 출력의 고 주파수(high frequency) 성분을 줄여 리샘플링 시 발생하는 노이즈 폴딩(noise folding) 문제를 완화할 수 있다.
- [0038] 여기서, 디지털 로우-패스 필터(LPF)는 이벤트 트리거(event trigger)로 동작하는 비균일 샘플링(NUS) 클럭을 받아 비균일 샘플링(NUS) 신호에서 고 주파수(high frequency) 성분을 제거하는 이동 평균 필터(moving average filter, MAF)를 포함할 수 있다. 예컨대, 도 6 및 도 7에 도시된 바와 같이, 이벤트 트리거(event

trigger)로 동작하는 비균일 샘플링(NUS) 클럭을 받아 비균일 샘플링(NUS) 데이터에 맞게 변환할 수 있다. 단일 이동 평균 필터(MAF)는 M개의 레지스터(register), 감산기(subtractor), 누산기(accumulator), 제산기(divider) 등으로 이루어질 수 있다. M개의 이벤트 윈도우(event window) 길이(length) 안의 비균일 샘플링(NUS) 디지털 값을 평균해 고 주파수 노이즈(high frequency noise)를 제거할 수 있다. 캐스케이드(cascade)를 통해 디지털 로우-패스 필터(LPF)의 성능을 향상할 수 있다. 비균일 샘플링(NUS) 동작이기 때문에 입력에 의존적인 주파수 특성을 가지게 된다.

- [0040] 리샘플링부(170)는 필터링부(150)로부터 출력되는 디지털 신호를 리샘플링할 수 있다.
- [0041] 즉, 리샘플링부(170)는 비균일 샘플링(NUS) 신호인 디지털 신호를 균일 샘플링(uniform sampling, US) 신호인 디지털 신호로 리샘플링할 수 있다.
- [0043] 이와 같이, 본 발명에 따른 전압 제어 발진기(VCO) 기반 아날로그 디지털 변환기(ADC)는 미분기(132) 통과 후에 리샘플링부(170)를 통해 리샘플링을 한다.
- [0044] - 펄스(pulse) 측정 주기의 고정 필요함 : 측정 주기가 변경되는 경우 카운팅(counting)되는 펄스(pulse)의 개수가 변경됨. 측정 가능한 펄스(pulse) 개수의 범위가 변경되면 신호의 표현력이 변해, SNR 값이 변경됨. 구조의 변화 없이 리샘플링 주파수(re-sample frequency)를 바꾸면, 측정 주기가 변함.
- [0045] - 구조의 변화 : 리샘플링 주기(1 unit sample delay) = τ (analog delay)로 치환하여 펄스(pulse) 측정 주기를 고정함.
- [0046] 그리고, 본 발명에 따른 전압 제어 발진기(VCO) 기반 아날로그 디지털 변환기(ADC)는 비균일 샘플링(NUS) 클럭으로 동작되는 디지털 로우-패스 필터(LPF)를 적용한다.
- [0047] - 간단한 디지털 로우-패스 필터(LPF) 구조를 사용해 카운터(counter) 출력의 고 주파수(high frequency) 성분을 줄여 리샘플링 시 발생하는 노이즈 폴딩(noise folding) 문제를 완화함.
- [0050] 그러면, 도 8 및 도 9를 참조하여 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기의 성능에 대하여 설명한다.
- [0051] 도 8은 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기의 성능을 설명하기 위한 도면으로, 도 8의 (a)는 도 3의 (a)에 도시한 종래의 구조의 전체 SNR을 나타내고, 도 8의 (b)는 도 5에 도시한 본 발명에 따른 구조의 전체 SNR을 나타낸다.
- [0052] 도 8을 참조하면, 본 발명에 따른 구조는 종래의 구조에서 남아있던 고 주파수(high frequency) 성분을 더욱 줄여 리샘플링(400 MHz) 시 발생하는 노이즈 폴딩(noise folding)을 방지할 수 있다.
- [0053] 그리고, 본 발명에 따른 구조는 종래의 구조 대비 약 7 dB의 전체 SNR이 증가(39.67 dB(종래의 구조) → 46.61 dB(본 발명에 따른 구조))하게 된다.
- [0055] 도 9는 본 발명의 바람직한 실시예에 따른 전압 제어 발진기 기반 아날로그 디지털 변환기의 성능을 설명하기 위한 도면으로, 도 9의 (a)는 도 3의 (a)에 도시한 종래의 구조의 in band SNR을 나타내고, 도 9의 (b)는 도 5에 도시한 본 발명에 따른 구조의 in band SNR을 나타낸다.
- [0056] 도 9를 참조하면, 본 발명에 따른 구조는 낮은 리샘플링 레이트(re-sample rate)로 샘플링(400 MHz)로 진행이 가능하여 파워(power)를 절약(saving)할 수 있다.
- [0057] 그리고, 본 발명에 따른 구조는 종래의 구조 대비 약 4.5 dB의 in band SNR이 증가(45.15 dB(종래의 구조) → 49.71 dB(본 발명에 따른 구조))하게 된다.
- [0060] 이상에서 설명한 본 발명의 실시예를 구성하는 모든 구성요소들이 하나로 결합하거나 결합하여 동작하는 것으로 기재되어 있다고 해서, 본 발명이 반드시 이러한 실시예에 한정되는 것은 아니다. 즉, 본 발명의 목적 범위 안에서라면, 그 모든 구성요소들이 하나 이상으로 선택적으로 결합하여 동작할 수도 있다. 또한, 그 모든 구성요소들이 각각 하나의 독립적인 하드웨어로 구현될 수 있지만, 각 구성요소들의 그 일부 또는 전부가 선택적으로 조합되어 하나 또는 복수개의 하드웨어에서 조합된 일부 또는 전부의 기능을 수행하는 프로그램 모듈을 갖는 컴퓨터 프로그램으로서 구현될 수도 있다. 또한, 이와 같은 컴퓨터 프로그램은 USB 메모리, CD 디스크, 플래시 메모리 등과 같은 컴퓨터가 읽을 수 있는 기록 매체(Computer Readable Media)에 저장되어 컴퓨터에 의하여 읽혀지고 실행됨으로써, 본 발명의 실시예를 구현할 수 있다. 컴퓨터 프로그램의 기록 매체로서는 자기기록매체, 광

기록매체 등이 포함될 수 있다.

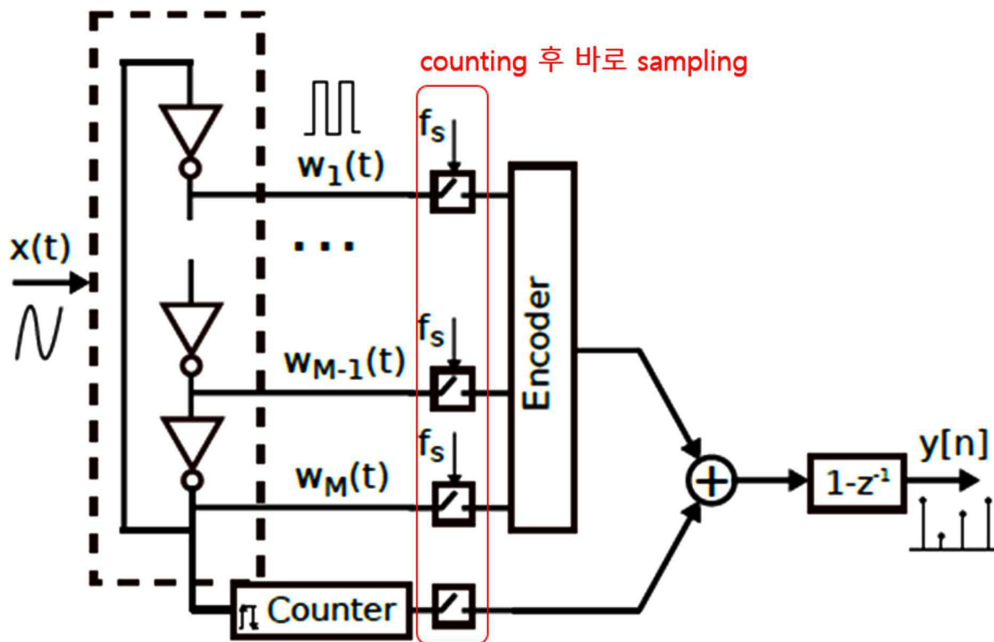
[0061] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에
서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 다양한 수정, 변경 및
치환이 가능할 것이다. 따라서, 본 발명에 개시된 실시예 및 첨부된 도면들은 본 발명의 기술 사상을 한정하기
위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예 및 첨부된 도면에 의하여 본 발명의 기술 사상의 범위가
한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범
위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

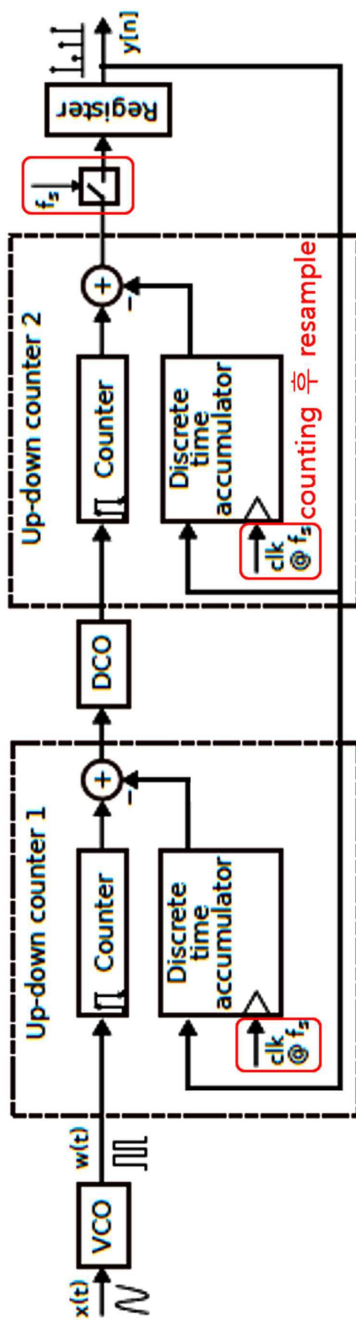
[0062] 100 : 변환기,
110 : 제1 변환부,
130 : 제2 변환부,
150 : 필터링부,
170 : 리샘플링부

도면

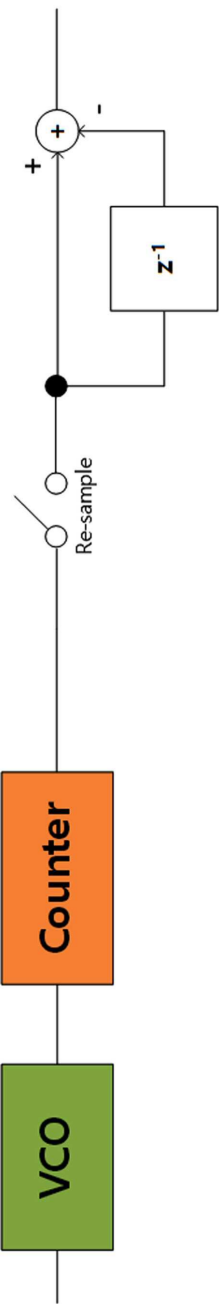
도면1



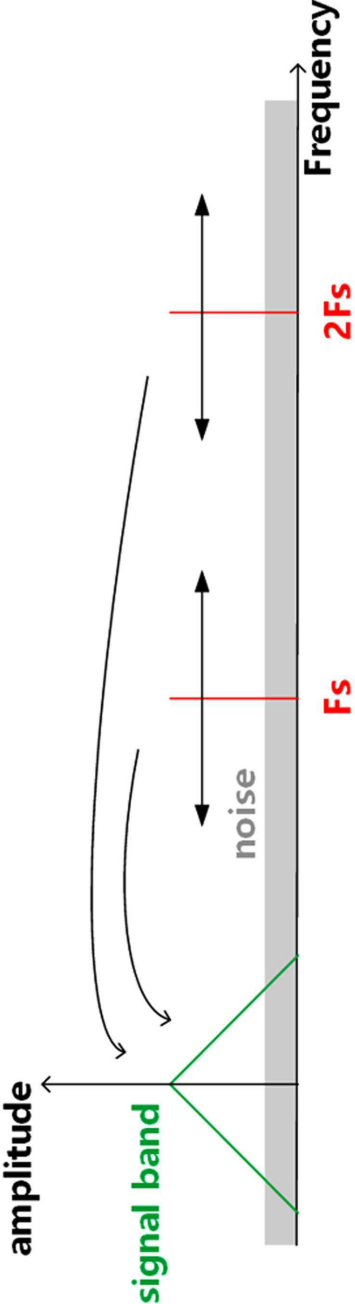
도면2



도면3



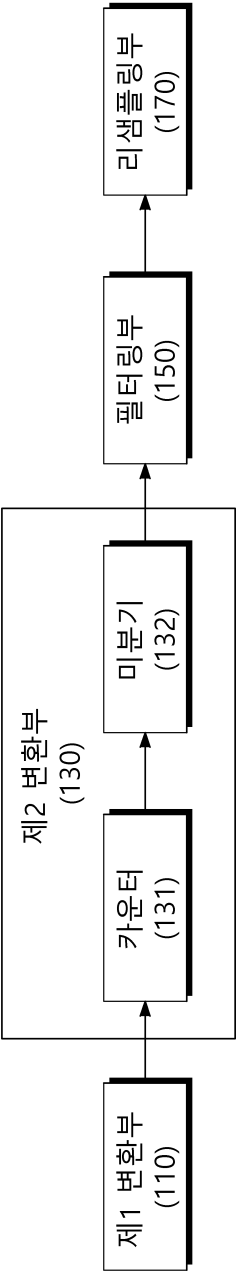
(a)



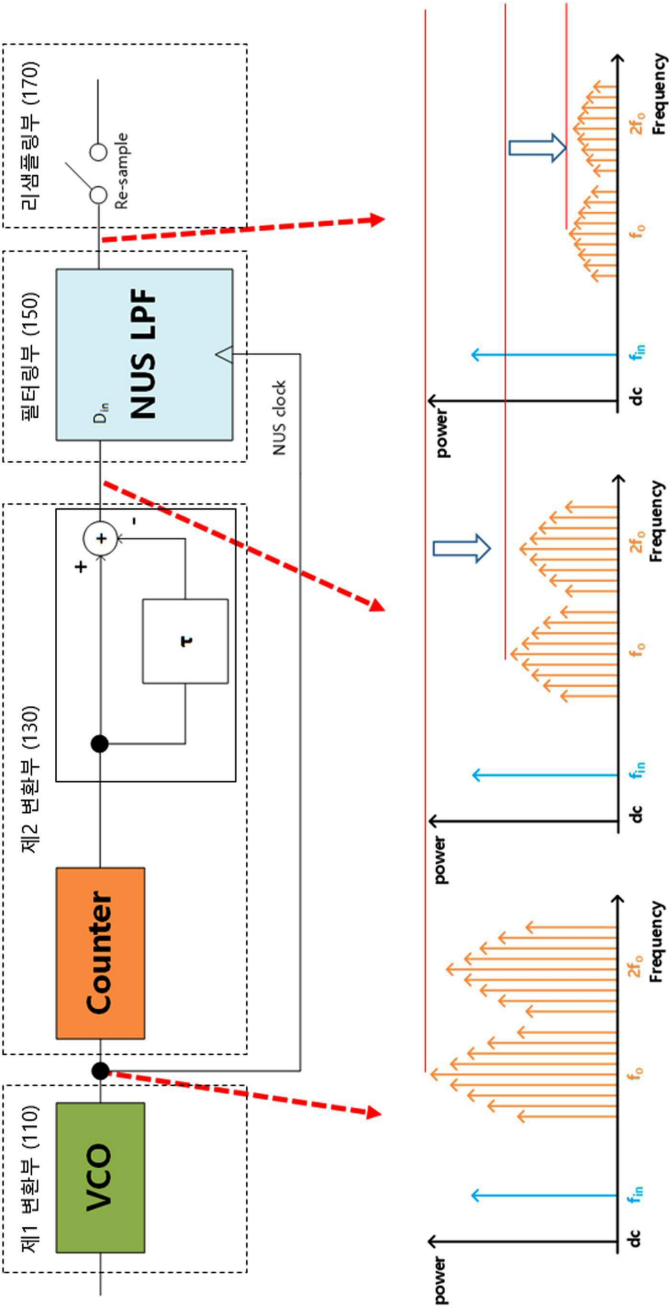
(b)

도면4

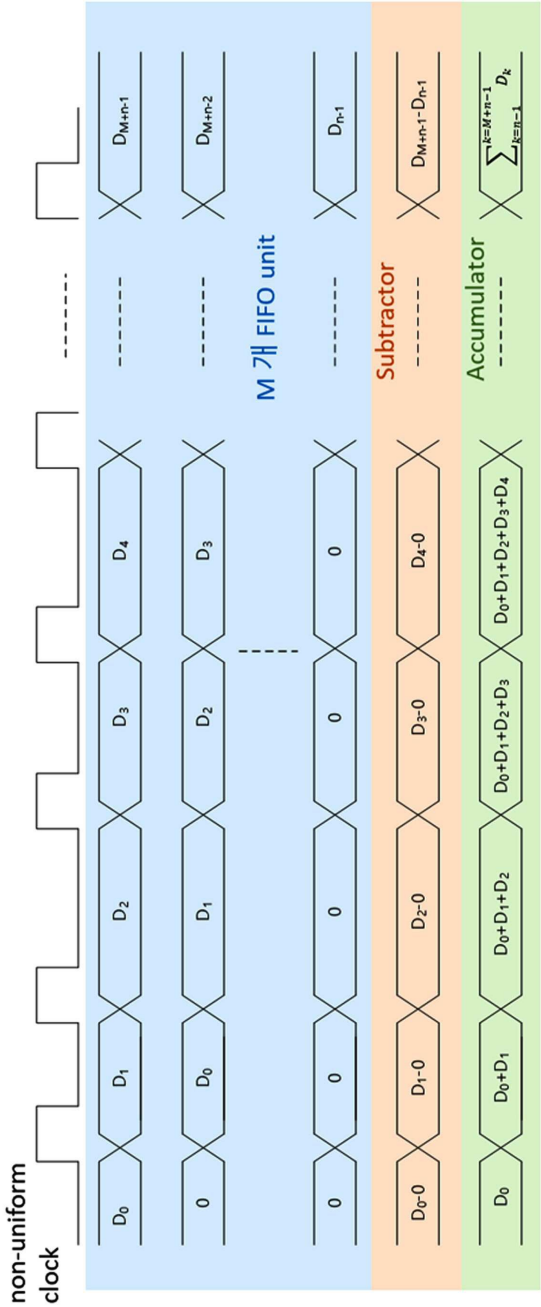
100



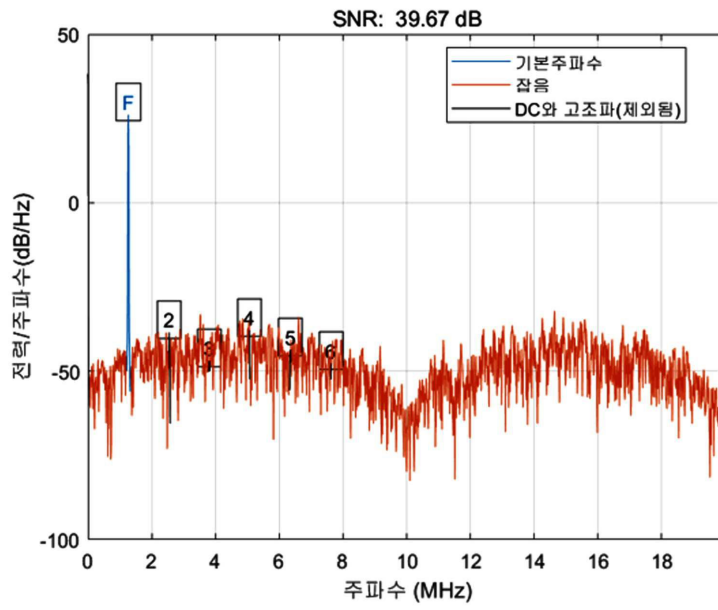
도면5



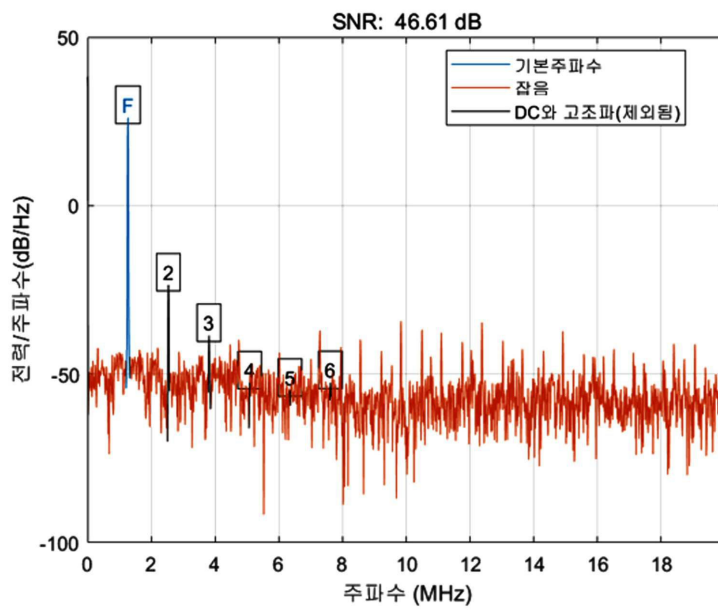
도면7



도면8

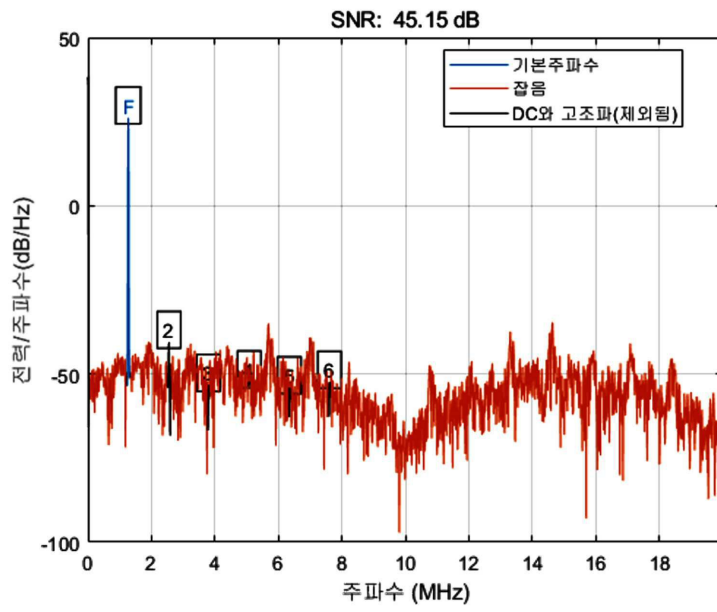


(a)

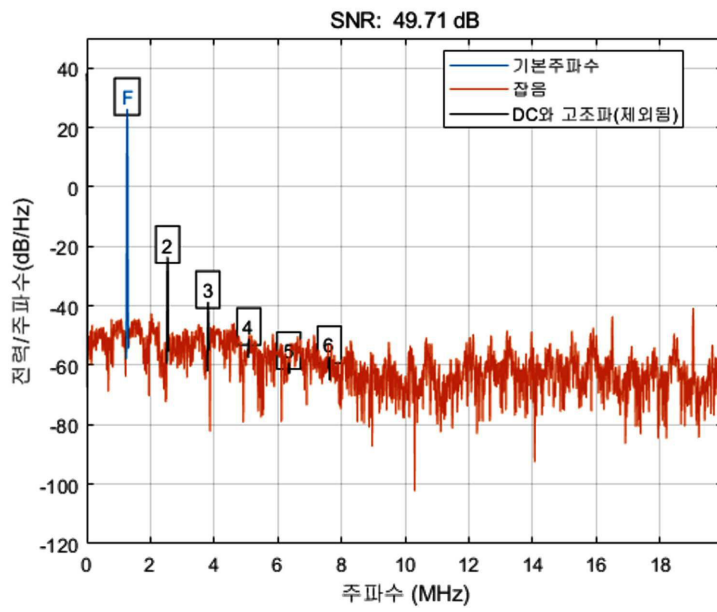


(b)

도면9



(a)



(b)