



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월08일
(11) 등록번호 10-2508440
(24) 등록일자 2023년03월06일

(51) 국제특허분류(Int. Cl.)
G11C 15/00 (2021.01) G11C 11/22 (2006.01)
(52) CPC특허분류
G11C 15/00 (2013.01)
G11C 11/221 (2013.01)
(21) 출원번호 10-2021-0061722
(22) 출원일자 2021년05월13일
심사청구일자 2021년05월13일
(65) 공개번호 10-2022-0154334
(43) 공개일자 2022년11월22일
(56) 선행기술조사문헌
X. Yin et al., 'An Ultra-Dense 2FeFET TCAM Design Based on a Multi-Domain FeFET Model', IEEE Transactions on Circuits and Systems II, Vol:66, Issue:9, Sep 2019, 1577-1581 (2019.09.31.) 1부.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513 (신촌동)
오태우
서울특별시 서대문구 연세로 50, 연세대학교 신촌캠퍼스 제3공학관 7층 712호
(74) 대리인
특허법인(유한)아이시스

전체 청구항 수 : 총 11 항

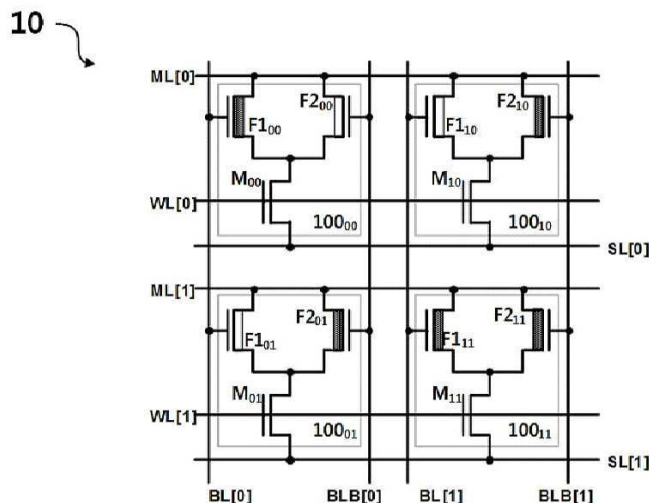
심사관 : 윤석채

(54) 발명의 명칭 강유전체 트랜지스터 기반 CAM 및 구동 방법

(57) 요약

본 실시예에 의한 CAM(Content Addressable Memory)은: 매치 라인(match line)과, 서치 라인(search line)과, 비트 라인 및 매치 라인, 서치 라인 및 비트 라인에 각각 연결되어 어레이로 배열된 복수의 단위 CAM(Content Addressable Memory) 셀들을 포함하며, 단위 CAM 셀들 각각은: 일 전극이 매치 라인에 연결되어 데이터를 저장하는 제1 강유전체 메모리 트랜지스터 및 일 전극이 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 포함하며, 강유전체 트랜지스터의 타 전극과 서치 라인 액세스 트랜지스터의 타 전극은 서로 연결된다.

대표도 - 도1



(52) CPC특허분류

G11C 11/2255 (2013.01)

G11C 11/2275 (2013.01)

(72) 발명자

임세희

서울특별시 서대문구 연세로 50, 연세대학교 신촌
캠퍼스 제3공학관 7층 712호

김세진

서울특별시 서대문구 연세로 50, 연세대학교 신촌
캠퍼스 제3공학관 7층 712호

고동한

서울특별시 서대문구 연세로 50, 연세대학교 신촌
캠퍼스 제3공학관 7층 712호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130292
과제번호	2019M3F3A1A02071969
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	혁신성장연계지능형반도체선도기술개발(R&D)
연구과제명	전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

매치 라인(match line);

서치 라인(search line);

비트 라인;

반전 비트 라인(inverted bit line); 및

상기 매치 라인, 상기 서치 라인 및 상기 비트 라인에 각각 연결되어 어레이로 배열된 복수의 단위 CAM(Content Addressable Memory) 셀들을 포함하며, 상기 단위 CAM 셀들 각각은 :

일 전극이 상기 매치 라인에 연결되어 데이터를 저장하는 제1 강유전체 메모리 트랜지스터,

일 전극이 상기 매치 라인에 연결되어 데이터를 저장하는 상기 제1 강유전체 메모리 트랜지스터와 상보적으로 상기 데이터를 저장하는 제2 강유전체 메모리 트랜지스터, 및

일 전극이 상기 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 포함하며,

상기 제1 및 제2 강유전체 메모리 트랜지스터의 타 전극과 상기 서치 라인 액세스 트랜지스터의 타 전극은 서로 연결되고,

상기 단위 CAM 셀들 각각은 :

각각의 서치 라인 액세스 트랜지스터가 도통되어 데이터 쓰기 및 데이터 검색이 수행되고,

데이터 쓰기가 이루어지지 않는 CAM 셀들에는 상기 서치 라인 액세스 트랜지스터가 차단되는 CAM(Content Addressable Memory).

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 CAM은,

상기 비트 라인 및 상기 반전 비트라인으로 쓰기 전압을 제공하여 상기 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터에 데이터를 쓰되(write),

상기 쓰기 전압은 상기 제1 및 제2 강유전체 메모리 트랜지스터의 임계 전압(critical voltage) 보다 큰 전압인 CAM.

청구항 6

제1항에 있어서,

상기 CAM은,

상기 비트 라인 및 상기 반전 비트라인으로 검색 전압을 제공하여 상기 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터에 저장된 데이터를 읽되(read),

상기 검색 전압은 상기 제1 및 제2 강유전체 메모리 트랜지스터의 문턱 전압(threshold voltage) 보다 크되 상기 제1 및 제2 강유전체 메모리 트랜지스터의 임계 전압(critical voltage) 보다 작은 전압 전압인 CAM.

청구항 7

제1항에 있어서,

동일한 상기 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 저장된 데이터와,

상기 동일한 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 각각 연결된 비트 라인으로 제공된 데이터가 일치할 때,

상기 동일한 매치 라인의 전압은 변화하지 않는 CAM.

청구항 8

제1항에 있어서,

동일한 상기 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 저장된 데이터와,

상기 동일한 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 각각 연결된 비트 라인으로 제공된 데이터가 일치하지 않을 때,

상기 동일한 매치 라인의 전압이 변화하는 CAM.

청구항 9

제1항에 있어서,

상기 제1 강유전체 메모리 트랜지스터와 상기 제2 강유전체 메모리 트랜지스터는 높은 저항 상태로 쓰기되어 무관 비트(don't care bit)를 저장하고,

상기 CAM은 터너리 CAM(ternary CAM)으로 동작하는 CAM.

청구항 10

CAM(Content Addressable Memory) 셀의 데이터 쓰기 방법으로, 상기 쓰기 방법은:

목적하는 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 도통시키는 단계와,

상기 목적하는 서치 라인에 제1 서치 라인 전압을 제공하여 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 일 전극에 상기 제1 서치 라인 전압을 제공하는 단계와,

상기 제1 강유전체 메모리 트랜지스터의 제어 전극에 제1 제어 전압 및 상기 제2 강유전체 메모리 트랜지스터의 제어 전극에 제2 제어 전압을 제공하여 정보를 저장하는 단계를 포함하고,

상기 목적하는 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 도통시키는 단계에서, 데이터 기록을 목적하지 않는 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 차단시키는 단계를 더 수행하는 CAM 데이터 쓰기 방법.

청구항 11

제10항에 있어서,

상기 제1 서치 라인 전압은 기준 전압이고,

상기 제1 제어 전압은 상기 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 임계 전압(critical voltage) 이상의 전압이고, 상기 제2 제어 전압은 기준 전압이며,

상기 제1 제어 전압이 제공된 상기 제1 강유전체 메모리 트랜지스터는 낮은 저항 상태로 프로그램되는 CAM 데이터 쓰기 방법.

청구항 12

제10항에 있어서,

상기 제1 서치 라인 전압은 상기 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 임계 전압(critical voltage) 이상의 전압이고,

상기 제1 제어 전압은 기준 전압이고, 상기 제2 제어 전압은 임계 전압 이상의 전압이며,

상기 제1 제어 전압이 제공된 상기 제1 강유전체 메모리 트랜지스터는 높은 저항 상태로 프로그램 되는 CAM 데이터 쓰기 방법.

청구항 13

제12항에 있어서,

상기 제2 제어 전압은 기준 전압이며,

상기 제1 제어 전압과 제2 제어 전압이 제공된 상기 제1 및 제2 강유전체 메모리 트랜지스터는 모두 높은 저항 상태로 프로그램되어 무관 비트(Don't care bit)를 저장하는 CAM 데이터 쓰기 방법.

청구항 14

제11항 및 제12항 중 어느 한 항에 있어서,

상기 제2 강유전체 메모리 트랜지스터는 상기 제1 강유전체 메모리 트랜지스터와 상보적인 상태로 프로그램되는 CAM 데이터 쓰기 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 기술은 강유전체 트랜지스터 기반 CAM 및 그 구동 방법과 관련된다.

배경 기술

[0002] CAM(Content Addressable Memory)은 검색 애플리케이션에서 사용되는 메모리의 일종으로 고속 검색이 가능하다. 연관 메모리(associative memory)라고도 하며 입력 검색 데이터를 저장된 데이터 테이블과 비교하여 일치하는 데이터의 주소를 반환하는 것이 일반적이다.

[0003] CAM은 정보 기반 및 라우팅 테이블 작업의 전달 속도를 높이는 네트워크 장치, IP 주소 룩업(IP address lookup) 장치, 캐시 메모리 및 비디오 프로세싱 등에서 널리 사용된다.

발명의 내용

해결하려는 과제

[0004] 일반적인 CAM은 데이터 0 과 1만을 검색할 수 있는 바이너리 CAM과 0, 1 및 무관(don't care) 비트를 포함하여 검색 및 저장할 수 있는 터너리 CAM(ternary CAM)을 포함한다.

[0005] 종래의 CAM은 데이터를 상보적으로 저장하는 두 개의 인버터 래치, 패스트랜지스터 구조 및 매치 라인 패스 트

랜지스터의 구조를 포함하는 16개의 CMOS 트랜지스터로 구현되었다.

[0006] 종래의 CMOS CAM에서는 서치 라인에 선택적으로 액세스 할 수 없었으며, 한 비트의 데이터를 저장하거나 검색할 수 있는 단위 CAM 셀은 16개의 트랜지스터가 필요하여 면적의 측면에서 비경제적이었었다. 본 기술로 해결하고자 하는 과제 중 하나는 상기한 종래 기술의 문제점을 해소하기 위한 것으로, 면적의 측면에서 경제적인 CAM을 제공하기 위한 것이다.

과제의 해결 수단

[0007] 본 실시예에 의한 CAM(Content Addressable Memory)은: 매치 라인(match line)과, 서치 라인(search line)과, 비트 라인 및 매치 라인, 서치 라인 및 비트 라인에 각각 연결되어 어레이로 배열된 복수의 단위 CAM(Content Addressable Memory) 셀들을 포함하며, 단위 CAM 셀들 각각은: 일 전극이 매치 라인에 연결되어 데이터를 저장하는 제1 강유전체 메모리 트랜지스터 및 일 전극이 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 포함하며, 강유전체 트랜지스터의 타 전극과 서치 라인 액세스 트랜지스터의 타 전극은 서로 연결된다.

[0008] 본 실시예의 CAM의 어느 한 측면에 의하면, CAM은, 반전 비트 라인(inverted bit line)을 더 포함하고, 단위 CAM 셀은 제1 강유전체 메모리 트랜지스터와 상보적인 정보를 저장하는 제2 강유전체 메모리 트랜지스터를 더 포함한다.

[0009] 본 실시예의 CAM의 어느 한 측면에 의하면, 제2 강유전체 메모리 트랜지스터는, 일 전극이 매치 라인에 연결되고, 타 전극이 서치 라인 액세스 트랜지스터의 타 전극에 연결되며, 제어 전극이 반전 비트 라인에 연결된다.

[0010] 본 실시예의 CAM의 어느 한 측면에 의하면, CAM의 단위 CAM 셀들 각각은 :각각의 서치 라인 액세스 트랜지스터가 도통되어 데이터 쓰기 및 데이터 검색이 수행된다.

[0011] 본 실시예의 CAM의 어느 한 측면에 의하면, CAM은, 비트 라인 및 반전 비트라인으로 쓰기 전압을 제공하여 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터에 데이터를 쓰되(write), 쓰기 전압은 제1 및 제2 강유전체 트랜지스터의 임계 전압(critical voltage) 보다 큰 전압이다.

[0012] 본 실시예의 CAM의 어느 한 측면에 의하면, CAM은, 비트 라인 및 반전 비트라인으로 검색 전압을 제공하여 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터에 저장된 데이터를 읽되(read), 검색 전압은 제1 및 제2 강유전체 트랜지스터의 문턱 전압(threshold voltage) 보다 크되 제1 및 제2 강유전체 트랜지스터의 임계 전압(critical voltage) 보다 작은 전압 전압이다.

[0013] 본 실시예의 CAM의 어느 한 측면에 의하면, 동일한 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 저장된 데이터와, 동일한 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 각각 연결된 비트 라인으로 제공된 데이터가 일치할 때, 동일한 매치 라인의 전압은 변화하지 않는다.

[0014] 본 실시예의 CAM의 어느 한 측면에 의하면, 동일한 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 저장된 데이터와, 동일한 매치 라인에 연결된 제1 강유전체 메모리 트랜지스터들에 각각 연결된 비트 라인으로 제공된 데이터가 일치하지 않을 때, 매치 라인의 전압이 변화한다.

[0015] 본 실시예의 CAM의 어느 한 측면에 의하면, 제1 강유전체 트랜지스터와 제2 강유전체 트랜지스터는 높은 저항 상태로 쓰기되어 무관 비트(don't care bit)를 저장하고, CAM은 터너리 CAM(ternary CAM)으로 동작한다.

[0016] 본 실시예의 CAM(Content Addressable Memory) 셀의 데이터 쓰기 방법은: 목적하는 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 도통시키는 단계와, 목적하는 서치 라인에 제1 서치 라인 전압을 제공하여 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 일 전극에 제1 서치 라인 전압을 제공하는 단계와, 제1 강유전체 메모리 트랜지스터의 제어 전극에 제1 제어 전압 및 제2 강유전체 메모리 트랜지스터의 제어 전극에 제2 전압을 제공하여 정보를 저장하는 단계를 포함한다.

[0017] 본 실시예의 CAM 셀의 데이터 쓰기 방법의 어느 한 측면에 의하면, 제1 서치 라인 전압은 기준 전압이고, 제1 제어 전압은 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 임계 전압(critical voltage) 이상의 전압이고, 제2 제어 전압은 기준 전압이며, 제1 제어 전압이 제공된 제1 강유전체 메모리 트랜지스터는 낮은 저항 상태로 프로그램된다.

[0018] 본 실시예의 CAM 셀의 데이터 쓰기 방법의 어느 한 측면에 의하면, 제1 서치 라인 전압은 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 임계 전압(critical voltage) 이상의 전압이고, 제1 제어 전압은 기준 전압이고, 제2 제어 전압은 임계 전압 이상의 전압이며, 제1 제어 전압이 제공된 제1 강유전체 메모리

리 트랜지스터는 높은 저항 상태로 프로그램된다.

- [0019] 본 실시예의 CAM 셀의 데이터 쓰기 방법의 어느 한 측면에 의하면, 제2 제어 전압은 기준 전압이며, 제1 전압과 제2 제어 전압이 제공된 제1 및 제2 강유전체 메모리 트랜지스터는 모두 높은 저항 상태로 프로그램되어 무관 비트(Don't care bit)를 저장한다.
- [0020] 본 실시예의 CAM 셀의 데이터 쓰기 방법의 어느 한 측면에 의하면, 제2 강유전체 메모리 트랜지스터는 제1 강유전체 메모리 트랜지스터와 상보적인 상태로 프로그램된다.
- [0021] 본 실시예의 CAM(Content Addressable Memory) 셀의 데이터 검색 방법은: 매치 라인을 구동 전압으로 프리 차지(pre-charge) 하는 단계와, 서치 라인에 기준 전압을 제공하고, 서치 라인 역세스 트랜지스터를 도통시켜 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 일 전극에 기준 전압을 제공하는 단계와, 비트 라인에 검색 데이터를 제공하는 단계 및 매치 라인의 전압 변화를 검출하는 단계를 포함한다.
- [0022] 본 실시예의 CAM(Content Addressable Memory) 셀의 데이터 검색 방법의 어느 한 측면에 의하면, 비트 라인에 검색 데이터를 제공하는 단계는, 반전 비트 라인에 검색 데이터의 비트 와이즈 반전 데이터(bit-wise inverted data)를 제공하는 단계를 포함한다.
- [0023] 본 실시예의 CAM(Content Addressable Memory) 셀의 데이터 검색 방법의 어느 한 측면에 의하면, 검색 데이터를 제공하는 단계는, 검색 데이터 및 비트 와이즈 반전 데이터에 상응하는 전압을 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 제어 전극에 제공하여 수행하되, 전압은 기준 전압 및 낮은 저항 상태의 강유전체 메모리 트랜지스터의 문턱 전압 이상이고, 높은 저항 상태의 강유전체 메모리 트랜지스터의 문턱 전압 이하 전압을 포함한다.

발명의 효과

- [0024] 본 실시예에 의하면 서치 라인에 연결된 서치 라인 역세스 트랜지스터를 두어 선택적으로 데이터 검색 및 쓰기를 수행할 수 있다는 장점이 제공되고, 두 개의 강 유전체 메모리 트랜지스터와 서치 라인 역세스 트랜지스터를 포함하여 3개의 트랜지스터로 구성되므로 면적의 측면에서 경제적이라는 장점이 제공된다.

도면의 간단한 설명

- [0025] 도 1은 본 실시예에 의한 CAM의 개요를 도시한 개요도이다.
- 도 2는 본 실시예의 CAM 셀의 데이터 쓰기 방법을 개요적으로 도시한 순서도이다.
- 도 3은 본 실시예에 의한 CAM의 데이터 검색 방법을 개요적으로 도시한 순서도이다.
- 도 4는 강유전체 메모리 트랜지스터의 구조를 개요적으로 도시한 단면도이다.
- 도 5(a) 및 도 5(b)는 강유전체 메모리 트랜지스터(F) 동작을 설명하기 위한 도면이고, 도 5(c)는 낮은 저항 상태(LRS), 높은 저항 상태(HRS)에 있는 강유전체 메모리 트랜지스터의 전류 전압 관계를 각각 개요적으로 도시한 도면이다.
- 도 6은 본 실시예에 의한 CAM에 데이터를 쓰는 방법을 설명하기 위한 개요적 타이밍 도이다.
- 도 7은 도 6의 스텝 1(step 1)에서의 CAM 셀들의 개요를 도시한 도면이다.
- 도 8은 도 6의 스텝 2(step 2)에서의 CAM 셀들의 개요를 도시한 도면이다.
- 도 9는 본 실시예에 의한 CAM(10)에 기록된 데이터를 탐색하는 방법을 설명하기 위한 개요적 타이밍 도이다.
- 도 10은 도 9로 예시된 탐색 과정을 설명하기 위한 CAM 셀들의 개요를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하에서는 첨부된 도면들을 참조하여 본 실시예를 설명한다. 도 1은 본 실시예에 의한 CAM(Content Addressable Memory, 10)의 개요를 도시한 개요도이다. 도 1을 참조하면, 본 실시예에 의한 CAM(Content Addressable Memory, 10)은: 매치 라인(match line, ML[0], ML[1])과, 서치 라인(search line, SL[0], SL[1])과, 비트 라인(BL[0], BL[1]) 및 매치 라인(ML[0], ML[1]), 서치 라인(SL[0], SL[1]) 및 비트 라인(BL[0], BL[1])에 각각 연결되어 어레이로 배열된 복수의 단위 CAM 셀들(100₀₀, 100₁₀, 100₀₁, 100₁₁)을 포함하며, 단위

CAM 셀들(100_{00} , 100_{10} , 100_{01} , 100_{11}) 각각은: 일 전극이 매치 라인에 연결되어 데이터를 저장하는 제1 강유전체 메모리 트랜지스터($F1_{00}$, $F1_{10}$, $F1_{11}$) 및 일 전극이 서치 라인에 연결된 서치 라인 액세스 트랜지스터(M_{00} , M_{10} , M_{11})를 포함하며, 강유전체 메모리 트랜지스터($F1_{00}$, $F1_{10}$, $F1_{11}$)의 타 전극과 서치 라인 액세스 트랜지스터(M_{00} , M_{10} , M_{11})의 타 전극은 서로 연결된다.

[0027] 도 1로 예시된 실시예에서, 강 유전체 메모리 트랜지스터들($F1_{00}$, $F1_{10}$, $F1_{11}$)과 서치 라인 액세스 트랜지스터들(M_{00} , M_{10} , M_{11})은 모두 N 타입 트랜지스터로 도시되었다. 이는 용이한 이해를 위한 것으로, 본 기술이 속한 기술 분야에서 통상의 기술 지식을 가지는 자는 비트 라인, 서치 라인, 매치 라인에 인가되는 전압을 변경하고, P 타입 트랜지스터로 치환하여 실시할 수 있다.

[0028] 도 2는 본 실시예의 CAM(Content Addressable Memory) 셀의 데이터 쓰기 방법을 개요적으로 도시한 순서도이다. 도 2를 참조하면, 본 실시예의 CAM(Content Addressable Memory) 셀의 데이터 쓰기 방법은: 목적하는 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 도통시키는 단계(S100)와, 목적하는 서치 라인에 제1 서치 라인 전압을 제공하여 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 일 전극에 제1 서치 라인 전압을 제공하는 단계(S200)와, 제1 강유전체 메모리 트랜지스터의 제어 전극에 제1 제어 전압 및 제2 강유전체 메모리 트랜지스터의 제어 전극에 제2 전압을 제공하여 정보를 저장하는 단계(S300)를 포함한다.

[0029] 도 3은 본 실시예에 의한 CAM의 데이터 검색 방법을 개요적으로 도시한 순서도이다. 도 3을 참조하면, 본 실시예에 의한 CAM 셀의 데이터 검색 방법은: 매치 라인을 구동 전압으로 프리 차지(pre-charge) 하는 단계(S110)와, 서치 라인에 기준 전압을 제공하고, 서치 라인 액세스 트랜지스터를 도통시켜 제1 강유전체 메모리 트랜지스터 및 제2 강유전체 메모리 트랜지스터의 일 전극에 기준 전압을 제공하는 단계(S210)와, 비트 라인에 검색 데이터를 제공하는 단계(S310) 및 매치 라인의 전압 변화를 검출하는 단계(S410)를 포함한다.

[0030] 도 4는 강유전체 메모리 트랜지스터(F)의 구조를 개요적으로 도시한 단면도이다. 도 1 및 도 4를 참조하면, 강 유전체 메모리 트랜지스터(F)는 소스(source), 드레인(drain) 및 게이트 스택(gate stack)을 포함한다. 게이트 스택(gate stack)은 순차적으로 적층된 게이트 산화물(gate oxide)과 강유전체층(ferroelectric layer) 및 게이트 전극(gate electrode)을 포함할 수 있다. 다만, 도 4로 예시된 강유전체 메모리 트랜지스터(F)는 플래너 트랜지스터(planar transistor)를 예시한 것이며, 본 실시예에 의한 강유전체 메모리 트랜지스터(F)는 플래너 트랜지스터 구조 이외 다른 트랜지스터 구조를 가질 수 있다.

[0031] 강유전체층(ferroelectric layer)은 강유전체 물질로 형성될 수 있다. 강유전체 물질은 외부에서 전기장이 인가되지 않아도 자발적으로 분극되어 다이폴(dipole)이 형성되는 물질이다. 강유전체 물질에 임계 전압(critical voltage) 이상의 전압이 제공되면 강유전체 층(ferroelectric layer)에 형성된 다이폴들은 전기장 방향에 따라 정렬(aligned)된다. 또한, 강유전체 물질에 임계 전압(critical voltage) 이상의 반대 전압이 제공되면 강유전체 층(ferroelectric layer)에 형성된 다이폴들은 반대 방향으로 형성되는 전기장 방향에 따라 정렬(aligned) 된다.

[0032] 도 5(a) 및 도 5(b)는 강유전체 메모리 트랜지스터(F) 동작을 설명하기 위한 도면이고, 도 5(c)는 낮은 저항 상태(LRS), 높은 저항 상태(HRS)에 있는 강유전체 메모리 트랜지스터의 전류 전압 관계를 각각 개요적으로 도시한 도면이다. 도 5(a) 및 도 5(b)에서 강유전체 층(ferroelectric layer)내의 다이폴들의 분극 방향은 화살표로 도시되었으며, 화살표의 머리가 다이폴의 +극이고 화살표의 꼬리는 다이폴의 -극이다.

[0033] 도 5(a)를 참조하면, 강유전체 메모리 트랜지스터(F)의 소스 전극(source) 또는 드레인 전극(drain) 중 어느 하나에 접지 전압(GND)을 인가하고, 다른 하나는 전기적으로 플로팅(floating) 상태를 유지한다. 게이트 전극(gate)에 임계 전압(critical voltage) 보다 크거나 같은 전압을 인가하면 강유전체 층(ferroelectric layer)에 형성된 다이폴들이 전기장 방향에 따라 정렬(aligned)된다.

[0034] 다이폴들의 + 극들이 기판(substrate) 방향을 향하는 것은 트랜지스터의 문턱 전압(threshold voltage)이 감소한 것과 유사한 효과를 가져온다. 따라서, 충분히 많은 수의 다이폴들이 + 극들이 기판을 향하여 전기장을 인가하는 경우에는 도 5(c)로 예시된 것과 같이 게이트 전극을 통하여 전압을 제공하기 이전에도 소스(source)와 드레인(drain) 사이에는 채널(channel)이 형성된다. 이러한 상태를 낮은 저항 상태(LRS, low resistance state)라고 한다. 낮은 저항 상태(LRS)에서는 게이트 전극에 전압을 인가하지 않거나 낮은 전압이 제공되더라도 드레인(drain)과 소스(source) 사이에 전류(I_{ON})가 흐를 수 있다.

[0035] 도 5(b)를 참조하면, 강유전체 메모리 트랜지스터(F)의 소스 전극(source) 또는 드레인 전극(drain) 중 어느 하

나에 임계 전압(critical voltage) 이상의 구동 전압(VDD)을 인가하고, 다른 하나는 전기적으로 플로팅(floating) 상태를 유지한다. 게이트 전극(gate)에 접지 전압(GND)을 제공하면 강유전체 층(ferroelectric layer)에 형성된 다이폴들이 전기장 방향에 따라 정렬(align)된다.

- [0036] 다이폴들의 - 극들이 기관 방향을 향하는 것은 트랜지스터의 문턱 전압(threshold voltage)이 증가하는 것과 유사한 효과를 가져온다. 따라서, 충분히 많은 수의 다이폴들의 - 극들이 기관을 향하여 전기장을 인가하는 경우에는 도 5(c)로 예시된 것과 같이 0보다 높은 게이트 전극을 통하여 전압을 제공하여도 소스(source)와 드레인(drain) 사이에는 채널(channel)이 형성되지 않을 수 있다. 이러한 상태를 높은 저항 상태(HRS, high resistance state)라고 한다. 높은 저항 상태(HRS)에서는 게이트 전극에 전압을 인가하여도 드레인(drain)과 소스(source) 사이에는 낮은 저항 상태(LRS)에 비하여 큰 저항이 형성되므로 드레인(drain)과 소스(source) 사이에 낮은 저항 상태(LRS)와 동일한 전압이 인가되어도 낮은 저항 상태(LRS)에서 흐르는 전류(I_{ON}) 보다 작은 전류(I_{OFF})가 흐른다.
- [0037] 강유전체 메모리 트랜지스터를 도통시키기 위하여 트랜지스터의 문턱 전압(V_{th} , threshold voltage) 이상의 전압이 소스 전극과 게이트 전극 사이에 인가되어야 한다. 또한, 강유전체 층에 형성되는 다이폴들의 분극 방향을 제어하기 위하여 강유전체 메모리 트랜지스터의 게이트 전극과 소스 전극 사이에는 임계 전압 이상의 전압이 제공되어야 한다. 일반적으로 임계 전압은 3V 이상의 전압일 수 있으며, 문턱 전압은 0.7V 이상의 전압일 수 있다.
- [0038] 강유전체 메모리 트랜지스터가 낮은 저항 상태(LRS)로 프로그램된 경우에는 강유전체 메모리 트랜지스터를 도 5(a)로 예시된 것과 같이 표시하였으며, 강유전체 메모리 트랜지스터가 높은 저항 상태(HRS)로 프로그램된 경우에는 강유전체 메모리 트랜지스터를 도 5(b)로 예시된 것과 같이 표시하였다.
- [0039] 낮은 저항 상태의 강유전체 메모리 트랜지스터는 높은 저항 상태로 프로그램된 강유전체 트랜지스터의 문턱전압보다 낮은 문턱 전압을 가지며, 반대로, 높은 저항 상태의 강유전체 메모리 트랜지스터는 낮은 저항 상태로 프로그램된 강유전체 트랜지스터의 문턱전압보다 높은 문턱 전압을 가진다.
- [0040] 후술할 바와 같이, CAM에 프로그램되어 저장된 데이터를 검색하기 위하여 제공되는 서치 전압(V_{search})은 낮은 저항 상태로 프로그램된 강유전체 메모리 트랜지스터의 문턱 전압보다는 크나, 높은 저항 상태 강유전체 메모리 트랜지스터의 문턱 전압보다는 작으며, 강유전체 메모리 트랜지스터를 프로그램하는 임계 전압보다는 낮다.
- [0041] 다시 도 1을 참조하면, 단위 CAM 셀(100_0)에서 제1 강유전체 메모리 트랜지스터($F1_0$)과 제2 강유전체 메모리 트랜지스터($F2_0$)는 각각 높은 저항 상태와 낮은 저항 상태로 프로그램되었으며, 단위 CAM 셀(100_{10}) 및 단위 CAM 셀(100_{01})에서 제1 강유전체 메모리 트랜지스터($F1$)과 제2 강유전체 메모리 트랜지스터($F2$)는 각각 낮은 저항 상태와 높은 저항 상태로 프로그램 되었다. 이와 같이 제1 강유전체 메모리 트랜지스터와 제2 강유전체 메모리 트랜지스터가 서로 상보적인 상태로 프로그램된 경우에는 이진 비트 “0” 혹은 “1”을 저장한다.
- [0042] 또한, 단위 CAM 셀(100_{11})과 같이 제1 강유전체 메모리 트랜지스터($F1_{11}$)와 제2 강유전체 메모리 트랜지스터($F2_{11}$)들이 모두 높은 저항 상태로 프로그램될 수 있다. 이 때, 단위 CAM 셀(100_{11})은 무관 비트(don't care bit, “X”)를 저장한다. 따라서, 본 실시예에 의한 CAM은 “0”, “1”, “X”를 저장 및 검색할 수 있는 터너리 CAM(ternary CAM)으로 동작한다.
- [0043] 도 6은 본 실시예에 의한 CAM(10)에 데이터를 쓰는 방법을 설명하기 위한 개요적 타이밍 도이고, 도 7은 도 6의 스텝 1(step 1)에서의 CAM 셀들 100_0 , 100_{10} 의 개요를 도시한 도면이다. 도 6 및 도 7을 참조하면, 일 실시예로, 쓰기 과정에 앞서 매치 라인($ML[0]$, $ML[1]$)을 프리차지(pre-charge)할 수 있다.
- [0044] 목적하는 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 도통시킨다($S100$). 일 실시예로, 서치 라인 $SL[0]$ 에 연결된 CAM 셀들(100_0 , 100_{10})에 데이터를 쓰려고 할 때 워드라인 $WL[0]$ 을 통하여 논리 하이 상태의 신호를 제공하여 서치 라인 액세스 트랜지스터들(M_{00} , M_{10})을 도통시킨다. 일 실시예로, 워드 라인 $WL[0]$ 을 통하여 제공되는 전압은 제1 및 제2 강유전체 메모리 트랜지스터들($F1$, $F2$)의 임계 전압과 같은 전압일 수 있다. 다른 실시예로, 워드 라인 $WL[0]$ 을 통하여 제공되는 전압은 제1 및 제2 강유전체 메모리 트랜지스터들($F1$, $F2$)의 문턱 전압 이상의 전압으로 임계 전압보다 작은 전압일 수 있다.
- [0045] 목적하는 서치 라인인 $SL[0]$ 에 제1 서치 라인 전압을 제공한다. 따라서 도통된 서치 라인 액세스 트랜지스터들

(M00, M10)을 통하여 제1 강유전체 메모리 트랜지스터(F1₀₀, F1₁₀) 및 제2 강유전체 메모리 트랜지스터(F2₀₀, F2₁₀)의 일 전극에 제1 서치 라인 전압이 제공된다.

- [0046] 도 6의 스텝 1에서, 서치 라인인 SL[0]에 임계 전압 이상의 쓰기 전압(V_w)이 제공된다. 비트 라인 BL[0]에는 기준 전압(VSS)이 제공되고, 반전 비트 라인 BLB[0]에 임계 전압 이상의 쓰기 전압이 제공된다. 따라서, 제1 강유전체 메모리 트랜지스터 F1₀₀은 높은 저항 상태로 프로그램된다. 그러나, 제2 강유전체 메모리 트랜지스터 F2₀₀은 게이트 전극과 소스 전극에 동일하거나 임계 전압 보다 작은 전압이 제공되므로 프로그램되지 않는다.
- [0047] 또한, 비트 라인 BL[1]에는 임계 전압 이상의 쓰기 전압(V_w)이 제공되고, 반전 비트 라인 BLB[1]에 기준 전압이 제공된다. 따라서, 제1 강유전체 메모리 트랜지스터 F1₁₀은 프로그램되지 않으나, 제2 강유전체 메모리 트랜지스터 F2₁₀은 소스 전극에 동일하거나 임계 전압 이상의 쓰기 전압(V_w)이 제공되고, 게이트 전극에 기준 전압이 제공되므로 높은 저항 상태로 프로그램된다.
- [0048] 또한, 매치 라인의 전압은 스텝 1에 앞서 구동 전압(VDD)로 프리 차지된다. 그러나, 스텝 1에서 매치 라인 ML[0]의 전압은 도통된 서치라인 액세스 트랜지스터 및 낮은 저항 상태를 갖는 강유전체 트랜지스터를 통해 서치 라인 SL[0]와 연결된다. 따라서 매치 라인 ML[0] 전압과 서치 라인 SL[0] 전압은 동일하게 쓰기 전압(V_w)으로 형성된다.
- [0049] 다만, 데이터 쓰기의 대상이 되지 않는 단위셀(100₀₁, 100₁₁)에 연결된 매치 라인은 프리차지 후, 전기적 플로팅(floating) 상태를 유지하므로 프리 차지된 구동 전압(VDD)을 유지한다.
- [0050] 도 8은 도 6의 스텝 2(step 2)에서의 CAM 셀들(100₀₀, 100₁₀)의 개요를 도시한 도면이다. 도 6 및 도 8을 참조하면, 도 6의 스텝 1에 이어서 스텝 2에도 서치 라인 액세스 트랜지스터(M₀₀, M₁₀)이 도통되도록 워드 라인 WL[0]으로 전압을 제공한다.
- [0051] 스텝 2에서는 서치 라인인 SL[0]에 기준 전압(V_{ss})이 제공되고, 비트 라인 BL[0], 반전 비트 라인 BLB[0] 및 비트 라인 BL[1], 반전 비트 라인 BLB[1]에는 스텝 1에서 제공된 전압과 동일한 전압이 제공된다. 따라서, 제1 강유전체 메모리 트랜지스터 F1₀₀ 및 제2 강유전체 메모리 트랜지스터 F2₁₀은 스텝 1에서 프로그램된 높은 저항 상태를 유지한다.
- [0052] 그러나, 제2 강유전체 메모리 트랜지스터 F2₀₀ 및 제1 강유전체 메모리 트랜지스터 F1₁₀은 각각 임계전압 이상의 쓰기 전압(V_w)이 게이트 전극에 제공되고, 소스 전극으로 기준 전압(V_{ss})이 제공되므로 낮은 저항 상태로 프로그램된다.
- [0053] 또한, 매치 라인 ML[0]의 전압은 스텝 1에서 쓰기 전압(V_w)로 형성된다. 그러나, 스텝 2에서 매치 라인 ML[0]의 전압은 도통된 서치라인 액세스 트랜지스터 및 낮은 저항 상태를 갖는 강유전체 트랜지스터를 통해 서치 라인 SL[0]와 연결된다. 따라서 매치 라인 ML[0] 전압과 서치 라인 SL[0] 전압은 동일하게 기준 전압(V_{ss})로 형성된다.
- [0054] 상술한 바와 같이, 데이터 쓰기의 대상이 되지 않는 단위셀(100₀₁, 100₁₁)에 연결된 매치 라인은 프리차지 후, 전기적 플로팅(floating) 상태를 유지하므로 프리 차지된 구동 전압(VDD)을 유지한다.
- [0055] 도시되지 않은 실시예에서, 서치 라인 액세스 트랜지스터가 도통되고, 서치 라인으로 임계 전압보다 큰 쓰기 전압이 제공된 상태를 가정한다. 서치 라인 액세스 트랜지스터를 통하여 기준 전압이 제1 강유전체 메모리 트랜지스터와 제2 강유전체 메모리 트랜지스터의 일 전극에 제공된다.
- [0056] 비트 라인과 반전 비트 라인을 통하여 기준 전압이 제공되면 제1 및 제2 강유전체 트랜지스터는 모두 높은 저항 상태로 프로그램된다. 상술한 바와 같이 제1 및 제2 강유전체 트랜지스터가 모두 높은 저항 상태로 프로그램되면 단위 CAM 셀은 무관 비트(don't care bit, X)를 저장한다.
- [0057] 도 9는 본 실시예에 의한 CAM(10)에 기록된 데이터를 탐색하는 방법을 설명하기 위한 개요적 타이밍 도이고, 도 10은 도 9로 예시된 탐색 과정을 설명하기 위한 CAM 셀들(100₀₀, 100₁₀)의 개요를 도시한 도면이다. 이하에서, 이진 비트 “0”은 각 단위 CAM 셀의 제1 강유전체 메모리 트랜지스터(F1)와 제2 강유전체 메모리 트랜지스터(F2)에 각각 낮은 저항 상태와 높은 저항 상태로 프로그램 되고, 이진 비트 “1”은 제1 강유전체 메모리 트랜

지스터(F1)와 제2 강유전체 메모리 트랜지스터(F2)에 각각 높은 저항 상태와 낮은 저항 상태로 프로그램 되는 것을 예시한다.

- [0058] 도 3, 도 9 및 도 10을 참조하면, 매치 라인(ML[0], ML[1])을 구동 전압(VDD)으로 프리차지(pre-charge) 한다(S110). 도 9 및 도 10으로 예시된 실시예에는 어레이 내의 모든 단위 CAM 셀들(100₀₀, 100₁₀, 100₀₁, 100₁₁)이 저장한 데이터를 검색하는 경우로, 어레이 내의 모든 서치 라인 액세스 트랜지스터가 도통되도록 서치 라인 액세스 트랜지스터의 제어 전극에 전압을 제공한다. 도시되지 않은 실시예에서, 특정한 서치 라인 내에서 목적하는 데이터를 검색하고자 하는 경우에는 해당 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 도통시킨다.
- [0059] 모든 서치 라인들에 기준 전압(V_{ss})이 제공되므로 도통된 서치 라인 액세스 트랜지스터를 통하여 제1 강유전체 메모리 트랜지스터(F1₀₀, F1₁₀, F1₁, F1₁₁)의 일전극 및 제2 강유전체 메모리 트랜지스터(F2₀₀, F2₁₀, F2₁, F2₁₁)의 일 전극에는 기준 전압(V_{ss})이 제공된다(S210).
- [0060] 비트 라인(BL[1], BL[0])에 검색하고자 하는 데이터를 제공하고, 반전 비트 라인(BLB[1], BLB[0])에 검색하고자 하는 데이터의 비트 와이즈 반전 데이터(bit-wise inverted data)를 제공한다. 일 예로 검색하고자 하는 데이터가 BL[1:0] = [01]이면 비트 라인 BL[1], BL[0]에 각각 논리 로우에 상응하는 기준 전압(V_{ss}), 논리 하이에 상응하는 서치 전압(V_{search})을 제공한다. 나아가, 반전 비트 라인 BLB[1], BLB[0]에도 마찬가지로 각각 논리 하이에 상응하는 서치 전압(V_{search}), 논리 로우에 상응하는 기준 전압(V_{ss})을 제공한다.
- [0061] 논리 하이 상태에 상응하는 서치 전압(V_{search})은 낮은 저항 상태의 강유전체 트랜지스터의 문턱 전압(V_{th})보다는 크나, 높은 저항 상태 강유전체 트랜지스터의 문턱 전압보다 작은 전압으로, 강유전체 트랜지스터를 프로그램하는 임계 전압보다는 낮다.
- [0062] 따라서, 강유전체 메모리 트랜지스터의 제어 전극에 논리 하이 상태의 서치 전압(V_{search})이 제공되어도 강유전체 메모리 트랜지스터는 프로그램되지 않는다.
- [0063] 단위 CAM 셀 100₁₁의 제1 강유전체 메모리 트랜지스터 F1₁₁의 제어 전극에는 논리 로우에 상응하는 기준 전압(V_{ss})이 제공되어 제1 강유전체 메모리 트랜지스터 F1₁₁는 차단된다. 제2 강유전체 메모리 트랜지스터 F2₁₁의 제어전극에는 논리 하이 상태에 상응하는 서치 전압(V_{search})이 제공된다. 그러나, 제2 강유전체 메모리 트랜지스터 F2₁₁는 높은 저항 상태로 프로그램되어 있어 매치 라인 ML[1]에 프리차지된 전하는 단위 CAM 셀 100₁₁을 통하여 방전되지 않는다. 따라서, 모두 높은 저항 상태로 프로그램된 제1 강유전체 메모리 트랜지스터 F1₁₁와 제2 강유전체 메모리 트랜지스터 F2₁₁를 포함하는 단위 CAM 셀 100₁₁은 논리 하이 상태 및 논리 로우 상태 중 어느 것이 입력되어도 매치 라인에 충전된 전하를 방전시키지 않아 입력에 무관한 것을 알 수 있다.
- [0064] 단위 CAM 셀 100₀₁의 제2 강유전체 메모리 트랜지스터 F2₀₁의 제어전극에는 논리 로우 상태에 상응하는 기준 전압(V_{ss})이 제공되어 차단된다. 그러나, 제1 강유전체 메모리 트랜지스터 F1₀₁의 제어 전극에는 논리 하이에 상응하는 서치 전압(V_{search})이 제공되어 도통된다. 또한 제1 강유전체 메모리 트랜지스터 F1₀₁는 낮은 저항 상태로 프로그램되므로 매치 라인 ML[1]에 충전된 전하는 제1 강유전체 메모리 트랜지스터 F1₀₁, 서치 라인 액세스 트랜지스터 M₀₁을 거쳐 서치 라인 SL[1]까지의 전류 경로를 통하여 방전된다. 따라서, 프리 차지되어 형성된 매치 라인 ML[1]의 전압은 감소하고, 매치 라인의 전압 변화로부터 단위 CAM 셀 100₁₁, 단위 CAM 셀 100₀₁들이 저장한 데이터는 “01”에 상응하지 않음을 알 수 있다.
- [0065] 단위 CAM 셀 100₁₀의 제1 강유전체 메모리 트랜지스터 F1₀₁의 제어 전극에는 논리 로우에 상응하는 기준 전압(V_{ss})이 제공되어 제1 강유전체 메모리 트랜지스터 F1₀₁는 차단된다. 마찬가지로 제2 강유전체 메모리 트랜지스터 F2₁₀의 제어전극에는 논리 하이 상태에 상응하는 서치 전압(V_{search})이 제공된다. 그러나, 제2 강유전체 메모리 트랜지스터 F2₁₀는 높은 저항 상태로 프로그램되어 있어 매치 라인 ML[0]에 프리차지된 전하는 단위 CAM 셀 100₁₀을 통하여 방전되지 않는다. 따라서, 제1 강유전체 메모리 트랜지스터 F1₀₁와 제2 강유전체 메모리 트랜지스터 F2₁₀를 포함하는 단위 CAM 셀 100₁₀은 매치 라인 ML[0]에 충전된 전하를 방전시키지 않아 검색 대상 비트인 “0”에 상응하는 데이터를 저장한 것을 알 수 있다.
- [0066] 단위 CAM 셀 100₀₀의 제2 강유전체 메모리 트랜지스터 F2₀₀의 제어전극에는 논리 로우 상태에 상응하는 기준 전

압(Vss)이 제공되어 차단된다. 그러나, 제1 강유전체 메모리 트랜지스터 F1₀₀의 제어 전극에는 논리 하이에 상응하는 서치 전압(Vsearch)이 제공되어 도통된다. 그러나, 제1 강유전체 메모리 트랜지스터 F1₀₀는 높은 저항 상태로 프로그램되어 있어 매치 라인 ML[0]에 충전된 전하는 방전되지 않는다.

[0067] 따라서, 비트 라인과 반전 비트 라인으로 탐색하고자 하는 “01”에 상응하는 전압을 제공한 후에도 프리 차지되어 형성된 매치 라인 ML[0]의 전압은 변동되지 않았으므로, 단위 CAM 셀 100₁₀, 단위 CAM 셀 100₀₀들이 저장한 데이터는 “01”에 상응하는 것을 알 수 있다.

[0069] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

[0070] 10: CAM 100₀₀, 100₀₁, 100₁₀, 100₁₁: 단위 CAM 셀

F1: 제1 강유전체 메모리 트랜지스터

F2: 제2 강유전체 메모리 트랜지스터

M: 서치 라인 액세스 트랜지스터

ML: 매치 라인 SL: 서치 라인

WL: 워드 라인 BL:비트 라인

BLB: 반전 비트라인

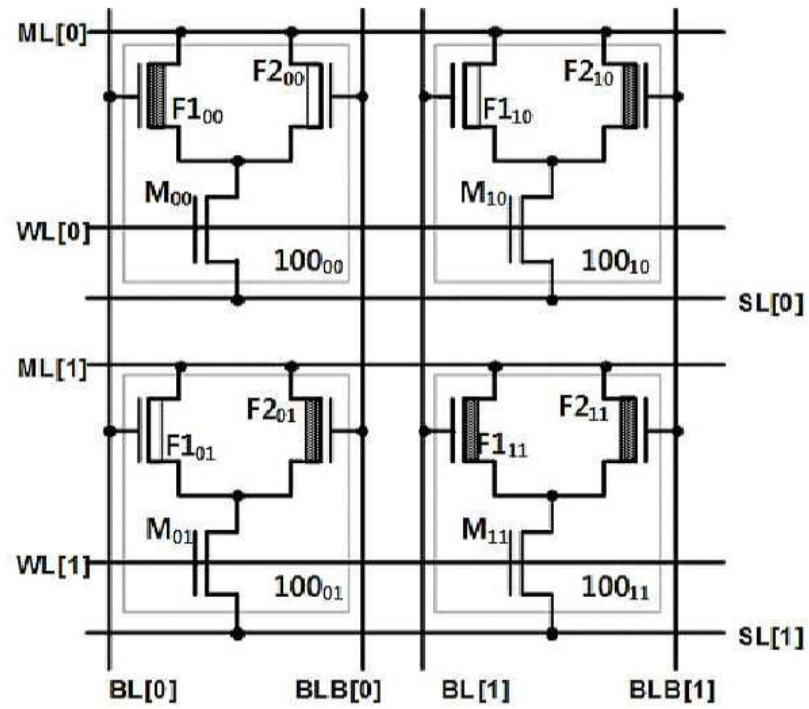
S100~S300: 본 실시예의 데이터 쓰기 방법의 예시적 단계

S110~S410: 본 실시예의 데이터 검색 방법의 예시적 단계

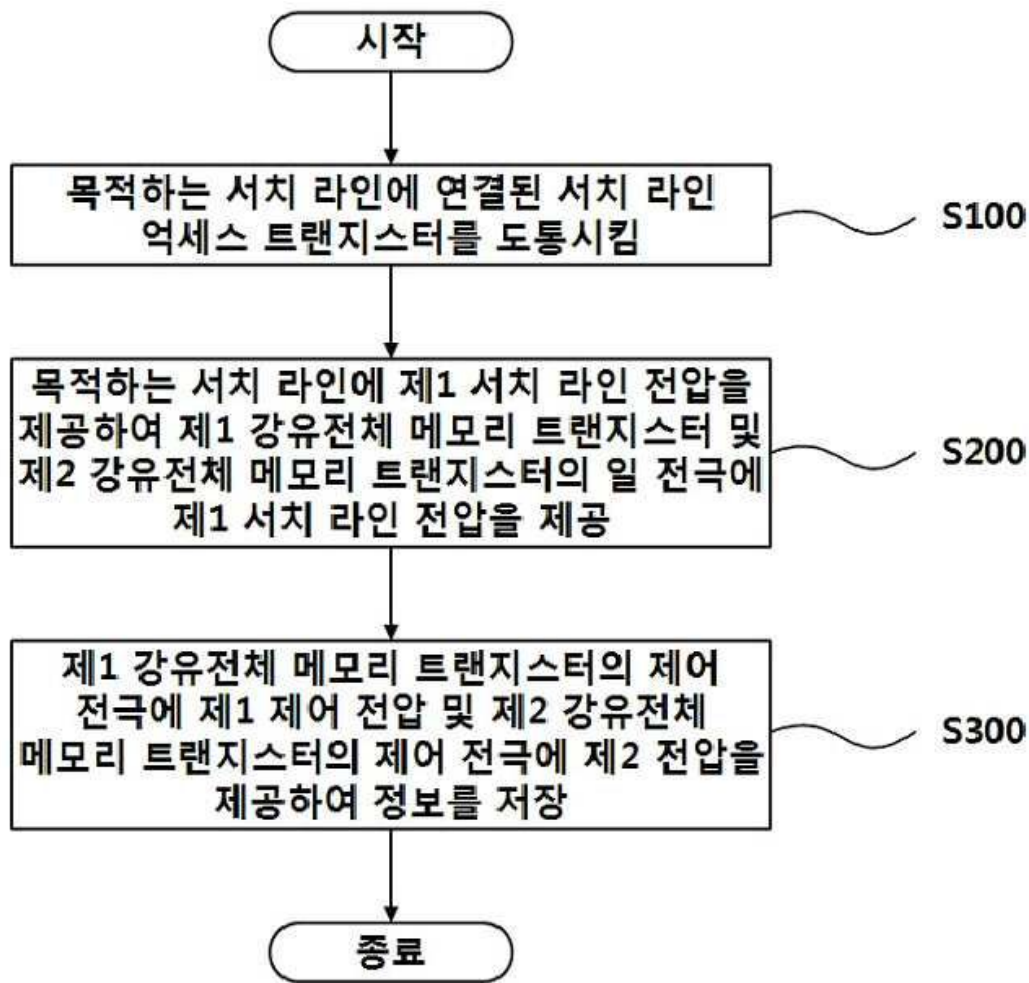
도면

도면1

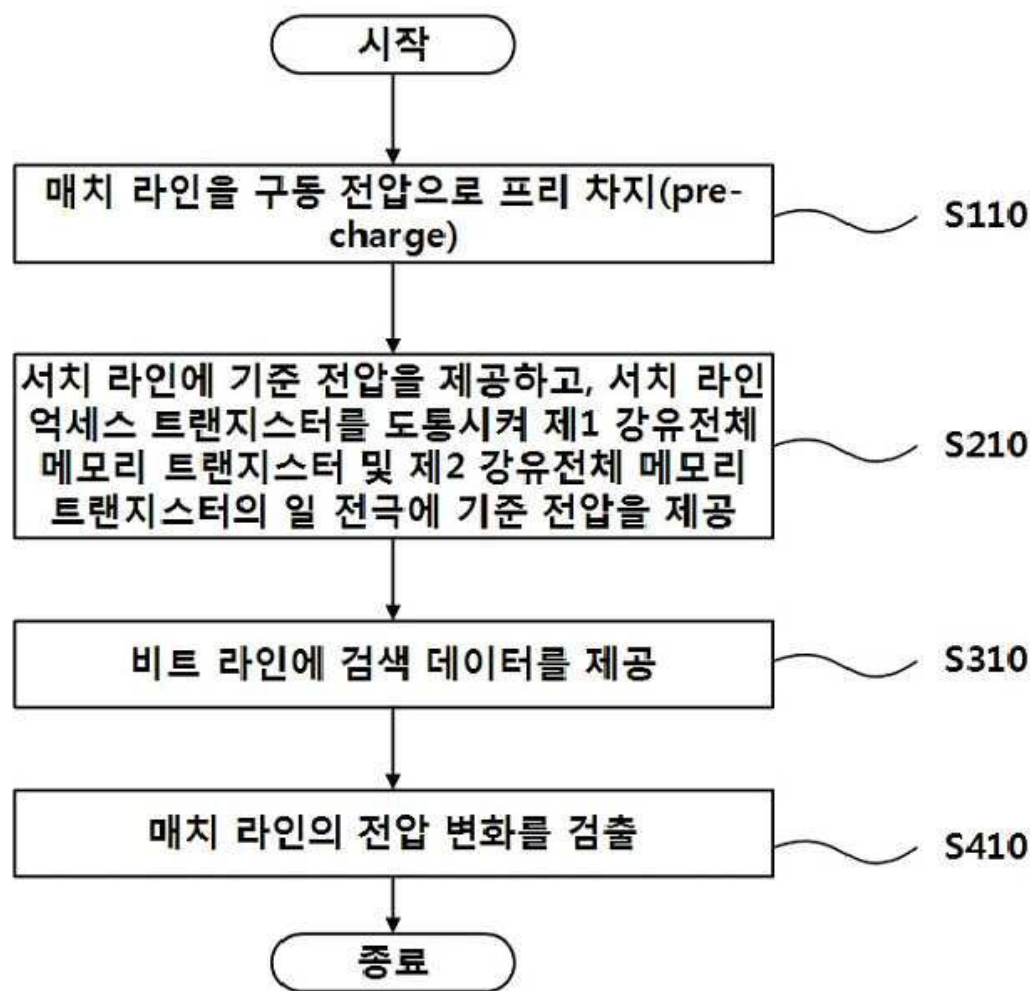
10



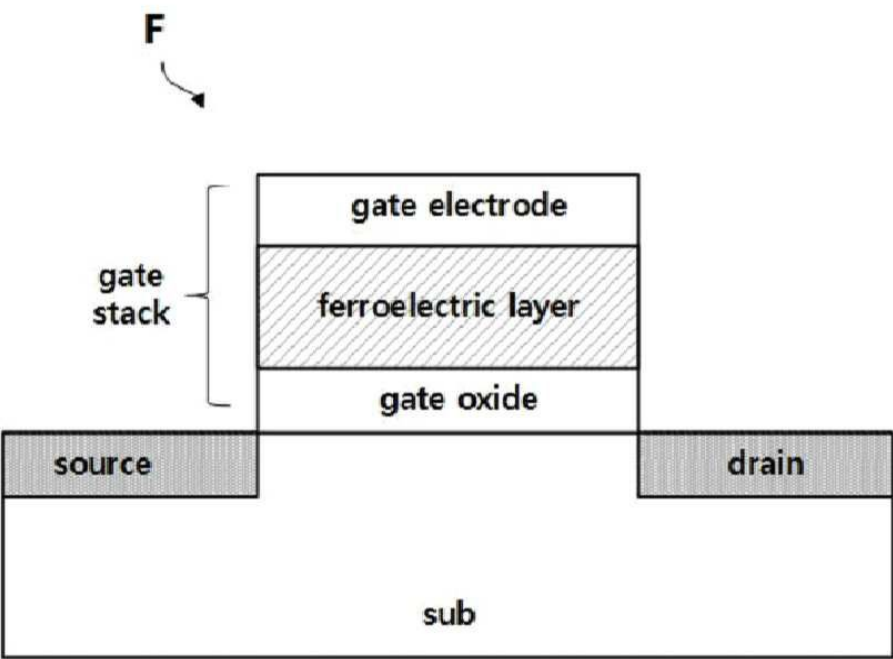
도면2



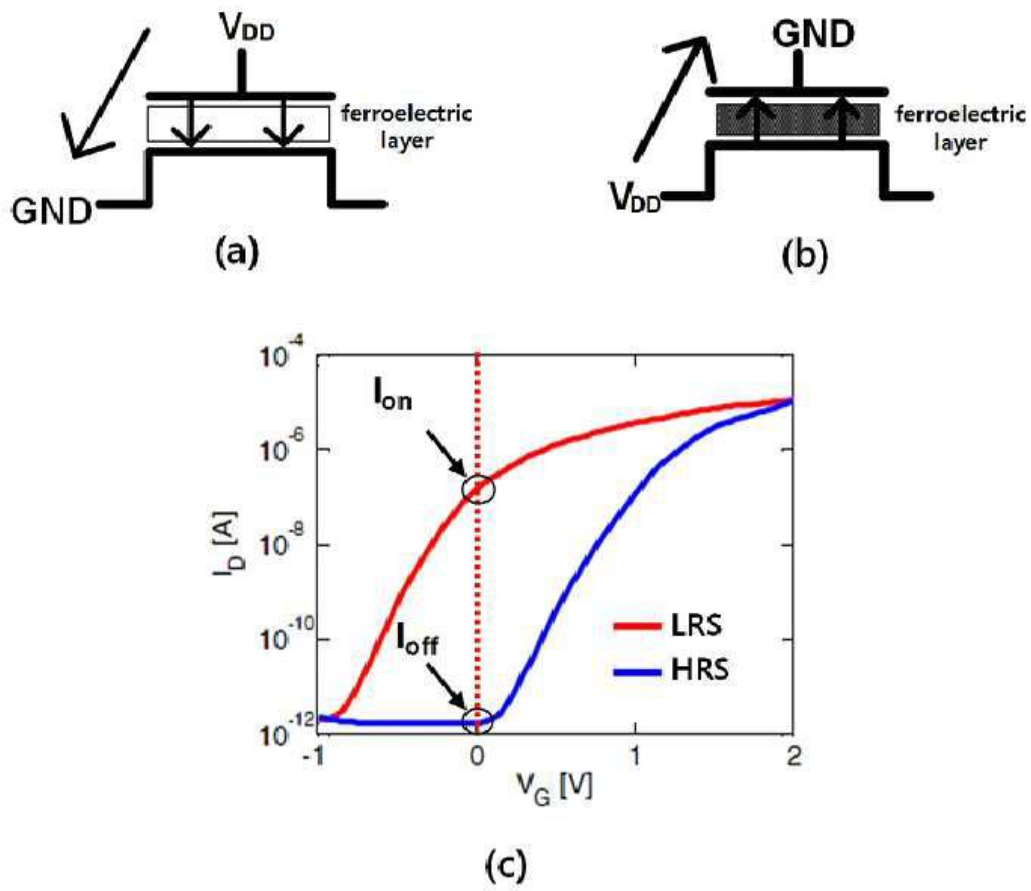
도면3



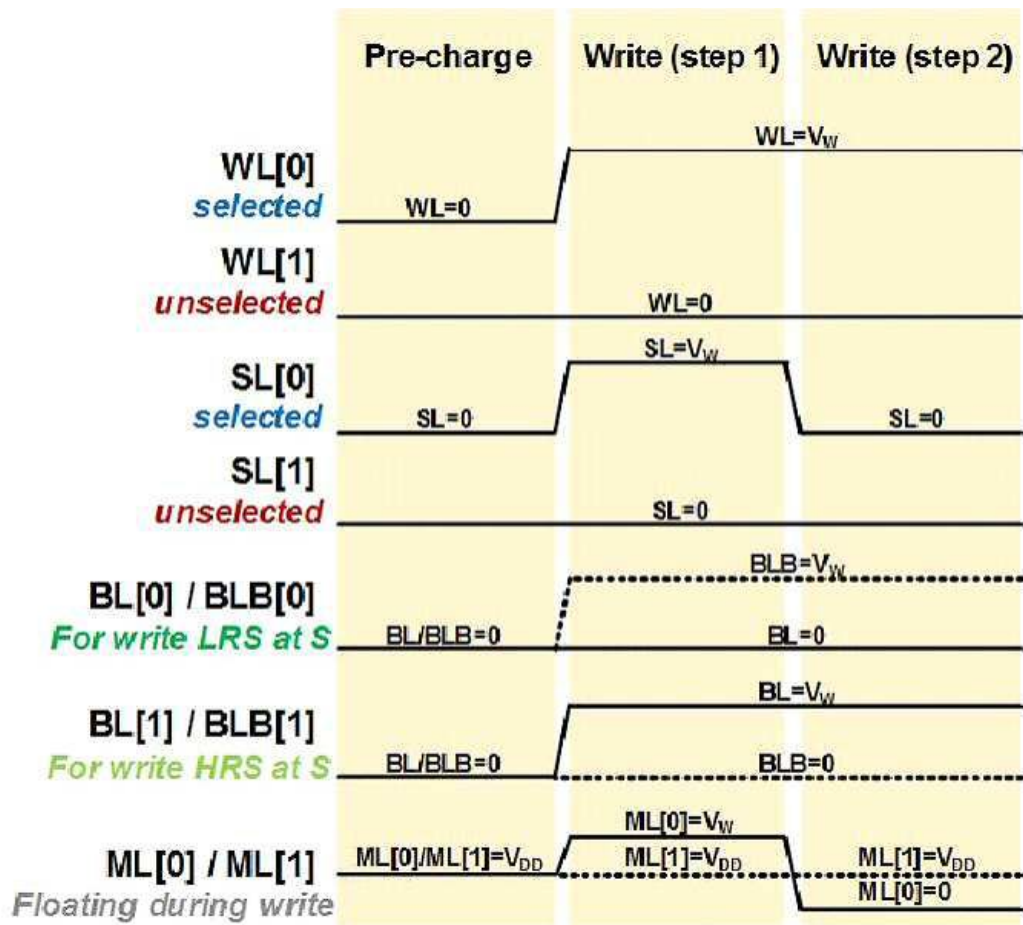
도면4



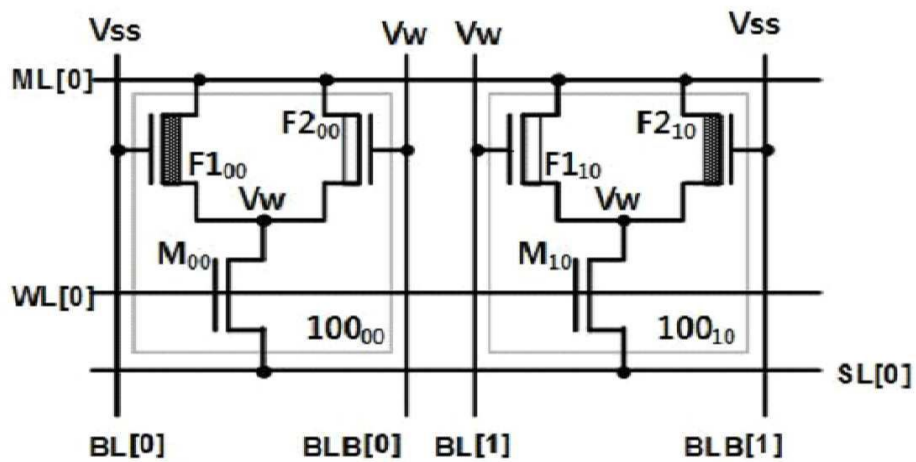
도면5



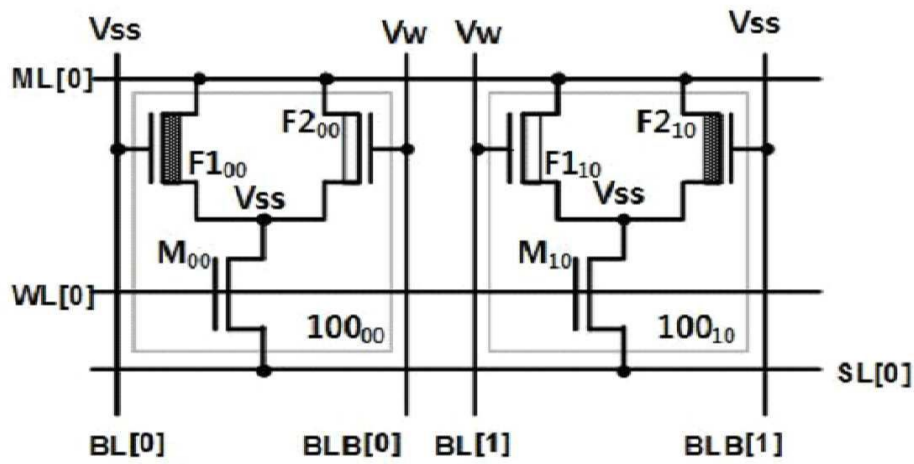
도면6



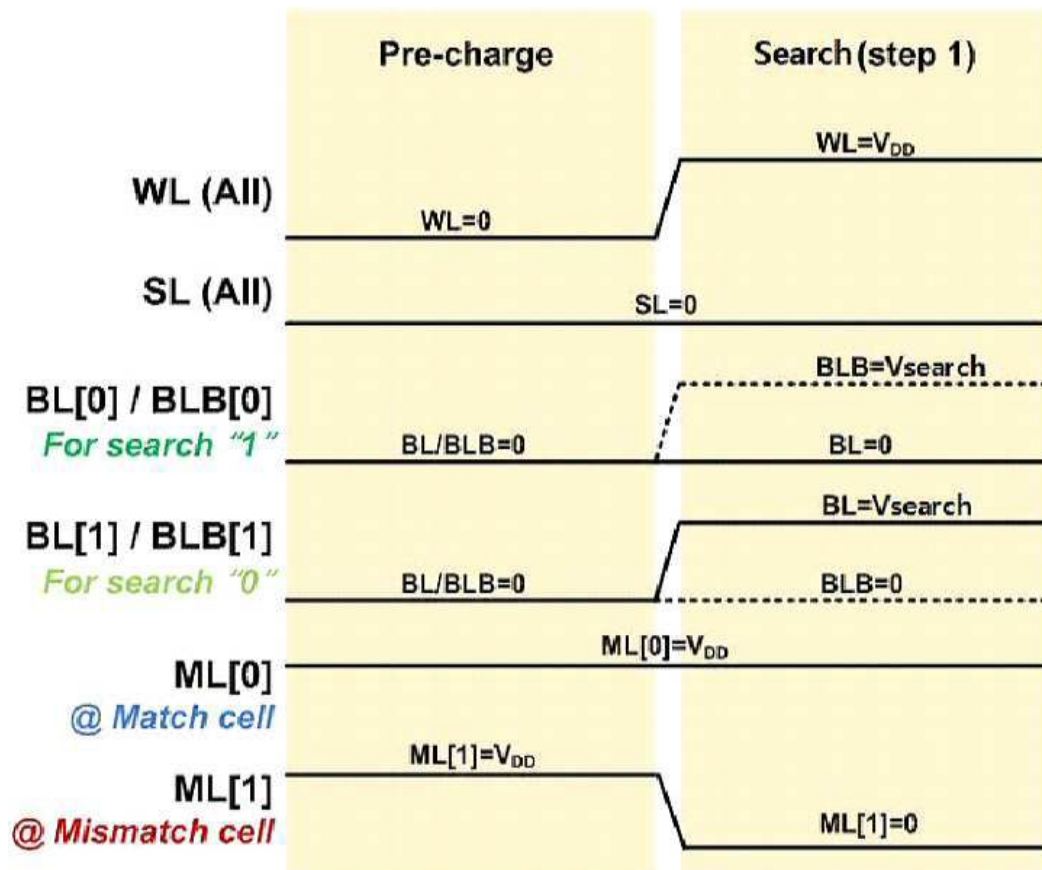
도면7



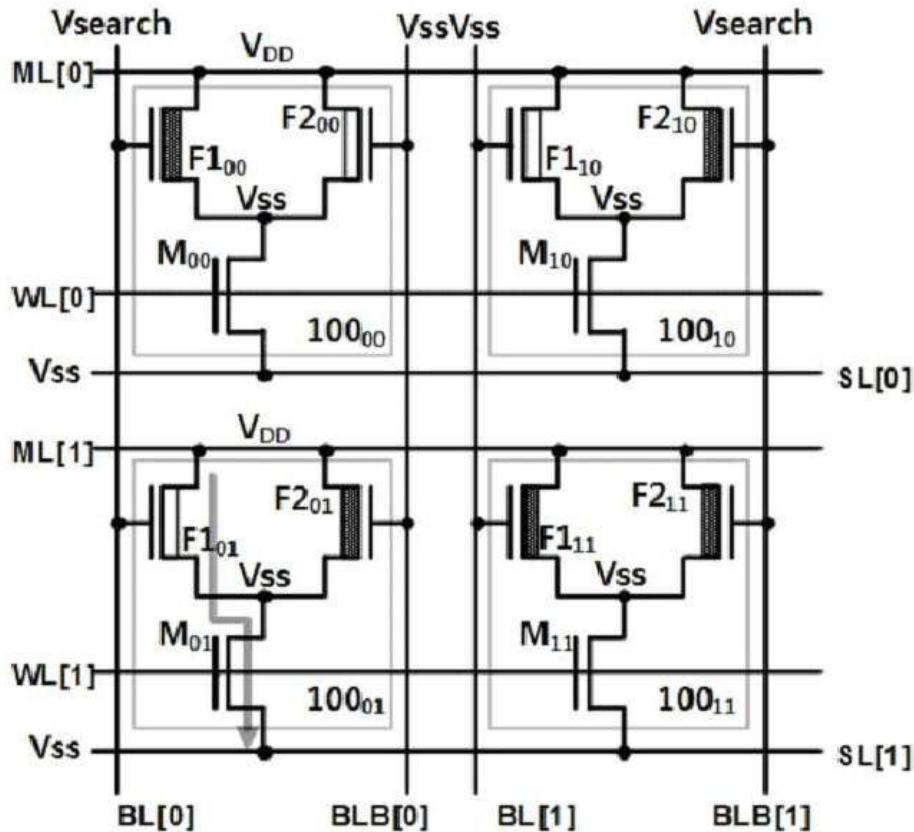
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

매치 라인(match line);

서치 라인(search line);

비트 라인;

반전 비트 라인(inverted bit line); 및

상기 매치 라인, 상기 서치 라인 및 상기 비트 라인에 각각 연결되어 어레이로 배열된 복수의 단위 CAM(Content Addressable Memory) 셀들을 포함하며, 상기 단위 CAM 셀들 각각은 :

일 전극이 상기 매치 라인에 연결되어 데이터를 저장하는 제1 강유전체 메모리 트랜지스터,

일 전극이 상기 매치 라인에 연결되어 데이터를 저장하는 상기 제1 강유전체 메모리 트랜지스터와 상보적으로 상기 데이터를 저장하는 제2 강유전체 메모리 트랜지스터, 및

일 전극이 상기 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 포함하며,

상기 제1 및 제2 강유전체 메모리 트랜지스터의 타 전극과 상기 서치 라인 액세스 트랜지스터의 타 전극은 서로 연결되고,

상기 단위 CAM 셀들 각각은 :

각각의 서치 라인 액세스 트랜지스터가 도통되어 데이터 쓰기 및 데이터 검색이 수행되고,

데이터 쓰기가 이루어지지 않는 CAM 셀들에는 상기 서치 라인 액세스 트랜지스터가 차단되는 CAM(Content

Addressable Memory).

【변경후】

매치 라인(match line);

서치 라인(search line);

비트 라인;

반전 비트 라인(inverted bit line); 및

상기 매치 라인, 상기 서치 라인 및 상기 비트 라인에 각각 연결되어 어레이로 배열된 복수의 단위 CAM(Content Addressable Memory) 셀들을 포함하며, 상기 단위 CAM 셀들 각각은 :

일 전극이 상기 매치 라인에 연결되어 데이터를 저장하는 제1 강유전체 메모리 트랜지스터,

일 전극이 상기 매치 라인에 연결되어 데이터를 저장하는 상기 제1 강유전체 메모리 트랜지스터와 상보적으로 상기 데이터를 저장하는 제2 강유전체 메모리 트랜지스터, 및

일 전극이 상기 서치 라인에 연결된 서치 라인 액세스 트랜지스터를 포함하며,

상기 제1 및 제2 강유전체 메모리 트랜지스터의 타 전극과 상기 서치 라인 액세스 트랜지스터의 타 전극은 서로 연결되고,

상기 단위 CAM 셀들 각각은 :

각각의 서치 라인 액세스 트랜지스터가 도통되어 데이터 쓰기 및 데이터 검색이 수행되고,

데이터 쓰기가 이루어지지 않는 CAM 셀들에는 상기 서치 라인 액세스 트랜지스터가 차단되는 CAM(Content Addressable Memory).