



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월13일
(11) 등록번호 10-2509941
(24) 등록일자 2023년03월09일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) H04L 25/08 (2006.01)
H04L 41/00 (2022.01)
(52) CPC특허분류
H04L 25/028 (2013.01)
H04L 25/08 (2013.01)
(21) 출원번호 10-2016-0129201
(22) 출원일자 2016년10월06일
심사청구일자 2021년09월08일
(65) 공개번호 10-2018-0038286
(43) 공개일자 2018년04월16일
(56) 선행기술조사문헌
KR1020110119129 A
KR1020150074077 A

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김태웅
서울특별시 마포구 와우산로24길 44 302
최우준
전라북도 전주시 완산구 영경1길 25 103-1302
(뒷면에 계속)
(74) 대리인
김선중

전체 청구항 수 : 총 18 항

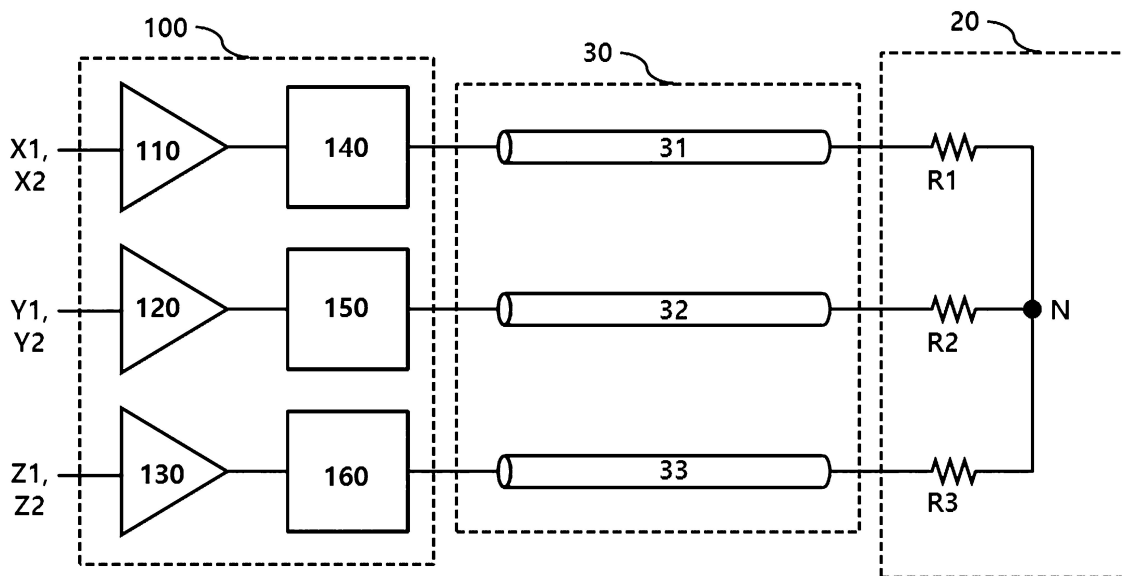
심사관 : 황철규

(54) 발명의 명칭 송신 장치 및 이를 포함하는 시스템

(57) 요약

본 발명의 일 실시예에 의한 송신 장치는 제 1 입력 신호에 따라 제 1 전송 라인을 구동하는 제 1 송신 구동부; 제 2 입력 신호에 따라 제 2 전송 라인을 구동하는 제 2 송신 구동부; 제 3 입력 신호에 따라 제 3 전송 라인을 구동하는 제 3 송신 구동부; 제 1 송신 구동부의 출력단에 연결되는 제 1 능동 인덕터; 제 2 송신 구동부의 출력단에 연결되는 제 2 능동 인덕터; 및 제 3 송신 구동부의 출력단에 연결되는 제 3 능동 인덕터를 포함한다.

대표도 - 도4



(52) CPC특허분류

H04L 41/0896 (2022.05)

(72) 발명자

채영철

서울특별시 마포구 백범로 152 201-1301

한건희

인천광역시 연수구 송도과학로 85 A-705

정해강

경기도 광명시 사성로 91 113-1502

심종주

경기도 이천시 대월면 경충대로2041번길 167
108-1205

명세서

청구범위

청구항 1

제 1 입력 신호에 따라 제 1 전송 라인을 구동하는 제 1 송신 구동부;
제 2 입력 신호에 따라 제 2 전송 라인을 구동하는 제 2 송신 구동부;
제 3 입력 신호에 따라 제 3 전송 라인을 구동하는 제 3 송신 구동부;
상기 제 1 송신 구동부의 출력단에 연결되는 제 1 능동 인덕터;
상기 제 2 송신 구동부의 출력단에 연결되는 제 2 능동 인덕터; 및
상기 제 3 송신 구동부의 출력단에 연결되는 제 3 능동 인덕터;
를 포함하되,
신호 송신 시
상기 제 1 송신 구동부는 상기 제 1 전송 라인을 구동하고, 상기 제 2 송신 구동부는 상기 제 2 전송 라인을 구동하며, 상기 제 3 송신 구동부는 상기 제 3 전송 라인의 입력단을 플로팅 상태로 하되,
상기 제 3 능동 인덕터는 상기 제 3 전송 라인의 입력단을 일정한 전압으로 고정하는 송신 장치.

청구항 2

삭제

청구항 3

청구항 1에 있어서,
상기 제 1 송신 구동부는 제 31 전류를 소싱하고 상기 제 1 능동 인덕터는 제 32 전류를 싱크하고 상기 제 2 송신 구동부는 상기 제 31 전류를 싱크하고 상기 제 2 능동 인덕터는 상기 제 32 전류를 소싱하며, 상기 제 3 능동 인덕터는 그 내부에서 제 4 전류를 소비하는 송신 장치.

청구항 4

청구항 3에 있어서,
상기 제 4 전류는 상기 제 32 전류보다 작은 크기를 갖는 송신 장치.

청구항 5

청구항 1에 있어서, 상기 제 1 송신 구동부는
전원과 상기 제 1 송신 구동부의 출력단 사이에 소스와 드레인이 연결된 제 11 PMOS 트랜지스터; 및
상기 제 1 송신 구동부의 출력단과 접지 사이에 드레인과 소스가 연결된 제 11 NMOS 트랜지스터
를 포함하되, 상기 제 11 PMOS 트랜지스터의 게이트는 제 11 입력 신호에 의해 제어되고 상기 제 11 NMOS 트랜지스터의 게이트는 제 12 입력 신호에 의해 제어되는 송신 장치.

청구항 6

청구항 5에 있어서, 상기 제 11 PMOS 트랜지스터의 백 게이트는 제 11 벌크 제어 신호에 의해 제어되고, 상기 제 11 NMOS 트랜지스터의 백 게이트는 제 12 벌크 제어 신호에 의해 제어되며, 상기 제 11 벌크 제어 신호는 상기 제 11 PMOS 트랜지스터의 턴온 저항을 제어하고 상기 제 12 벌크 제어 신호는 상기 제 11 NMOS 트랜지스터의 턴온 저항을 제어하는 송신 장치.

청구항 7

청구항 6에 있어서, 상기 제 11 벌크 제어 신호 및 상기 제 12 벌크 제어 신호를 생성하는 벌크 제어 신호 생성부를 더 포함하는 송신 장치.

청구항 8

청구항 5에 있어서, 상기 제 11 PMOS 트랜지스터의 드레인과 상기 제 1 송신 구동부의 출력단 사이에 연결되는 제 11 저항과 상기 제 11 NMOS 트랜지스터의 드레인과 상기 제 1 송신 구동부의 출력단 사이에 연결되는 제 12 저항을 더 포함하는 송신 장치.

청구항 9

청구항 5에 있어서, 상기 제 1 능동 인덕터는

전원에 소스가 연결된 제 41 PMOS 트랜지스터;

상기 제 41 PMOS 트랜지스터의 드레인과 상기 제 1 송신 구동부의 출력단 사이에 연결된 제 11 능동 인덕터;

접지에 소스가 연결된 제 41 NMOS 트랜지스터; 및

상기 제 41 NMOS 트랜지스터의 드레인과 상기 제 1 송신 구동부의 출력단 사이에 연결된 제 12 능동 인덕터;

를 포함하는 송신 장치.

청구항 10

청구항 9에 있어서, 상기 제 11 능동 인덕터는 상기 제 41 PMOS 트랜지스터의 드레인과 상기 제 1 송신 구동부의 출력단 사이에 소스와 드레인이 연결된 제 42 PMOS 트랜지스터 및 상기 제 42 PMOS 트랜지스터의 게이트와 드레인 사이에 연결된 제 41 저항을 포함하고, 상기 제 12 능동 인덕터는 상기 제 41 NMOS 트랜지스터의 드레인과 상기 제 1 송신 구동부의 출력단 사이에 소스와 드레인이 연결된 제 42 NMOS 트랜지스터 및 상기 제 42 NMOS 트랜지스터의 게이트와 드레인 사이에 연결된 제 42 저항을 포함하는 송신 장치.

청구항 11

청구항 9에 있어서, 상기 제 11 PMOS 트랜지스터가 턴온되고 상기 제 11 NMOS 트랜지스터가 턴오프되는 경우 상기 제 41 PMOS 트랜지스터가 턴오프되고 상기 제 41 NMOS 트랜지스터가 턴온되고, 상기 제 11 PMOS 트랜지스터가 턴오프되고 상기 제 11 NMOS 트랜지스터가 턴온되는 경우 상기 제 41 PMOS 트랜지스터가 턴온되고 상기 제 41 NMOS 트랜지스터가 턴오프되며, 상기 제 11 PMOS 트랜지스터가 턴오프되고 상기 제 11 NMOS 트랜지스터가 턴오프되는 경우 상기 제 41 PMOS 트랜지스터가 턴온되고 상기 제 41 NMOS 트랜지스터가 턴온되는 송신 장치.

청구항 12

송신 장치, 수신 장치 및 상기 송신 장치와 상기 수신 장치를 연결하는 제 1 내지 제 3 전송 라인을 포함하되,

상기 송신 장치는

제 1 입력 신호에 따라 상기 제 1 전송 라인을 구동하는 제 1 송신 구동부;

제 2 입력 신호에 따라 상기 제 2 전송 라인을 구동하는 제 2 송신 구동부;

제 3 입력 신호에 따라 상기 제 3 전송 라인을 구동하는 제 3 송신 구동부;

상기 제 1 송신 구동부의 출력단에 연결되는 제 1 능동 인덕터;

상기 제 2 송신 구동부의 출력단에 연결되는 제 2 능동 인덕터; 및

상기 제 3 송신 구동부의 출력단에 연결되는 제 3 능동 인덕터;

를 포함하고,

상기 수신 장치는

상기 제 1 전송 라인의 출력단과 공통 노드 사이에 연결된 제 1 종단 저항;

상기 제 2 전송 라인의 출력단과 상기 공통 노드 사이에 연결된 제 2 종단 저항; 및
상기 제 3 전송 라인의 출력단과 상기 공통 노드 사이에 연결된 제 3 종단 저항
을 포함하되,
신호 송신 시

상기 제 1 송신 구동부는 상기 제 1 전송 라인을 구동하고, 상기 제 2 송신 구동부는 상기 제 2 전송 라인을 구동하며, 상기 제 3 송신 구동부는 상기 제 3 전송 라인의 입력단을 플로팅 상태로 하되,
상기 제 3 능동 인덕터는 상기 제 3 전송 라인의 입력단을 일정한 전압으로 고정하는 시스템.

청구항 13

삭제

청구항 14

청구항 12에 있어서,

상기 제 1 송신 구동부는 제 31 전류를 소싱하고 상기 제 1 능동 인덕터는 제 32 전류를 싱크하고 상기 제 2 송신 구동부는 상기 제 31 전류를 싱크하고 상기 제 2 능동 인덕터는 상기 제 32 전류를 소싱하며, 상기 제 3 능동 인덕터는 그 내부에서 제 4 전류를 소비하는 시스템.

청구항 15

청구항 14에 있어서,

상기 제 4 전류는 상기 제 32 전류보다 작은 크기를 갖는 시스템.

청구항 16

청구항 14에 있어서, 상기 제 1 전송 라인의 출력 전압은 상기 제 3 전송 라인의 출력 전압보다 높고 상기 제 2 전송 라인의 출력 전압은 상기 제 3 전송 라인의 출력 전압보다 낮은 시스템.

청구항 17

청구항 16에 있어서, 상기 제 3 전송 라인의 출력 전압은 전원 전압의 1/2인 시스템.

청구항 18

청구항 12에 있어서,

상기 제 1 전송 라인의 출력 전압과 상기 제 2 전송 라인의 출력 전압을 비교하여 출력하는 제 1 수신 구동부;
상기 제 2 전송 라인의 출력 전압과 상기 제 3 전송 라인의 출력 전압을 비교하여 출력하는 제 2 수신 구동부;
및
상기 제 3 전송 라인의 출력 전압과 상기 제 1 전송 라인의 출력 전압을 비교하여 출력하는 제 3 수신 구동부;
를 더 포함하는 시스템.

청구항 19

청구항 12에 있어서, 상기 제 1 종단 저항은 상기 제 1 전송 라인의 특성 임피던스보다 더 큰 임피던스를 갖는 시스템

청구항 20

청구항 12에 있어서, 상기 제 1 송신 구동부의 출력 임피던스는 상기 제 1 전송 라인의 특성 임피던스보다 더 큰 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 3-레벨 전송 방법을 사용하는 송신 장치 및 이를 포함하는 시스템을 제공한다.

배경 기술

[0002] 고속의 데이터 전송과 함께 전력을 절감하고 핀 수를 줄이기 위하여 3-레벨 전송 방법이 제안되고 있다.

[0003] 3-레벨 전송 방법에서는 세 개의 전송 라인을 사용한다.

[0004] 3-레벨 전송 방법에서 송신 장치는 디지털 신호에 따라 수신 장치에 3 가지 아날로그 신호가 수신되도록 전송 라인을 구동한다.

[0005] 수신 장치는 3 가지 아날로그 신호를 비교하여 디지털 신호를 복원할 수 있다.

[0006] 도 1은 종래의 송신 장치를 포함하는 시스템의 블록도이다.

[0007] 종래의 송신 장치(10)는 디지털 입력(X1, X2, Y1, Y2, Z1, Z2)에 따라 각기 대응하는 제 1 내지 제 3 전송 라인(31 - 33)을 구동하는 제 1 내지 제 3 송신 구동부(11 - 13)를 포함한다.

[0008] 이때 디지털 입력은 본래 송신하고자 하는 디지털 신호를 인코딩한 신호이다.

[0009] 종래의 수신 장치(20)는 각기 대응하는 제 1 내지 제 3 전송 라인(31 - 33)의 일단과 연결된 제 1 내지 제 3 종단 저항(R1, R2, R3)을 포함한다.

[0010] 제 1 내지 제 3 종단 저항(R1, R2, R3)의 타단은 공통 노드(N)에 연결된다.

[0011] 수신 장치(20)는 제 1 내지 제 3 전송 라인(31 - 33)의 출력단에 연결된 제 1 내지 제 3 수신 구동부(21 - 23)를 더 포함할 수 있다.

[0012] 제 1 수신 구동부(21)는 제 1 및 제 2 전송 라인(31, 32)의 출력 신호의 차이를 비교하여 수신 신호(Xo)를 출력하고, 제 2 수신 구동부(22)는 제 2 및 제 3 전송 라인(32, 33)의 출력 신호의 차이를 비교하여 수신 신호(Yo)를 출력하고, 제 3 수신 구동부(23)는 제 3 및 제 1 전송 라인(33, 31)의 출력 신호의 차이를 비교하여 수신 신호(Zo)를 출력한다.

[0013] 수신 신호(Xo, Yo, Zo)를 디코딩하여 디지털 신호를 복원할 수 있다.

[0014] 도 2 및 도 3은 종래의 신호 전송 방법을 설명하는 도면이다.

[0015] 제 1 송신 구동부(11)는 전원 전압(VDD)과 접지 사이에 제 11 스위치(SW11), 제 11 저항(R11), 제 12 저항(R12), 제 12 스위치(SW12)가 직렬 연결되고 제 11 저항(R11)과 제 12 저항(R12)의 공통 연결 단자가 제 1 전송 라인(31)과 연결된다.

[0016] 제 2 송신 구동부(12)는 전원 전압(VDD)과 접지 사이에 제 21 스위치(SW21), 제 21 저항(R21), 제 22 저항(R22), 제 22 스위치(SW22)가 직렬 연결되고 제 21 저항(R21)과 제 22 저항(R22)의 공통 연결 단자가 제 2 전송 라인(32)과 연결된다.

[0017] 제 3 송신 구동부(13)는 전원 전압(VDD)과 접지 사이에 제 31 스위치(SW31), 제 31 저항(R31), 제 32 저항(R32), 제 32 스위치(SW32)가 직렬 연결되고 제 31 저항(R31)과 제 32 저항(R32)의 공통 연결 단자가 제 3 전송 라인(33)과 연결된다.

[0018] 제 11 저항(R11), 제 12 저항(R12), 제 21 저항(R21), 제 22 저항(R22), 제 31 저항(R31), 제 32 저항(R32) 및 종단 저항(R1, R2, R3)은 모두 동일한 저항값을 갖는 것으로 가정한다.

[0019] 도 2는 제 1 및 제 2 송신 구동부(11, 12)를 동작시키고, 제 3 송신 구동부(13)를 플로팅 시키는 방법이다.

[0020] 이때 제 11 스위치(SW11)와 제 22 스위치(SW22)가 턴온되고 제 12 스위치(SW12), 제 21 스위치(SW21), 제 31 스위치(SW31), 제 32 스위치(SW32)가 턴오프된다.

[0021] 이에 따라 제 1 전송 라인(31)의 출력 전압은 0.75 VDD, 제 2 전송 라인(32)의 출력 전압은 0.25 VDD, 제 3 전송 라인(33)의 출력 전압은 0.5 VDD가 된다.

[0022] 그러나 제 3 전송 라인(33)은 플로팅 상태이므로 노이즈의 영향으로 인하여 출력 전압이 0.5 VDD로 고정되지 않

아 아이(eye) 다이어그램에서 아이가 좁아지는 문제가 있다.

- [0023] 도 3은 제 1 및 제 2 송신 구동부(11, 12)를 동작시키고, 제 3 송신 구동부(13)에는 일정한 정전류가 흐르도록 한다.
- [0024] 이에 따라 제 1 전송 라인(31)과 제 2 전송 라인(32)에는 제 1 전류(I1)가 흐르고, 제 3 송신 구동부(13)에는 제 2 전류(I2)가 흐른다.
- [0025] 이때 제 11 스위치(SW11), 제 22 스위치(SW22), 제 31 스위치(SW31), 제 32 스위치(SW32)가 턴온되고 제 12 스위치(SW12), 제 21 스위치(SW21)가 턴오프된다.
- [0026] 이에 따라 제 1 전송 라인(11)의 출력 전압은 0.75 VDD, 제 2 전송 라인(12)의 출력 전압은 0.25 VDD가 된다.
- [0027] 제 3 전송 라인(13)의 출력 전압은 안정적으로 0.5 VDD의 값을 유지할 수 있으나 제 3 송신 구동부(13)에 흐르는 제 2 전류(I2)로 인한 전력 소비가 증가하는 문제가 있다.
- [0028] 아울러 종래의 장치에서는 임피던스 매칭을 위하여 송신 구동부에 포함되는 저항은 물론 종단 저항의 크기를 키우는데 한계가 있으며 이로 인하여 제 1 전류(I1) 및 제 2 전류(I2)의 크기가 커지고 이에 따라 전력 소모가 증가한다.

선행기술문헌

특허문헌

- [0029] (특허문헌 0001) US 8390317 B2

비특허문헌

- [0030] (비특허문헌 0001) Jaewon Lee, "2.5-Gb/s On-Chip Interconnect Transceiver With Crosstalk and ISI Equalizer in 130 nm CMOS", IEEE Transactions on Circuits and Systems-I: Regular Papers, Vol. 59, No. 1, pp.124 -136, January 2012.
- (비특허문헌 0002) Meisam Honarvar Nazari, "15-Gb/s 0.5-mW/Gbps Two-Tap DFE Receiver With Far-End Crosstalk Cancellation", IEEE Journal Of Solid-State Circuits, Vol. 47, No. 10, pp.2420 -2432, October 2012.
- (비특허문헌 0003) Junyoung Song, "V 10Gb/s/pin Single-Ended Transceiver with Controllable Active-Inductor-Based Driver and Adaptively Calibrated Cascade-DFE for Post-LPDDR4 Interfaces", IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, pp.320 -321, 2015.

발명의 내용

해결하려는 과제

- [0031] 본 기술에서는 3-레벨 전송 기술에 있어서 전력 소비를 줄이는 동시에 출력 신호의 특성을 열화시키지 않는 송신 장치 및 이를 포함하는 시스템을 제공한다.

과제의 해결 수단

- [0032] 본 발명의 일 실시예에 의한 송신 장치는 제 1 입력 신호에 따라 제 1 전송 라인을 구동하는 제 1 송신 구동부; 제 2 입력 신호에 따라 제 2 전송 라인을 구동하는 제 2 송신 구동부; 제 3 입력 신호에 따라 제 3 전송 라인을 구동하는 제 3 송신 구동부; 제 1 송신 구동부의 출력단에 연결되는 제 1 능동 인덕터; 제 2 송신 구동부의 출력단에 연결되는 제 2 능동 인덕터; 및 제 3 송신 구동부의 출력단에 연결되는 제 3 능동 인덕터를 포함한다.
- [0033] 본 발명의 일 실시예에 의한 시스템은 송신 장치, 수신 장치 및 송신 장치와 수신 장치를 연결하는 제 1 내지 제 3 전송 라인을 포함하되, 송신 장치는 제 1 입력 신호에 따라 상기 제 1 전송 라인을 구동하는 제 1 송신 구동부; 제 2 입력 신호에 따라 상기 제 2 전송 라인을 구동하는 제 2 송신 구동부; 제 3 입력 신호에 따라 상기

제 3 전송 라인을 구동하는 제 3 송신 구동부; 제 1 송신 구동부의 출력단에 연결되는 제 1 능동 인덕터; 제 2 송신 구동부의 출력단에 연결되는 제 2 능동 인덕터; 및 제 3 송신 구동부의 출력단에 연결되는 제 3 능동 인덕터를 포함하고, 수신 장치는 제 1 전송 라인의 출력단과 공통 노드 사이에 연결된 제 1 종단 저항; 제 2 전송 라인의 출력단과 공통 노드 사이에 연결된 제 2 종단 저항; 및 제 3 전송 라인의 출력단과 공통 노드 사이에 연결된 제 3 종단 저항을 포함한다.

발명의 효과

- [0034] 본 기술에 의한 송신 장치 및 시스템은 송신 구동부와 함께 능동 인덕터를 포함하여 전송 신호의 대역폭을 확장할 수 있다.
- [0035] 본 기술에 의한 송신 장치 및 시스템은 송신 구동부와 함께 능동 인덕터를 포함하여 구동 저항 및 종단 저항의 크기를 증가시켜 소모 전류를 줄이면서도 신호의 품질이 열화되는 것을 방지할 수 있다.
- [0036] 본 기술에 의한 송신 장치 및 시스템은 정전류를 사용하는 송신 구동부 대신에 플로팅 상태의 송신 구동부에 능동 인덕터를 관통하는 정전류를 제공하여 소모 전류를 줄일 수 있다.

도면의 간단한 설명

- [0037] 도 1은 종래의 송신 장치를 포함하는 시스템의 블록도.
- 도 2 및 도 3은 종래의 구동 방법의 문제를 나타낸 설명도.
- 도 4는 본 발명의 일 실시예에 의한 송신 장치를 포함하는 시스템을 나타낸 블록도.
- 도 5는 도 4의 송신 장치를 나타낸 회로도.
- 도 6은 본 발명의 일 실시예에 의한 송신 장치의 동작을 나타낸 설명도.
- 도 7은 본 발명의 효과를 설명하는 그래프.
- 도 8A, 8B는 본 발명의 효과를 설명하는 아이 다이어그램.
- 도 9 및 도 10은 종단 저항에 따른 본 발명의 효과를 설명하는 그래프.
- 도 11은 도 5의 제 1 송신 구동부의 다른 실시예를 나타낸 회로도.
- 도 12는 벌크 제어 신호 생성부를 나타낸 회로도.

발명을 실시하기 위한 구체적인 내용

- [0038] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.
- [0039] 도 4는 본 발명의 일 실시예에 의한 송신 장치(100)를 포함하는 시스템의 블록도이다.
- [0040] 종래와 같이 수신 장치(20)는 제 1 내지 제 3 종단 저항(R1, R2, R3)을 포함하고, 전송 라인(30)은 제 1 내지 제 3 전송 라인(31 - 33)을 포함한다.
- [0041] 제 1 내지 제 3 종단 저항(R1, R2, R3)의 일단은 제 1 내지 제 3 전송 라인(31 - 33)과 연결되고 타단은 공통 노드(N)에 연결된다.
- [0042] 본 발명의 일 실시예에 의한 송신 장치(100)는 제 1 내지 제 3 송신 구동부(110 - 130)와 제 1 내지 제 3 능동 인덕터(140 - 160)를 포함한다.
- [0043] 능동 인덕터는 전계 효과 트랜지스터와 같은 능동 소자를 포함하여 인덕터 특성을 가지도록 동작한다.
- [0044] 능동 인덕터 자체는 잘 알려진 구성으로서 높은 주파수에서 이득을 향상시켜주는 기능을 한다.
- [0045] 전송 라인은 일반적으로 저주파 필터의 특성이 있는데 본 발명에서는 송신 장치 내에 능동 인덕터를 사용하여 전송 라인을 통과한 신호의 대역폭을 증가시킬 수 있다.
- [0046] 제 11 및 제 12 입력 신호(X1, X2)를 포함하는 제 1 입력 신호는 제 1 송신 구동부(110)에 인가되고, 제 1 송신 구동부(110)의 출력은 제 1 전송 라인(31)에 인가된다.

- [0047] 제 1 능동 인덕터(140)는 제 1 송신 구동부(110)의 출력단에 연결된다.
- [0048] 제 21 및 제 22 입력 신호(Y1, Y2)를 포함하는 제 2 입력 신호는 제 2 송신 구동부(120)에 인가되고, 제 2 송신 구동부(120)의 출력은 제 2 전송 라인(32)에 인가된다.
- [0049] 제 2 능동 인덕터(150)는 제 2 송신 구동부(120)의 출력단에 연결된다.
- [0050] 제 31 및 제 32 입력 신호(Z1, Z2)를 포함하는 제 3 입력 신호는 제 3 송신 구동부(130)에 인가되고, 제 3 송신 구동부(130)의 출력은 제 3 전송 라인(33)에 인가된다.
- [0051] 제 3 능동 인덕터(160)는 제 3 송신 구동부(130)의 출력단에 연결된다.
- [0052] 본 실시예에서 제 11 내지 제 32 입력 신호는 전송하고자 하는 디지털 신호를 인코딩한 신호일 수 있다.
- [0053] 본 실시예에서 신호 전송 시 제 1 내지 제 3 송신 구동부(110 - 130) 중 둘은 신호를 구동하도록 설정되고, 나머지 하나는 플로팅 상태가 되도록 설정된다.
- [0054] 도 5는 도 4의 송신 장치(100)의 일 실시예를 나타내는 회로도이다.
- [0055] 제 1 송신 구동부(110)는 전원 전압(VDD)과 접지 사이에 제 11 PMOS 트랜지스터(P11), 제 11 저항(R11), 제 12 저항(R12) 및 제 11 NMOS 트랜지스터(N11)가 직렬 연결된다.
- [0056] 제 11 PMOS 트랜지스터(P11)에는 제 11 입력 신호(X1)가 인가되고 제 11 NMOS 트랜지스터(N11)의 게이트에는 제 12 입력 신호(X2)가 인가된다.
- [0057] 제 11 저항(R11)과 제 12 저항(R12)이 공통 연결되는 단자에서 제 1 송신 구동부(110)의 출력이 제 1 전송 라인(31)으로 제공된다.
- [0058] 제 1 능동 인덕터(140)는 전원 전압(VDD)과 접지 사이에 제 41 PMOS 트랜지스터(P41), 제 42 PMOS 트랜지스터(P42), 제 42 NMOS 트랜지스터(N42) 및 제 41 NMOS 트랜지스터(N41)가 직렬 연결된다.
- [0059] 제 41 PMOS 트랜지스터(P41)의 게이트에는 제 11 제어 신호(V11)가 인가되고, 제 41 NMOS 트랜지스터(N41)의 게이트에는 제 12 제어 신호(V12)가 인가된다.
- [0060] 제 42 PMOS 트랜지스터(P42)의 게이트와 드레인 사이에는 제 41 저항(R41)이 연결되고, 제 42 NMOS 트랜지스터(N42)의 게이트와 드레인 사이에는 제 42 저항(R42)이 연결된다.
- [0061] 제 42 PMOS 트랜지스터(P42)와 제 41 저항(R41)은 제 11 능동 인덕터(141)로 동작하고, 제 42 NMOS 트랜지스터(N42)와 제 42 저항(R42)은 제 12 능동 인덕터(142)로 동작하고, 제 41 PMOS 트랜지스터(P41)와 제 41 NMOS 트랜지스터(N41)는 스위치로 동작한다.
- [0062] 제 42 PMOS 트랜지스터(P42)와 제 42 NMOS 트랜지스터(N42)의 공통 드레인은 제 1 송신 구동부(110)의 출력단에 연결된다.
- [0063] 제 1 능동 인덕터(140)는 제 1 송신 구동부(110)에서 출력되어 제 1 전송 라인(31)으로 전송되는 신호의 대역폭을 증가시킬 수 있다.
- [0064] 제 2 송신 구동부(120)는 전원 전압(VDD)과 접지 사이에 제 21 PMOS 트랜지스터(P21), 제 21 저항(R21), 제 22 저항(R22) 및 제 21 NMOS 트랜지스터(N21)가 직렬 연결된다.
- [0065] 제 21 PMOS 트랜지스터(P21)에는 제 21 입력 신호(Y1)가 인가되고 제 21 NMOS 트랜지스터(N21)의 게이트에는 제 22 입력 신호(Y2)가 인가된다.
- [0066] 제 21 저항(R21)과 제 22 저항(R22)이 공통 연결되는 단자에서 제 2 송신 구동부(120)의 출력이 제 2 전송 라인(32)으로 제공된다.
- [0067] 제 2 능동 인덕터(150)는 전원 전압(VDD)과 접지 사이에 제 51 PMOS 트랜지스터(P51), 제 52 PMOS 트랜지스터(P52), 제 52 NMOS 트랜지스터(N52) 및 제 51 NMOS 트랜지스터(N51)가 직렬 연결된다.
- [0068] 제 51 PMOS 트랜지스터(P51)의 게이트에는 제 21 제어 신호(V21)가 인가되고, 제 51 NMOS 트랜지스터(N51)의 게이트에는 제 22 제어 신호(V22)가 인가된다.
- [0069] 제 52 PMOS 트랜지스터(P52)의 게이트와 드레인 사이에는 제 51 저항(R51)이 연결되고, 제 52 NMOS 트랜지스터

(N52)의 게이트와 드레인 사이에는 제 52 저항(R52)이 연결된다.

- [0070] 제 52 PMOS 트랜지스터(P52)와 제 51 저항(R51)은 제 21 능동 인덕터(151)로 동작하고, 제 52 NMOS 트랜지스터(N52)와 제 52 저항(R52)은 제 22 능동 인덕터(152)로 동작하고, 제 51 PMOS 트랜지스터(P51)와 제 51 NMOS 트랜지스터(N51)는 스위치로 동작한다.
- [0071] 제 52 PMOS 트랜지스터(P52)와 제 52 NMOS 트랜지스터(N52)의 공통 드레인은 제 2 송신 구동부(120)의 출력단에 연결된다.
- [0072] 제 2 능동 인덕터(150)는 제 2 송신 구동부(120)에서 출력되어 제 2 전송 라인(32)으로 전송되는 신호의 대역폭을 증가시킬 수 있다.
- [0073] 제 3 송신 구동부(130)는 전원 전압(VDD)과 접지 사이에 제 31 PMOS 트랜지스터(P31), 제 31 저항(R31), 제 32 저항(R32) 및 제 31 NMOS 트랜지스터(N31)가 직렬 연결된다.
- [0074] 제 31 PMOS 트랜지스터(P31)에는 제 31 입력 신호(Z1)가 인가되고 제 31 NMOS 트랜지스터(N31)의 게이트에는 제 32 입력 신호(Z2)가 인가된다.
- [0075] 제 31 저항(R31)과 제 32 저항(R32)이 공통 연결되는 단자에서 제 3 송신 구동부(130)의 출력이 제 3 전송 라인(33)으로 제공된다.
- [0076] 제 3 능동 인덕터(160)는 전원 전압(VDD)과 접지 사이에 제 61 PMOS 트랜지스터(P61), 제 62 PMOS 트랜지스터(P62), 제 62 NMOS 트랜지스터(N62) 및 제 61 NMOS 트랜지스터(N61)가 직렬 연결된다.
- [0077] 제 61 PMOS 트랜지스터(P61)의 게이트에는 제 31 제어 신호(V31)가 인가되고, 제 61 NMOS 트랜지스터(N61)의 게이트에는 제 32 제어 신호(V32)가 인가된다.
- [0078] 제 62 PMOS 트랜지스터(P62)의 게이트와 드레인 사이에는 제 61 저항(R61)이 연결되고, 제 62 NMOS 트랜지스터(N62)의 게이트와 드레인 사이에는 제 62 저항(R62)이 연결된다.
- [0079] 제 62 PMOS 트랜지스터(P62)와 제 61 저항(R61)은 제 31 능동 인덕터(161)로 동작하고, 제 62 NMOS 트랜지스터(N62)와 제 62 저항(R62)은 제 32 능동 인덕터(162)로 동작하고, 제 61 PMOS 트랜지스터(P61)와 제 61 NMOS 트랜지스터(N61)는 스위치로 동작한다.
- [0080] 제 62 PMOS 트랜지스터(P62)와 제 62 NMOS 트랜지스터(N62)의 공통 드레인은 제 3 송신 구동부(130)의 출력단에 연결된다.
- [0081] 제 3 능동 인덕터(160)는 제 3 송신 구동부(130)에서 출력되어 제 3 전송 라인(33)으로 전송되는 신호의 대역폭을 증가시킬 수 있다.
- [0082] 도 6은 도 5의 동작을 설명하는 도면이다.
- [0083] 이하의 기재에서 '0'은 트랜지스터의 문턱 전압의 크기보다 작은 로우 레벨의 전압에 대응하는 신호이고 '1'은 트랜지스터의 문턱 전압의 크기보다 큰 하이 레벨의 전압에 대응하는 신호이다.
- [0084] 이에 따라 도 6에서 '0'으로 표시한 부분에는 로우 레벨의 전압이 인가되고 '1'로 표시한 부분에는 하이 레벨의 전압이 인가되는 것으로 해석한다.
- [0085] 도 6에서 제 11 및 제 12 신호(X1, X2)는 0, 제 21 및 제 22 신호(Y1, Y2)는 1로 주어지고, 제 31 신호(Z1)는 1, 제 32 신호(Z2)는 0으로 주어진다.
- [0086] 이에 따라 제 1 송신 구동부(110)에서 제 11 PMOS 트랜지스터(P11)는 턴온되고 제 11 NMOS 트랜지스터(N11)는 턴오프된다.
- [0087] 제 2 송신 구동부(120)에서 제 21 NMOS 트랜지스터(N21)가 턴온되고 제 21 PMOS 트랜지스터(P21)가 턴오프된다.
- [0088] 제 3 송신 구동부(130)에서 제 31 NMOS 트랜지스터(N31) 및 제 31 PMOS 트랜지스터(P31)는 모두 턴오프된다.
- [0089] 이와 함께 제 11 및 제 12 제어 신호(V12, V12)는 1, 제 21 및 제 22 제어 신호(V21, V22)는 0으로 주어지고, 제 31 제어 신호(V31)는 0, 제 32 제어 신호(V32)는 1로 주어진다.
- [0090] 이에 따라 제 1 능동 인덕터(140)에서 제 41 PMOS 트랜지스터(P41)는 턴오프되고 제 41 NMOS 트랜지스터(N41)

는 턴온되어 제 12 능동 인덕터(142)가 제 1 송신 구동부(110)의 출력단과 접지 사이에 연결된다.

[0091] 제 2 능동 인덕터(150)에서 제 51 PMOS 트랜지스터(P51)는 턴온되고 제 51 NMOS 트랜지스터(N51)는 턴오프되어 제 21 능동 인덕터(151)가 전원 전압과 제 2 송신 구동부(110)의 출력단 사이에 연결된다.

[0092] 제 3 능동 인덕터(160)에서 제 61 PMOS 트랜지스터(P61)는 턴온되고 제 61 NMOS 트랜지스터(N61)는 턴온되어 제 31 능동 인덕터(161)가 전원 전압과 제 3 송신 구동부(130)의 출력단 사이에 연결되고, 제 32 능동 인덕터(162)가 제 3 송신 구동부(130)의 출력단과 접지 사이에 연결된다.

[0093] 이에 따라 제 1 전송 라인(31), 공통 노드(N) 제 2 전송 라인(32)에는 제 3 전류(I3)가 흐르고, 제 3 전송 라인(33)에는 전류가 흐르지 않는다.

[0094] 본 실시예에서 제 11 저항(R11), 제 22 저항(R22)에 흐르는 전류는 제 31 전류(I31)로 동일하게 설정되고, 제 12 능동 인덕터(142)와 제 21 능동 인덕터(151)를 관통하는 전류는 제 32 전류(I32)로 동일하게 설정된다.

[0095] 공통 노드(N)의 전압(VN)은 수학식 1 또는 2로 표현될 수 있다.

수학식 1

$$V_N = V_{DD} - R_{11} \times I_{31} - R_1 \times I_3$$

[0096]

수학식 2

$$V_N = R_{22} \times I_{31} + R_2 \times I_3$$

[0097]

[0098] 본 실시예에서 제 11 저항(R11), 제 12 저항(R12)은 동일하게 설정되고 제 1 종단 저항(R1)과 제 2 종단 저항(R2)은 동일하게 설정된다.

[0099] 이에 따라 수학식 1, 2에서 공통 노드의 전압은 수학식 3과 같이 표현될 수 있다.

수학식 3

$$V_N = V_{DD}/2$$

[0100]

[0101] 따라서 제 1 전송 라인(31)의 출력 전압(Vo1)은 수학식 4와 같이 표현되고 제 2 전송 라인(32)의 출력 전압(Vo2)은 수학식 5와 같이 표현된다.

수학식 4

$$V_{o1} = V_{DD}/2 + R_1 \times I_3$$

[0102]

수학식 5

$$V_{o2} = V_{DD}/2 - R_2 \times I_3$$

[0103]

[0104] 또한 제 3 능동 인덕터(160) 내부에서 제 4 전류(I4)가 전원과 접지 사이에 흘러 제 3 송신 구동부(130)의 출력단이 VDD/2로 고정되므로 제 3 전송 라인(33)의 출력 전압(Vo3)은 VDD/2로 고정된다.

[0105] 본 발명에서는 송신 장치에 능동 인덕터를 사용함으로써 송신 구동부에 포함되는 저항(예를 들어 R11, R12 등)

의 크기를 종래에 비하여 크게 설정할 수 있다.

- [0106] 예를 들어 도 3에 개시된 종래의 기술에서 전송 라인의 특성 임피던스를 50옴이라고 한다면 능동 인덕터를 사용하지 않는 경우 임피던스 매칭을 위해서 송신 구동부에 포함되는 저항의 크기를 50옴으로 설정해야 한다.
- [0107] 전원 전압(VDD)이 1V인 경우 도 3의 경우에 송신 장치(10)의 제 3 송신 구동부(13)에서 사용하는 제 2 전류(I₂)만 10mA에 이른다.
- [0108] 본 발명에 있어서는 송신 장치에 능동 인덕터를 사용함으로써 송신 구동부에 포함되는 저항의 크기를 더 크게 설정하더라도 임피던스 매칭이 가능하다.
- [0109] 일 실시예에서 송신 구동부에 포함되는 저항(R11, R12, R21, R22, R31, R32)의 크기를 250옴으로 설정하고 이에 대응하여 종단 저항(R1, R2, R3)의 크기를 250옴으로 설정할 수 있다.
- [0110] 이에 따라 송신 구동부에 흐르는 제 31 전류(I31)는 도 3의 제 1 전류(I11)에 비하여 감소한다.
- [0111] 또한 제 1 송신 구동부(110)의 출력단의 전압은 VDD/2보다 크므로 제 12 능동 인덕터에 흐르는 전류(I32)의 크기는 제 4 전류(I4)의 크기보다 크게 된다.
- [0112] 제 31 전류(I31)의 크기는 제 32 전류(I32)의 크기보다 크고 제 32 전류(I32)의 크기는 제 4 전류(I4)의 크기보다 크므로 제 4 전류(I4)는 도 3의 제 2 전류(I2)에 비하여 더욱 크게 감소한다.
- [0113] 그 결과 본 발명의 일 실시예에 의한 송신 장치(100)의 전원에서 공급하는 전류의 크기인 제 31 전류(31)와 제 4 전류(I4)의 합은 종래에 비하여 감소한다.
- [0114] 이와 같이 본 발명에서는 송신 구동부 대신에 능동 인덕터를 이용하여 송신 구동부의 출력단이 플로팅되는 것을 방지하여 아이(eye) 특성의 열화를 방지하는 동시에 송신 장치(100)에서 소모하는 전류를 줄여 전력 소모를 감소시키는 효과가 있다.
- [0115] 도 7은 본 발명에 의한 대역폭 증가 효과를 나타내는 그래프이다.
- [0116] 도 7에서 능동 인덕터를 사용하지 않는 종래의 기술에서는 대역폭이 2.5GHz 이나 능동 인덕터를 사용하는 본 발명에서는 대역폭이 3.8GHz로 증가하였음을 알 수 있다.
- [0117] 도 8A는 도 3에 도시된 종래 기술의 아이 특성을 나타낸 그래프이고, 도 8B는 본 발명에 의한 아이 특성을 나타낸 그래프이다.
- [0118] 도시된 바와 같이 본 발명의 경우에 있어서 전류를 더 적게 사용하면서도 아이 특성이 종래와 대등한 것을 알 수 있다.
- [0119] 도 9는 종단 저항의 크기에 따른 아이 특성을 나타낸 그래프이다.
- [0120] 종래 기술은 도 3에 개시된 경우를 나타내고, 본 발명의 일 실시예는 도 5에 개시된 경우를 나타내고, 비교예는 도 6에서 제 3 송신 구동부(130)를 플로팅하지 않고 종래와 같이 정전류를 흘려주는 경우를 나타낸다.
- [0121] 도 9의 그래프를 통해 종래에는 종단 저항이 50옴보다 커지면 아이 폭이 현저히 감소하는 것을 확인할 수 있다. 이는 종단 저항이 50옴보다 커지는 경우 임피던스 매칭의 실패로 인한 것이다.
- [0122] 이에 비하여 본 발명의 경우에는 능동 인덕터를 사용하기 때문에 종단 저항의 크기를 크게 하여도 임피던스 매칭에 문제가 없으며 그 결과 아이 폭이 일정하게 유지되는 것을 알 수 있다.
- [0123] 비교예의 경우에는 능동 인덕터를 사용하는 동시에 도 6에서 제 3 송신 구동부(130)를 플로팅시키지 않으므로 아이폭이 본 발명에 비하여 다소 향상되는 것을 확인할 수 있다.
- [0124] 도 10은 종단 저항의 크기에 따른 소모 전류의 크기를 나타낸다.
- [0125] 종단 저항이 증가함에 따라 소모 전류의 크기가 감소하는 것은 전반적으로 공통된다.
- [0126] 비교예의 경우 제 3 송신 구동부(130)를 플로팅시키지 않으므로 본 발명에 비하여 종단 저항의 크기에 관계없이 언제나 더 많은 전류를 사용한다.
- [0127] 종래 기술과 본 발명을 비교하면 본 발명의 경우 종단 저항이 100옴 이하인 경우에는 종래에 비하여 더 적은 전류를 사용하나 종단 저항이 100옴을 초과하면 오히려 종래의 경우에 더 적은 전류를 사용한다.

- [0128] 그러나 도 9에서 살펴본 바와 같이 종단 저항이 50옴을 초과하면 종래의 경우에는 아이 특성이 급격히 나빠져서 종래의 기술에서는 종단 저항을 50옴이 아닌 값으로 설정할 수 없다.
- [0129] 이에 따라 전술한 바와 같이 종단 저항이 250옴으로 설정된 본 발명의 일 실시예와 종단 저항이 50옴으로 설정된 종래의 기술을 대비하면 본 발명의 경우에 소모 전류가 현저하게 낮음을 알 수 있다.
- [0130] 도 11은 도 5의 제 1 송신 구동부(110)의 다른 실시예를 나타낸 회로도이다.
- [0131] 본 실시예에서 제 1 송신 구동부(110)는 전원 전압(VDD)과 접지 사이에 제 11 PMOS 트랜지스터(P11)의 드레인과 제 11 NMOS 트랜지스터(N11)의 드레인이 공통 연결되어 제 1 전송 라인(31)을 구동한다.
- [0132] 제 11 PMOS 트랜지스터(P11)의 게이트에 제 11 입력 신호(X11)가 입력되고, 제 11 NMOS 트랜지스터(N11)의 게이트에 제 12 입력 신호(X12)가 입력되는 것은 도 5와 동일하다.
- [0133] 본 실시예에서는 제 11 PMOS 트랜지스터(P11)의 백 게이트에 제 11 벌크 제어 신호(Vb11)가 입력되고 제 11 NMOS 트랜지스터(N11)의 백 게이트에 제 12 벌크 제어 신호(Vb12)가 입력된다.
- [0134] 제 11 벌크 제어 신호(Vb11)는 제 11 PMOS 트랜지스터(P11)의 턴온 저항을 제어하고, 제 12 벌크 제어 신호(Vb12)는 제 12 NMOS 트랜지스터(N11)의 턴온 저항을 제어한다.
- [0135] 이에 따라 본 실시예에서는 도 5의 실시예와는 달리 별도의 저항(R11, R12)을 필요로 하지 않는다.
- [0136] 제 2 송신 구동부(120) 내지 제 3 송신 구동부(130)는 도 11에 도시한 제 1 송신 구동부(110)와 실질적으로 동일하게 구성할 수 있다.
- [0137] 도 12는 벌크 제어 신호 생성부(1100)의 회로도이다.
- [0138] 벌크 제어 신호 생성부(1100)는 제 1 벌크 제어 신호 생성부(1110)와 제 2 벌크 제어 신호 생성부(1120)를 포함한다.
- [0139] 제 1 벌크 제어 신호 생성부(1110)는 전원 전압(VDD)과 접지 사이에 직렬 연결된 다수의 저항(Rb10, ..., Rb115)과 다수의 저항에 의해 분배되는 전압을 선택하는 다수의 스위치(SW10, ..., SW115)를 포함한다.
- [0140] 다수의 스위치 중 어느 하나가 턴온되어 제 11 벌크 제어 신호(Vb11)를 출력한다.
- [0141] 제 2 벌크 제어 신호 생성부(1120)는 전원 전압(VDD)과 접지 사이에 직렬 연결된 다수의 저항(Rb20, ..., Rb215)과 다수의 저항에 의해 분배되는 전압을 선택하는 다수의 스위치(SW20, ..., SW215)를 포함한다.
- [0142] 다수의 스위치 중 어느 하나가 턴온되어 제 12 벌크 제어 신호(Vb12)를 출력한다.
- [0143] 제 2 송신 구동부(120) 또는 제 3 송신 구동부(130)를 위한 벌크 제어 신호 생성부 역시 이와 실질적으로 동일한 구성을 가질 수 있다.
- [0144] 이상은 본 발명의 실시예를 개시한 것으로서 이상의 개시에 의하여 본 발명의 권리범위가 한정되는 것은 아니다. 본 발명의 권리범위는 이하의 특허청구범위에 문언적으로 기재된 범위와 그 균등범위에 의해 정해진다.

부호의 설명

- [0145] 10, 100: 송신 장치
- 11, 110: 제 1 송신 구동부
- 12, 120: 제 2 송신 구동부
- 13, 130: 제 3 송신 구동부
- 140: 제 1 능동 인덕터
- 150: 제 2 능동 인덕터
- 160: 제 3 능동 인덕터
- 1100: 벌크 제어 신호 생성부
- 1110: 제 1 벌크 제어 신호 생성부

1120: 제 2 벌크 제어 신호 생성부

20: 수신 장치

21: 제 1 수신 구동부

22: 제 2 수신 구동부

23: 제 3 수신 구동부

30: 전송 라인

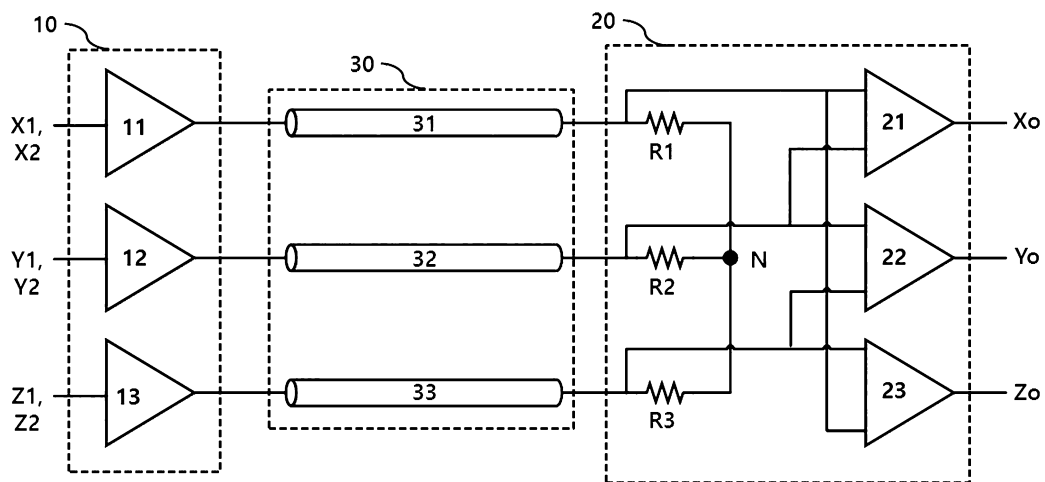
31: 제 1 전송 라인

32: 제 2 전송 라인

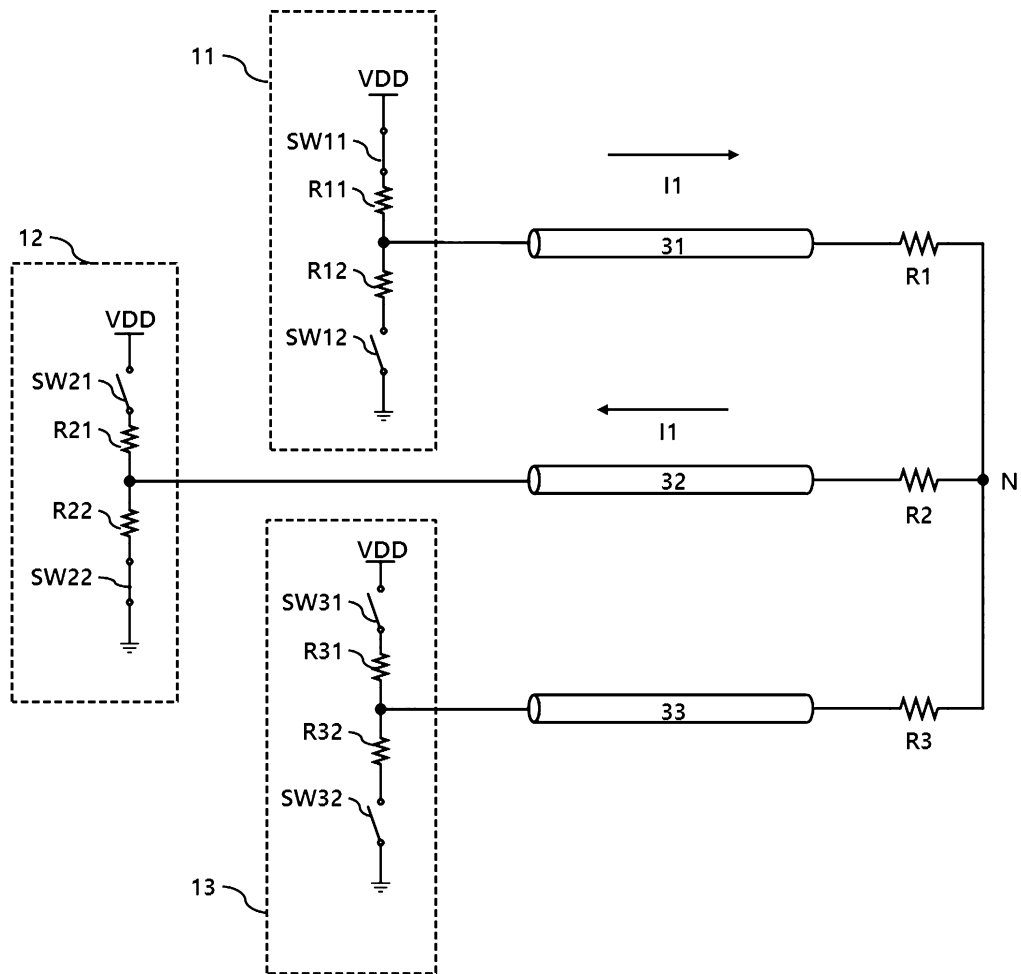
33: 제 3 전송 라인

도면

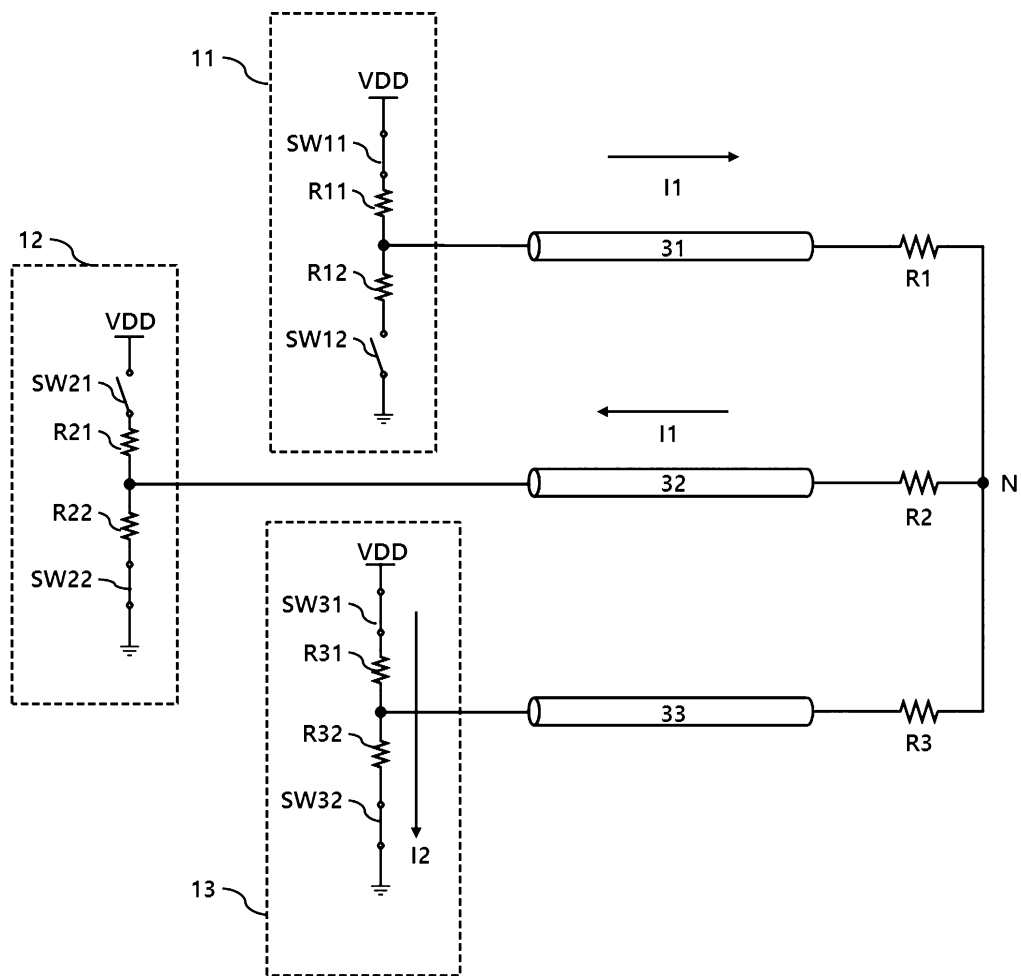
도면1



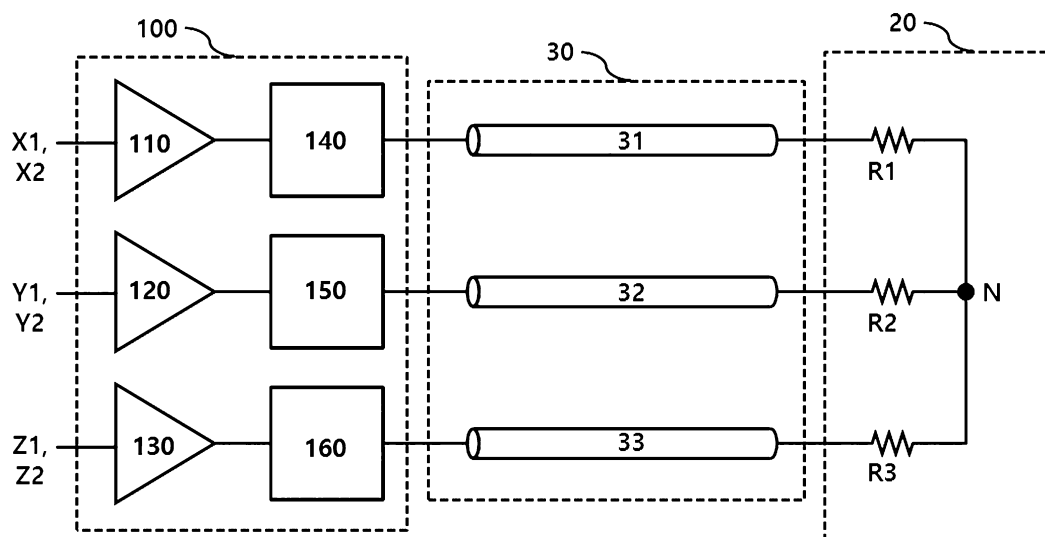
도면2



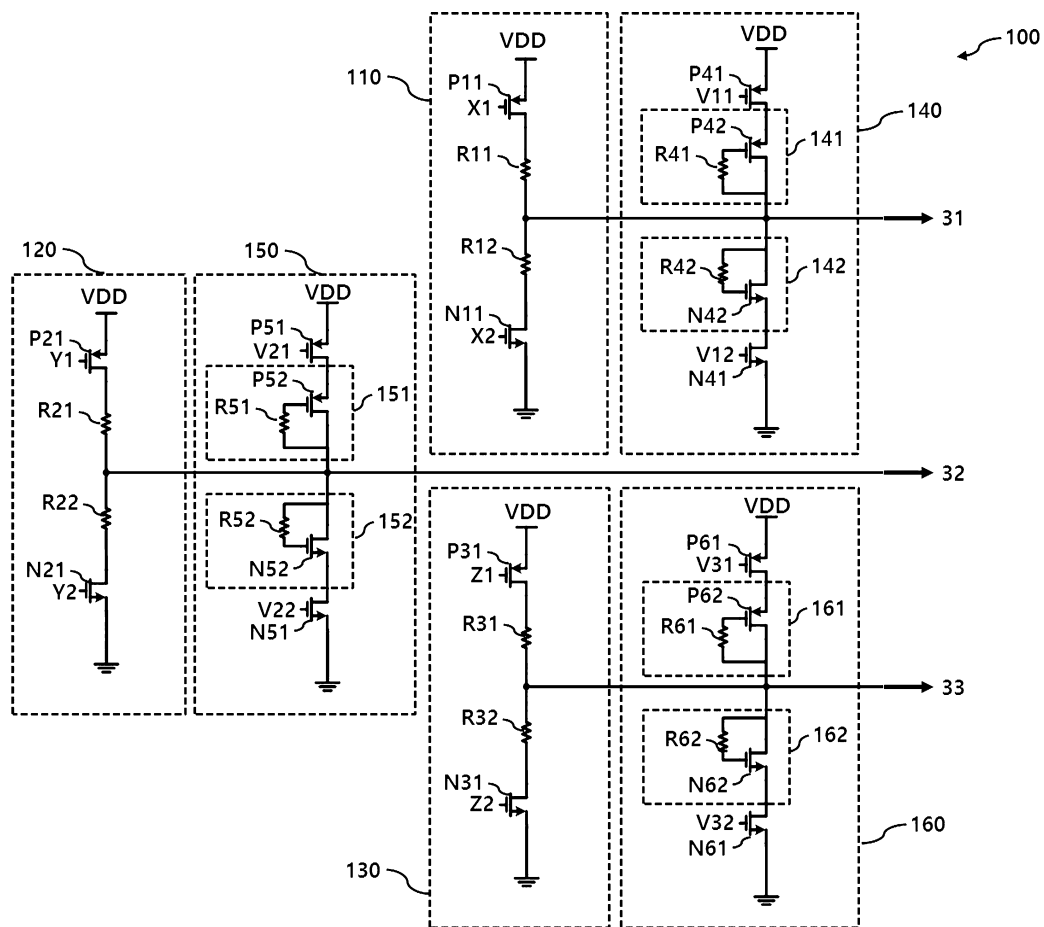
도면3



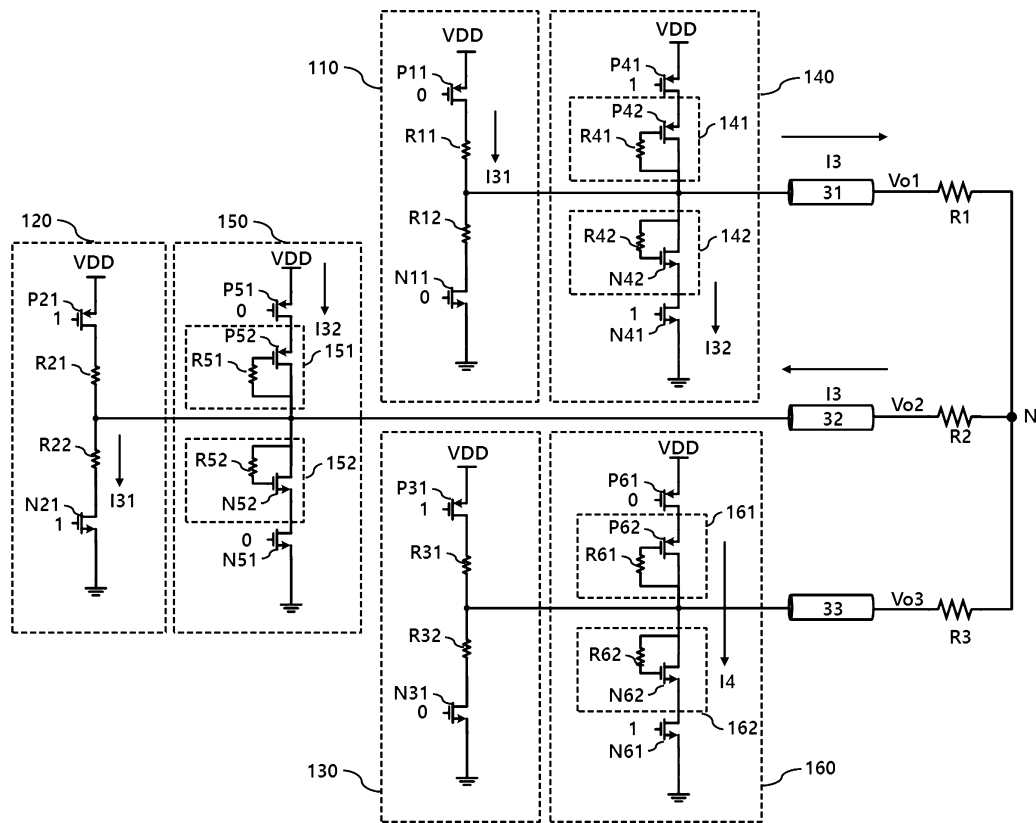
도면4



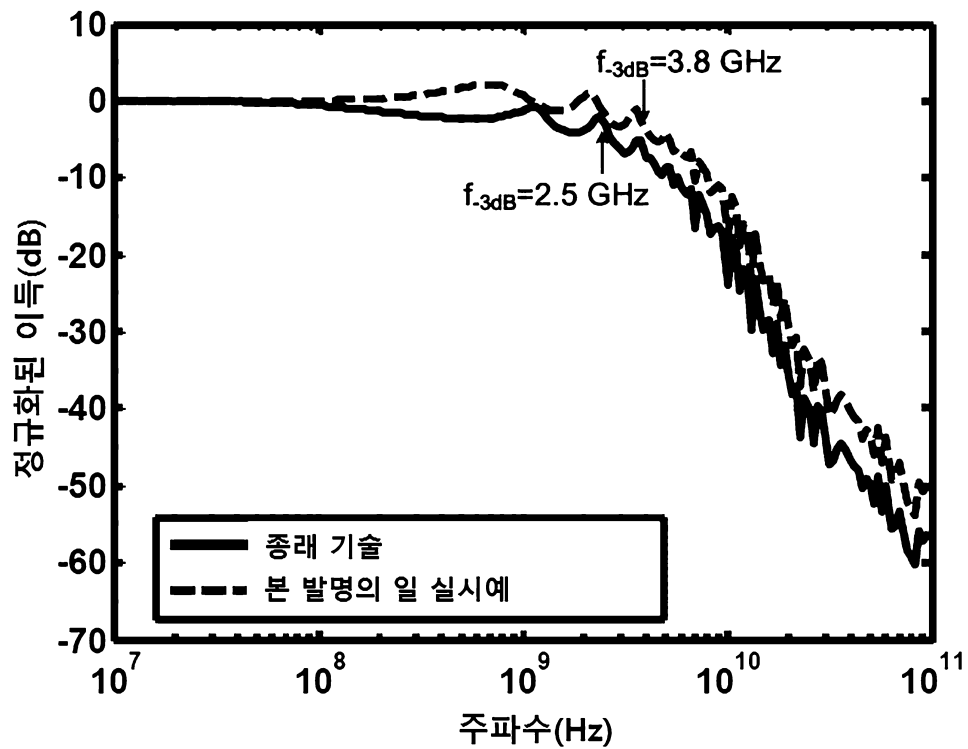
도면5



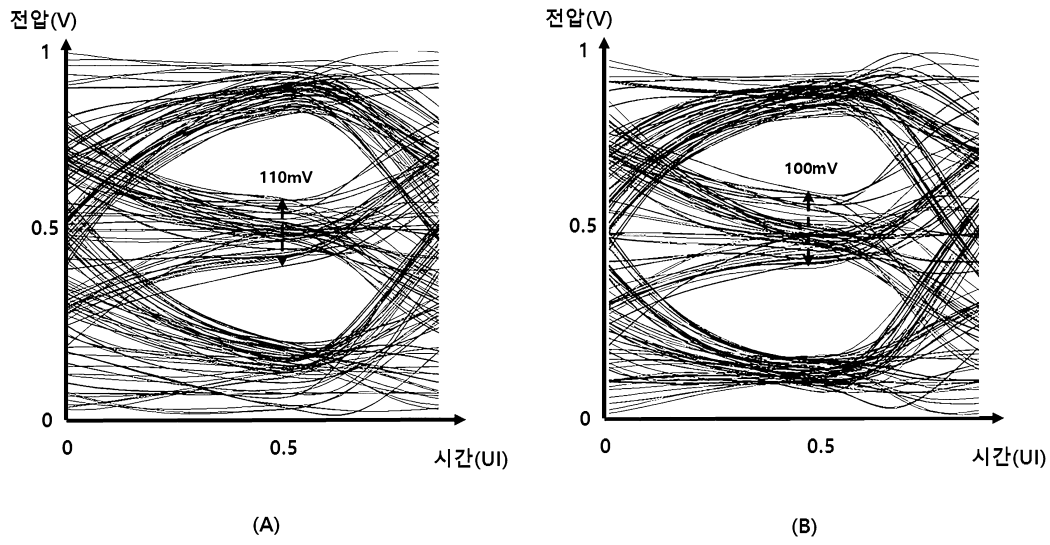
도면6



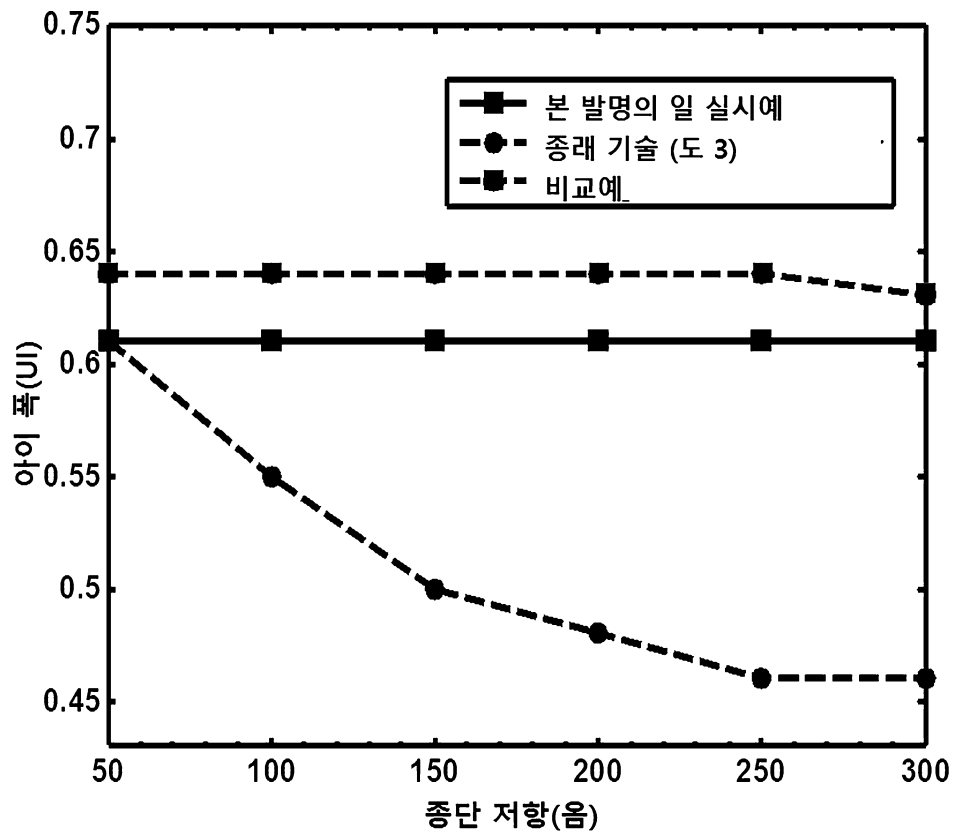
도면7



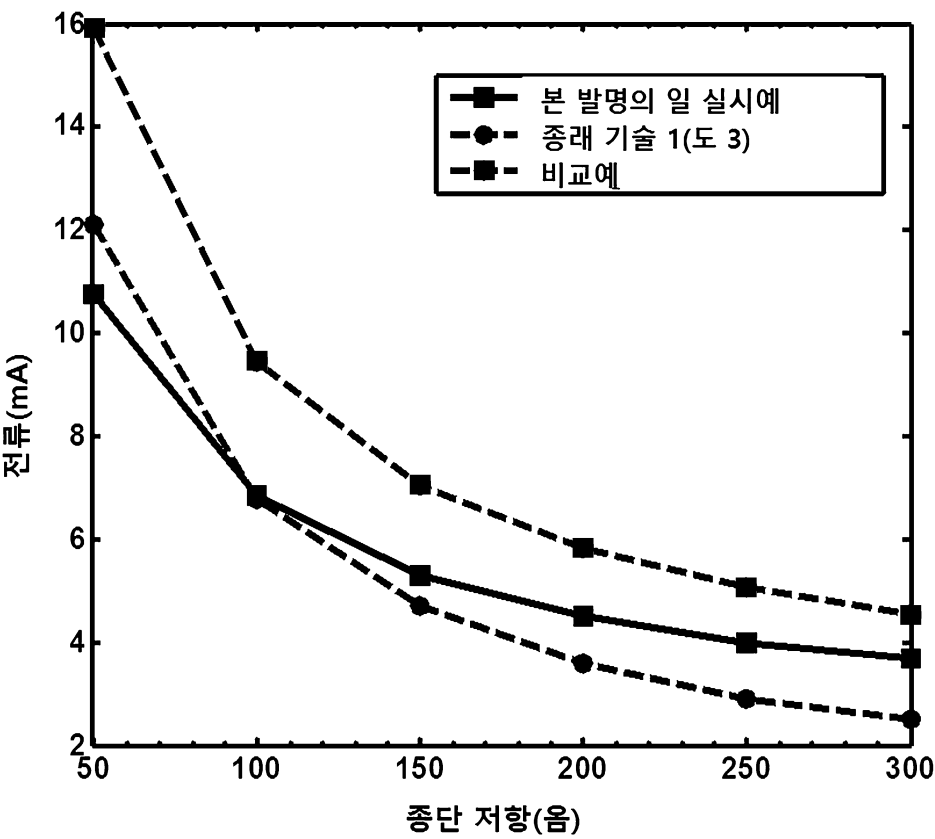
도면8



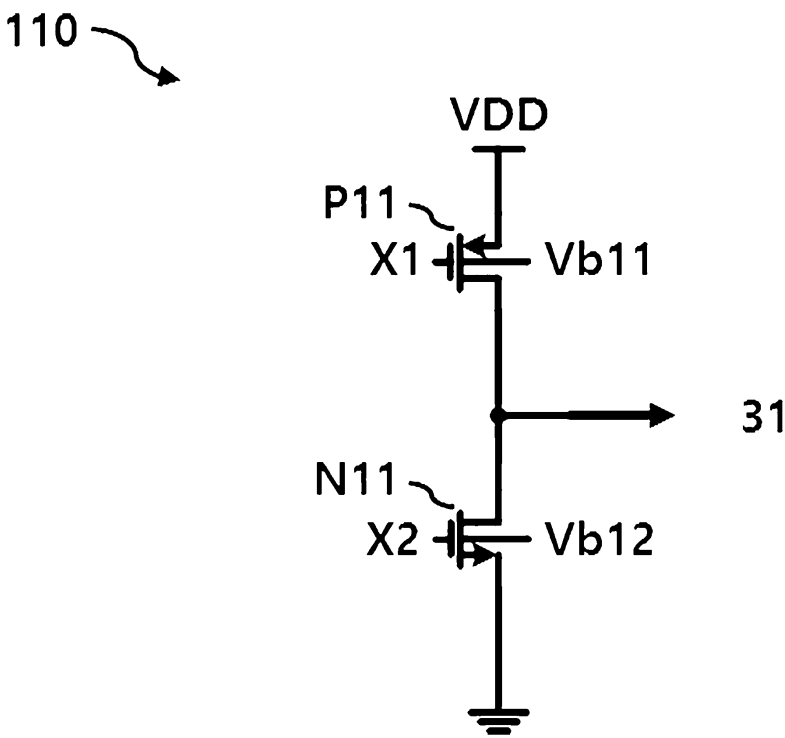
도면9



도면10



도면11



도면12

