



등록특허 10-2583915



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년09월26일  
(11) 등록번호 10-2583915  
(24) 등록일자 2023년09월22일

(51) 국제특허분류(Int. Cl.)  
H02M 3/07 (2006.01) G11C 16/30 (2006.01)  
G11C 5/14 (2021.01)  
(52) CPC특허분류  
H02M 3/07 (2013.01)  
G11C 16/30 (2013.01)  
(21) 출원번호 10-2021-0104083  
(22) 출원일자 2021년08월06일  
심사청구일자 2021년08월06일  
(65) 공개번호 10-2023-0021991  
(43) 공개일자 2023년02월14일  
(56) 선행기술조사문헌  
KR1020050112409 A  
KR101983386 B1  
KR1020020053194 A  
KR1020030004935 A

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
윤홍일  
서울특별시 서초구 태봉로2길 5, 107동 1302호(우면동, 서초네이처힐5단지)  
임태건  
대전광역시 서구 청사로 254, 107동 903호(둔산동, 등지아파트)  
(74) 대리인  
특허법인우인

전체 청구항 수 : 총 11 항

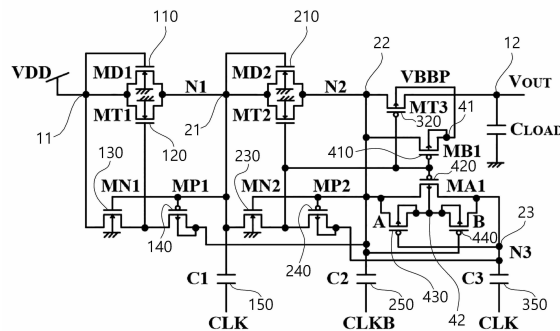
심사관 : 광인구

(54) 발명의 명칭 고속 전하 펌프 회로

(57) 요약

본 실시예들은 전하 펌프 회로의 보조 단에 추가적인 트랜지스터를 연결하여 문턱 전압 강하 및 기생 바이폴라를 방지하고, 전하 전달 트랜지스터에 더 높은 전압을 인가하여 원활한 전하 이동이 가능하게 만드는 회로로, 고속의 출력 전압 상승 및 높은 전력 효율을 보유하여 저전력 환경에서 유리한 전하 펌프 회로를 제공한다.

대표도



(52) CPC특허분류

**G11C 5/145** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711133812
과제번호	10080722
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D, 정보화)
연구과제명	클라우드 컴퓨팅 향 통합형 Server on Chip 시스템 연구
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2021.01.01 ~ 2021.12.31

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

전하 펌프 회로에 있어서,

다이오드 연결 트랜지스터, 상기 다이오드 연결 트랜지스터에 연결된 전달 트랜지스터, 상기 전달 트랜지스터를 끄거나 켜는 복수의 제어 트랜지스터를 포함하는 N(상기 N은 2 이상 자연수) 개의 기본 단;

상기 기본 단의 1 번째 노드에 연결된 1 번째 커패시터부터, 상기 기본 단의 N 번째 노드 및 N-1 번째 제어 트랜지스터에 연결된 N 번째 커패시터, 및 상기 기본단의 N 번째 제어 트랜지스터에 연결된 N+1 번째 커패시터를 포함하는 N+1 개의 커패시터;

상기 N 번째 노드 및 출력 노드에 연결된 N+1 번째 전달 트랜지스터;

상기 N 번째 노드 및 상기 N+1 번째 전달 트랜지스터의 벌크 노드에 연결된 제1 부가 트랜지스터;

상기 N 번째 노드 및 상기 N+1 번째 커패시터에 대응하는 N+1 번째 노드에 연결된 제2 부가 트랜지스터; 및

상기 제2 부가 트랜지스터의 벌크 노드에 연결된 제3 부가 트랜지스터 및 제4 부가 트랜지스터를 포함하는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 2

제1항에 있어서,

상기 제1 부가 트랜지스터의 게이트 및 상기 제2 부가 트랜지스터의 게이트가 서로 연결된 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 3

제1항에 있어서,

상기 제2 부가 트랜지스터는 PMOS(P-channel metal-oxide-semiconductor) 트랜지스터로 구현되는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 4

삭제

#### 청구항 5

제1항에 있어서,

상기 제3 부가 트랜지스터의 일단은 상기 제4 부가 트랜지스터의 일단에 연결되고, 상기 제3 부가 트랜지스터의 타단은 상기 N 번째 노드에 연결되고, 상기 제3 부가 트랜지스터의 게이트는 상기 N+1 번째 노드에 연결되는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 6

제1항에 있어서,

상기 제4 부가 트랜지스터의 일단은 상기 제3 부가 트랜지스터의 일단에 연결되고, 상기 제4 부가 트랜지스터의 타단은 상기 N+1 번째 노드에 연결되고, 상기 제4 부가 트랜지스터의 게이트는 상기 N 번째 노드에 연결되는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 7

제1항에 있어서,

상기 제3 부가 트랜지스터 및 상기 제4 부가 트랜지스터가 상기 제2 부가 트랜지스터의 기생 바이폴라를 최소화 하는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 8

제1항에 있어서,

상기 제2 부가 트랜지스터는 전하 펌핑 상태 및 정상 상태에서 문턱 전압 손실이 없이 미리 설정된 전압 레벨보다 높은 값을 갖는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 9

제8항에 있어서,

상기 전하 펌핑 상태에서,

상기 N 번째 노드의 전압 레벨이 상기 N+1 번째 노드의 전압 레벨보다 높고,

상기 제3 부가 트랜지스터가 켜지고,

상기 제2 부가 트랜지스터의 벌크 노드에 상기 N 번째 노드의 전압 레벨이 연결되는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 10

제8항에 있어서,

상기 정상 상태에서,

상기 N+1 번째 노드의 전압 레벨이 상기 N 번째 노드의 전압 레벨보다 높고,

상기 제4 부가 트랜지스터가 켜지고,

상기 제2 부가 트랜지스터의 벌크 노드에 상기 N+1 번째 노드의 전압 레벨이 연결되는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 11

제8항에 있어서,

상기 N 번째 노드의 전압 레벨 및 상기 N+1 번째 노드의 전압 레벨이 동일하고,

상기 제3 부가 트랜지스터 및 상기 제4 부가 트랜지스터가 꺼지고,

상기 제2 부가 트랜지스터의 벌크 노드는 플로팅 상태가 되는 것을 특징으로 하는 전하 펌프 회로.

#### 청구항 12

제8항에 있어서,

상기 N 번째 노드의 전압 레벨은 상기 N+1 번째 노드의 전압 레벨로 전부 전달되는 것을 특징으로 하는 전하 펌프 회로.

### 발명의 설명

### 기술 분야

[0001] 본 실시예가 속하는 기술 분야는 고속의 출력 전압 상승을 나타내는 전하 펌프 회로에 관한 것이다.

### 배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 반도체 기술이 발달함으로 저전력 소모의 중요성이 대두되고 있다. 이에 메모리의 전원 전압 또한 낮아지고 있는 추세이다. 낮은 전원 전압으로 메모리의 각 부에서 요구되는 높은 전압을 생성하기 위해서는 고전압 생성 회

로인 DC-DC 컨버터가 필요하다. 고효율의 DC-DC 컨버터로 전하 펌프 회로가 사용되고 있으며 가장 기본적인 구조로는 디스 전하 펌프가 존재한다. 디스 전하 펌프는 단마다 상대적으로 높은 전압을 생성할 수 있지만 단과 단 사이에서 발생하는 문턱 전압 강하 문제가 있어 그 효율이 떨어진다.

## 선행기술문헌

### 특허문헌

[0004] (특허문헌 0001) 한국등록특허공보 제10-0729138호 (2007.06.11.)

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명의 실시예들은 전하 펌프 회로의 보조 단에 추가적인 트랜지스터를 연결하여 문턱 전압 강하 및 기생 바이폴라를 방지하고, 전하 전달 트랜지스터에 더 높은 전압을 인가하여 원활한 전하 이동이 가능하게 만드는 회로로, 고속의 출력 전압 상승 및 높은 전력 효율을 확보하는데 발명의 주된 목적이 있다.

[0006] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

### 과제의 해결 수단

[0007] 본 실시예의 일 측면에 의하면, 전하 펌프 회로에 있어서, 다이오드 연결 트랜지스터, 상기 다이오드 연결 트랜지스터에 연결된 전달 트랜지스터, 상기 전달 트랜지스터를 끄거나 켜는 복수의 제어 트랜지스터를 포함하는 N (상기 N은 2 이상 자연수) 개의 기본 단; 상기 기본 단의 1 번째 노드에 연결된 1 번째 커패시터부터 상기 기본 단의 N 번째 노드 및 N-1 번째 기본 단의 제어 트랜지스터에 연결된 N+1 번째 커패시터를 포함하는 N+1 개의 커패시터; 상기 N 번째 노드 및 출력 노드에 연결된 N+1 번째 전달 트랜지스터; 상기 N 번째 노드 및 상기 N+1 번째 전달 트랜지스터의 벌크 노드에 연결된 제1 부가 트랜지스터; 상기 N 번째 노드 및 상기 N+1 번째 커패시터에 대응하는 N+1 번째 노드에 연결된 제2 부가 트랜지스터를 포함하는 것을 특징으로 전하 펌프 회로를 제공한다.

[0008] 상기 제1 부가 트랜지스터의 게이트 및 상기 제2 부가 트랜지스터의 게이트가 서로 연결될 수 있다.

[0009] 상기 제2 부가 트랜지스터는 PMOS(P-channel metal-oxide-semiconductor) 트랜지스터로 구현될 수 있다.

[0010] 상기 전하 펌프 회로는 상기 제2 부가 트랜지스터의 벌크 노드에 연결된 제3 부가 트랜지스터 및 제4 부가 트랜지스터를 포함할 수 있다.

[0011] 상기 제3 부가 트랜지스터의 일단은 상기 제4 부가 트랜지스터의 일단에 연결되고, 상기 제3 부가 트랜지스터의 타단은 상기 N 번째 노드에 연결되고, 상기 제3 부가 트랜지스터의 게이트는 상기 N+1 번째 노드에 연결될 수 있다.

[0012] 상기 제4 부가 트랜지스터의 일단은 상기 제3 부가 트랜지스터의 일단에 연결되고, 상기 제4 부가 트랜지스터의 타단은 상기 N+1 번째 노드에 연결되고, 상기 제4 부가 트랜지스터의 게이트는 상기 N 번째 노드에 연결될 수 있다.

[0013] 상기 제3 부가 트랜지스터 및 상기 제4 부가 트랜지스터가 상기 제2 부가 트랜지스터의 기생 바이폴라를 최소화할 수 있다.

[0014] 상기 제2 부가 트랜지스터는 전하 펌핑 상태 및 정상 상태에서 문턱 전압 손실이 없이 미리 설정된 전압 레벨보다 높은 값을 가질 수 있다.

[0015] 상기 전하 펌핑 상태에서, 상기 N 번째 노드의 전압 레벨이 상기 N+1 번째 노드의 전압 레벨보다 높고, 상기 제3 부가 트랜지스터가 켜지고, 상기 제2 부가 트랜지스터의 벌크 노드에 상기 N 번째 노드의 전압 레벨이 연결될 수 있다.

[0016] 상기 정상 상태에서, 상기 N+1 번째 노드의 전압 레벨이 상기 N 번째 노드의 전압 레벨보다 높고, 상기 제4 부

가 트랜지스터가 켜지고, 상기 제2 부가 트랜지스터의 벌크 노드에 상기 N+1 번째 노드의 전압 레벨이 연결될 수 있다.

[0017] 상기 N 번째 노드의 전압 레벨 및 상기 N+1 번째 노드의 전압 레벨이 동일하고, 상기 제3 부가 트랜지스터 및 상기 제4 부가 트랜지스터가 꺼지고, 상기 제2 부가 트랜지스터의 벌크 노드는 플로팅 상태가 될 수 있다.

[0018] 상기 N 번째 노드의 전압 레벨은 상기 N+1 번째 노드의 전압 레벨로 전부 전달될 수 있다.

### 발명의 효과

[0019] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 전하 펌프 회로의 보조 단에 추가적인 트랜지스터를 연결하여 문턱 전압 강하 및 기생 바이폴라를 방지하고, 전하 전달 트랜지스터에 더 높은 전압을 인가하여 원활한 전하 이동이 가능하게 만드는 회로로, 고속의 출력 전압 상승 및 높은 전력 효율을 보유하는 회로로 저전력 환경에서 유리한 효과가 있다.

[0020] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

### 도면의 간단한 설명

[0021] 도 1은 디스 전하 펌프 회로를 예시한 도면이다.

도 2 및 도 3은 보조 단을 갖는 디스 전하 펌프 회로(Conv1, Conv2)를 예시한 도면이다.

도 4는 본 발명의 일 실시예에 따른 전하 펌프 회로를 예시한 도면이다.

도 5는 본 발명의 일 실시예에 따른 전하 펌프 회로의 보조 단의 동작을 예시한 도면이다.

도 6은 본 발명의 일 실시예에 따른 전하 펌프 회로를 시뮬레이션한 결과이다.

### 발명을 실시하기 위한 구체적인 내용

[0022] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.

[0023] 전하 펌프는 빠른 출력 전압 상승 속도, 높은 전력 효율, 저 면적, 그리고 출력 전압의 낮은 리플 전압으로 동작할수록 성능이 우수하다.

[0024] 도 1은 디스 전하 펌프 회로를 예시한 도면이고, 도 2 및 도 3은 보조 단을 갖는 디스 전하 펌프 회로(Conv1, Conv2)를 예시한 도면이다.

[0025] 도 1에 도시된 디스 전하 펌프 회로 구조를 기반으로 한 전하 펌프 회로는 기존 전하 펌프 회로 대비 저 면적으로 사용의 이점이 있으나 단과 단 사이에서 문턱 전압 강하가 발생하는 문제가 있다.

[0026] 도 2 및 도 3에 도시된 변형된 디스 전하 펌프는 보다 높은 출력 전압을 생성하지만 보조단에서 문턱 전압 강하 문제가 여전히 존재한다.

[0027] 도 2 및 도 3을 참조하면, 각 단의 구성은 MD#, MT#, MN#, MP#, C#으로 각각 다이오드-연결 트랜지스터, 메인 전달 트랜지스터, MT#을 끄는 트랜지스터, MT#을 켜는 트랜지스터, 그리고 펌핑 캐패시터이다.

[0028] 보조 단의 구성으로 이전 단에서 다음 단으로 전하를 문턱 전압 강하 없이 온전히 전달이 가능하다. 보조 단의 경우 MA1과 C3로 구성되어 있으며 이는 각각 보조 전달 트랜지스터 그리고 보조 캐패시터이다. 보조 캐패시터는 일반 펌핑 캐패시터보다 훨씬 적은 용량으로 구비된다.

[0029] 변형된 디스 전하 펌프의 동작은 클럭 신호(CLK)가 low, 안티 클럭 신호(CLKB)가 high이면, MP1은 켜지고, MN1은 꺼진다. 이에 노드 N2에 있던 3 VDD가 MT1의 게이트에 인가된다. 게이트-소스 전압이 VDD보다 큰 3 VDD로 인가되어 MT1은 완전히 켜지게 되어 문턱 전압 강하 없이 VDD가 그대로 전달이 가능하다.

[0030] 이번엔 반대로 CLK가 high, CLKB가 low 상태를 설명한다. 노드 N1과 N2는 이상적으로 2 VDD가 된다. MN1의 게이트 전압엔 2 VDD가 인가되어 켜지고 MT1의 게이트 전압은 VDD로, 노드 N1의 전압이 2 VDD인 상태에서 MT1은 완전히 꺼진 상태가 된다.

- [0031] 보조 단의 구성은 단순히 MT2의 게이트 전압을 인가하기 위해서 구성된 단으로 내부적으로 다이오드-연결 NMOS 트랜지스터로 인해 문턱 전압이 발생하는 문제점이 있다.
- [0032] 도 2의 변형된 디스 전하 펌프와 달리 도 3의 변형된 디스 전하 펌프에서 마지막 단은 이전 단과 다르게 이전 단의 전하를 온전히 출력 단으로 전달하기 위해 PMOS 트랜지스터로 구성되며, 기생 바이폴라 구성을 막기 위해서 PMOS MT3의 벌크 노드(VBBP)를 추가적인 MB1 트랜지스터에 연결한다.
- [0033] 본 실시예에 따른 전하 펌프 회로는 변형된 디스 전하 펌프 보조 단 내에서 NMOS 다이오드 연결에 의해 발생하는 문턱 전압 강하 문제를 PMOS 트랜지스터 대체로 해결하고, 이러한 대체 방법으로 발생할 수 있는 기생 바이폴라 생성으로 인한 효율 저하를 방지하기 위해 추가적인 PMOS 트랜지스터를 부착함으로써 기존 전하 펌프 회로 대비 전압 상승 속도 및 전류량 등 전하 펌프의 성능을 향상시킨다.
- [0034] 본 실시예에 따른 전하 펌프 회로는 저전력 환경에서 사용이 용이하며, 메모리 드라이버, 디스플레이 패널 등 다양한 전자장치에 적용 가능하다.
- [0035] 도 4는 본 발명의 일 실시예에 따른 전하 펌프 회로를 예시한 도면이다.
- [0036] 도 4를 참조하면, 본 실시예에 따른 전하 펌프 회로는 기존 변형된 디스 전하 펌프 구조를 기반으로 클럭 천이 전, 보조 단 내에서 발생하는 문턱 전압 강하 문제를 PMOS MA1 트랜지스터의 대체 및 노드의 연결, 그리고 해당 구성으로 발생할 수 있는 기생 바이폴라 구성을 방지하기 위해 PMOS MA1의 벌크 노드에 PMOS A 그리고 B를 연결한다. 이러한 구성을 통해 보조 단 노드의 전압 값은 기존보다 상승하고, MT2의 게이트 전압을 기존보다 높은 전압으로 인가하여 노드 N1에서 노드 N2로 전하를 더욱 효율적으로 전달이 가능하여 전하 펌프 회로의 성능을 향상시킨다.
- [0037] 전하 펌프 회로는 다이오드 연결 트랜지스터(MD1, MD2), 다이오드 연결 트랜지스터(MD1, MD2)에 연결된 전달 트랜지스터(MT1, MT2), 전달 트랜지스터(MT1, MT2)를 끄거나 켜는 복수의 제어 트랜지스터(MN1, MP1, MN2, MP2)를 포함하는 N 개의 기본 단을 포함한다. N은 2 이상 자연수이다. 도 4에 도시된 전하 펌프 회로는 2단을 가정하여 설명하며, 2 이상의 단으로 동작 가능하다.
- [0038] 전하 펌프 회로는 기본 단의 1 번째 노드(21)에 연결된 1 번째 커패시터(150)부터, 기본 단의 N 번째 노드(22) 및 N-1 번째 제어 트랜지스터(MP1)에 연결된 N 번째 커패시터(250), 및 기본단의 N 번째 제어 트랜지스터(MP2)에 연결된 N+1 번째 커패시터(350)를 포함하는 N+1 개의 커패시터(150, 250, 350)를 포함한다.
- [0039] 전하 펌프 회로는 N 번째 노드(21) 및 출력 노드(12)에 연결된 N+1 번째 전달 트랜지스터(320)를 포함한다.
- [0040] 전하 펌프 회로는 N 번째 노드(22) 및 N+1 번째 전달 트랜지스터(320)의 벌크 노드(41)에 연결된 제1 부가 트랜지스터(410)를 포함한다.
- [0041] 전하 펌프 회로는 N 번째 노드(22) 및 N+1 번째 커패시터(350)에 대응하는 N+1 번째 노드(23)에 연결된 제2 부가 트랜지스터(420)를 포함한다.
- [0042] 제1 부가 트랜지스터(410)의 게이트 및 제2 부가 트랜지스터(420)의 게이트가 서로 연결될 수 있다.
- [0043] 제2 부가 트랜지스터(420)는 PMOS(P-channel metal-oxide-semiconductor) 트랜지스터로 구현될 수 있다.
- [0044] 전하 펌프 회로는 제2 부가 트랜지스터(420)의 벌크 노드(42)에 연결된 제3 부가 트랜지스터(430) 및 제4 부가 트랜지스터(440)를 포함할 수 있다.
- [0045] 제3 부가 트랜지스터(430)의 일단은 제4 부가 트랜지스터(440)의 일단에 연결되고, 제3 부가 트랜지스터(430)의 타단은 N 번째 노드(22)에 연결되고, 제3 부가 트랜지스터의 게이트는 N+1 번째 노드(23)에 연결될 수 있다.
- [0046] 제4 부가 트랜지스터(440)의 일단은 제3 부가 트랜지스터(430)의 일단에 연결되고, 제4 부가 트랜지스터(440)의 타단은 N+1 번째 노드(23)에 연결되고, 제4 부가 트랜지스터(440)의 게이트는 N 번째 노드(22)에 연결될 수 있다.
- [0047] 제3 부가 트랜지스터(430) 및 제4 부가 트랜지스터(440)가 제2 부가 트랜지스터(420)의 기생 바이폴라를 최소화할 수 있다.
- [0048] 제2 부가 트랜지스터(420)는 전하 펌핑 상태 및 정상 상태에서 문턱 전압 손실이 없이 미리 설정된 전압 레벨보다 높은 값을 가질 수 있다.



- [0049] 전하 펌핑 상태에서, N 번째 노드(22)의 전압 레벨이 N+1 번째 노드(23)의 전압 레벨보다 높고, 제3 부가 트랜지스터(430)가 켜지고, 제2 부가 트랜지스터(420)의 벌크 노드(42)에 N 번째 노드(22)의 전압 레벨이 연결될 수 있다.
- [0050] 정상 상태에서, N+1 번째 노드(23)의 전압 레벨이 N 번째 노드(22)의 전압 레벨보다 높고, 제4 부가 트랜지스터(440)가 켜지고, 제2 부가 트랜지스터(420)의 벌크 노드(42)에 N+1 번째 노드(23)의 전압 레벨이 연결될 수 있다.
- [0051] N 번째 노드(22)의 전압 레벨 및 N+1 번째 노드(23)의 전압 레벨이 동일하고, 제3 부가 트랜지스터(430) 및 제4 부가 트랜지스터(440)가 꺼지고, 제2 부가 트랜지스터(420)의 벌크 노드(42)는 플로팅 상태가 될 수 있다.
- [0052] 이러한 다양한 상태를 거쳐서 N 번째 노드(22)의 전압 레벨은 N+1 번째 노드(23)의 전압 레벨로 전부 전달될 수 있다.
- [0053] 도 5는 본 발명의 일 실시예에 따른 전하 펌프 회로의 보조 단의 동작을 예시한 도면이다.
- [0054] 제안하는 회로의 기본 동작 원리와 구조는 Conv 1, Conv 2과 유사하다. 기존의 보조단에서 다이오드 연결 NMOS 트랜지스터 구성 대신 PMOS MA1을 사용하여 문턱 전압 손실을 제거한다.
- [0055] 벌크를 PMOS 트랜지스터의 소스와 드레인 사이의 더 높은 전압 레벨에 연결하고, 기생 바이폴라 효과를 최소화한다. 2개의 PMOS A와 B가 추가되어 PMOS MA1의 대부분을 더 높은 전압 레벨에 연결하고 기생 바이폴라 효과를 억제한다.
- [0056] PMOS A와 B의 게이트는 각각 노드 N3과 N2에 연결된다. PMOS MA1의 대부분은 전하 펌핑 상태와 정상 상태 모두에서 더 높은 전압 레벨에 연결할 수 있다.
- [0057] 도 5의 (a)는 전하 펌핑 상태를 보여준다. 노드 N2의 전압 레벨이 노드 N3의 전압 레벨보다 높으면 PMOS A가 켜지고 노드 N2의 전압 레벨은 PMOS MA1의 벌크에 연결된다.
- [0058] 도 5의 (b)는 정상 상태를 보여준다. 노드 N3의 전압 레벨은 노드 N2의 전압 레벨보다 높으면 PMOS B가 켜지고 노드 N3의 전압 레벨이 PMOS MA1의 벌크에 연결된다.
- [0059] 도 5의 (c)는 정상 상태인 동안 노드 N2, N3의 전압 레벨이 동일한 경우를 나타낸다. 노드 N2와 N3의 전압 레벨은 이상적으로 동일하고, PMOS A와 B가 꺼지고, PMOS MA1의 대부분은 짧은 시간에 더 높은 전압 레벨의 상태에서 플로팅된다. 따라서 노드 N2의 전압 레벨이 노드 N3보다 높을 때 NMOS 트랜지스터의 문턱 전압 손실과 기생 바이폴라 효과 없이 노드 N2의 전압 레벨을 노드 N3으로 완전히 전달할 수 있다.
- [0060] 회로의 보조단 동작은 클럭(CLK)과 클럭 바(CLKB)가 각각 낮고 높을 때, 노드 N1의 저전압 레벨, 1VDD은 NMOS MN2를 통해 PMOS MA1을 완전히 켜다. 다음 단계에서 보조단 노드 N3의 고전압 레벨, 4VDD는 PMOS MP2를 통해 PMOS MA1을 끈다. 문턱 전압 손실 방식이 없는 보조단의 고전압 레벨은 주 전달 트랜지스터 NMOS MT2가 더 빨리 완전히 켜지도록 하며, 이는 2 번째 단의 노드 N2 전압이 더 빨리 충전된다는 것을 의미한다. 회로는 출력 부하에서 더 빠른 펌프-업 속도와 더 나은 성능을 달성할 수 있다.
- [0061] 도 6은 본 발명의 일 실시예에 따른 전하 펌프 회로를 시뮬레이션한 결과이다.
- [0062] 기존 NMOS MA1 부분을 PMOS MA1 부분으로 변형하고, 해당 트랜지스터에 추가적인 PMOS A, B를 통해 기생 바이폴라를 방지한다. 노드 N3가 보다 높은 전압으로 MT2의 게이트 전압에 인가되어 보다 좋은 성능을 확보한다.
- [0063] 같은 환경에서 기존 변형된 디스 전하 펌프 회로 대비 약 35% 정도 빠른 속도로 출력 전압 상승이 가능하다. 50  $\mu$ A 부하 전류에서 기존 회로보다 약 두 배 가량 높은 전력 효율을 보유할 수 있다. 출력 리플 전압은 기존 회로보다 약 두 배 가량 낮은 리플 전압 성능을 보유할 수 있다.
- [0064] 전하 펌프 회로에 포함된 복수의 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.
- [0065] 전하 펌프 회로는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를



포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.

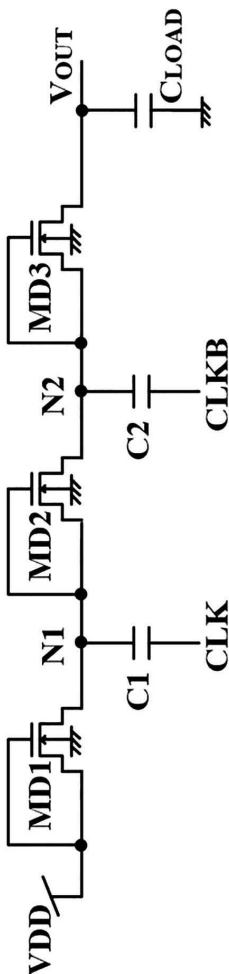
[0066] 전하 펌프 회로는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.

[0067] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.

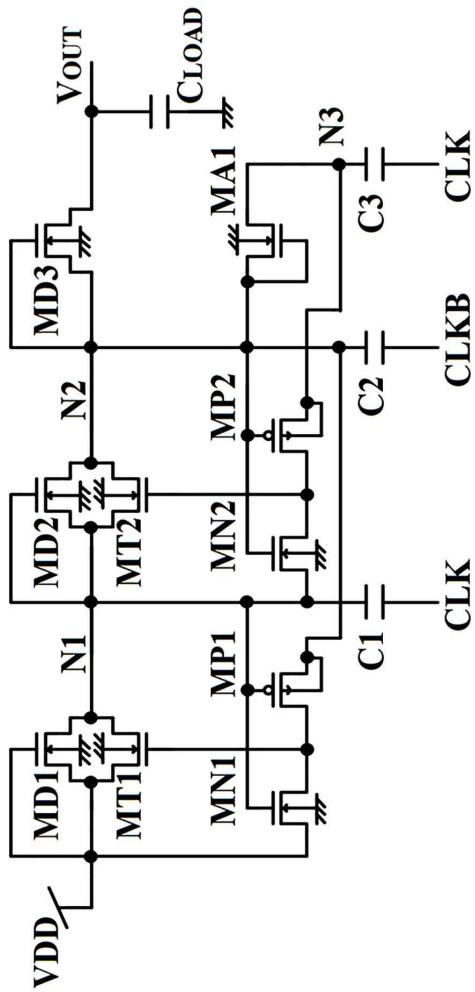
[0068] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

## 도면

### 도면1



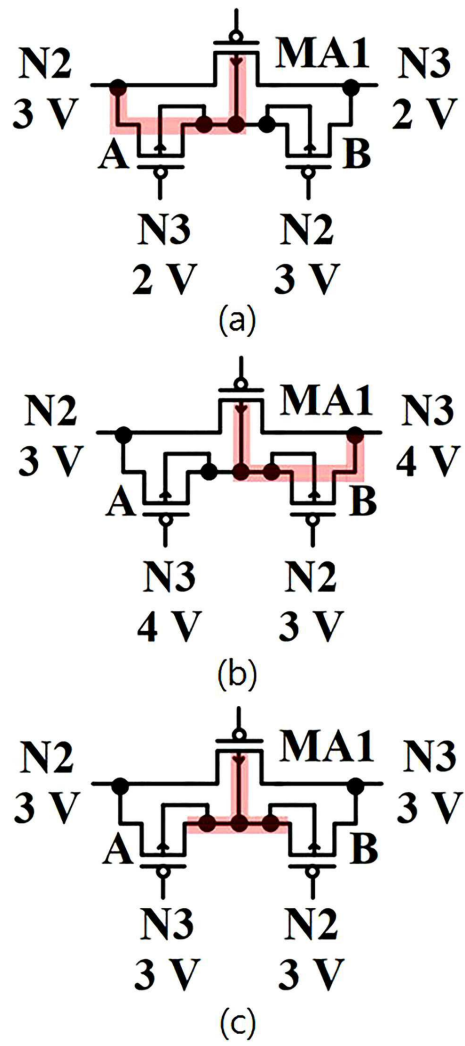
도면2







도면5



도면6

