



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2023년02월28일

(11) 등록번호 10-2504294

(24) 등록일자 2023년02월22일

(51) 국제특허분류(Int. Cl.)

G11C 16/08 (2006.01) G06F 12/02 (2018.01)

G11C 16/04 (2006.01) G11C 16/26 (2006.01)

G11C 16/34 (2006.01)

(52) CPC특허분류

G11C 16/08 (2013.01)

G06F 12/0238 (2013.01)

(21) 출원번호 10-2016-0036110

(22) 출원일자 2016년03월25일

심사청구일자 2021년02월22일

(65) 공개번호 10-2017-0111183

(43) 공개일자 2017년10월12일

(56) 선행기술조사문헌

JP2010287283 A*

KR1020150091667 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자 주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

이요한

인천광역시 부평구 부흥로 246, 33동 1204호 (부평동, 동아2단지아파트)

고준영

서울특별시 영등포구 디지털로64길 15-9, 206호 (대림동, 성원아파트)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 10 항

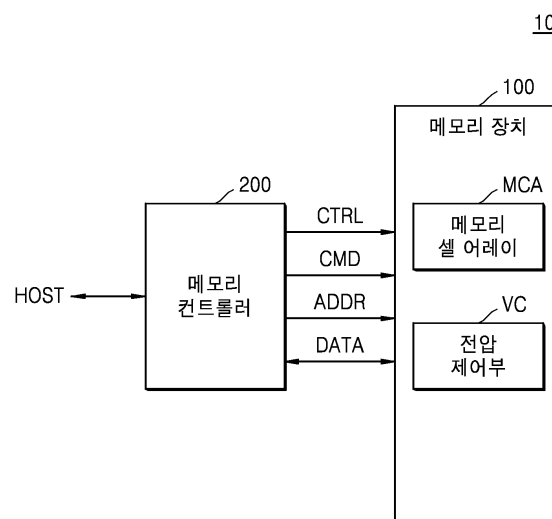
심사관 : 한선경

(54) 발명의 명칭 메모리 장치, 메모리 시스템 및 이에 대한 독출/검증 동작 방법

(57) 요약

본 발명에 따른 메모리 장치에 대한 독출 동작 방법은, 상기 메모리 장치에서 선택 셀의 소정의 프로그램 상태를 독출 위하여, 상기 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 독출 전압을 인가하는 단계, 상기 선택 셀과 인접하지 않고, 상기 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 독출 패스 전압을 인가하는 단계 및 상기 선택 셀과 인접하게 위치된 적어도 하나의 제 2 비선택 셀의 워드 라인에 제 3 타겟 레벨을 갖는 제 2 독출 패스 전압을 인가하는 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

G11C 16/0483 (2013.01)

G11C 16/26 (2013.01)

G11C 16/3459 (2013.01)

(72) 발명자

김지수

인천광역시 서구 옷우물로 12, 603호 (석남동, 미리내아파트)

정성욱

서울특별시 강남구 삼성로 212, 25동 1103호 (대치동, 은마아파트)

김지석

서울특별시 강동구 양재대로 1656, 102동 805호 (명일동, 삼익그린맨션)

유창연

경기도 화성시 동탄순환대로21길 54, 1325동 801호 (청계동, 동탄2신도시 센트럴 푸르지오)

백세현

서울특별시 구로구 개봉로5길 19, 204호 (개봉동, 신우빌라)

천진영

서울특별시 영등포구 의사당대로 127, 101동 2604호 (여의도동, 롯데캐슬엠펙라이어)

명세서

청구범위

청구항 1

메모리 장치에 대한 데이터 독출 동작에 있어서,

상기 메모리 장치에서 선택 셀의 소정의 프로그램 상태를 독출 위하여, 상기 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 독출 전압을 인가하는 단계;

상기 선택 셀과 인접하지 않고, 상기 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 1 시작 레벨로부터 제 2 준비 레벨까지 증가하고, 소정의 시간 이후 상기 제 2 준비 레벨로부터 제 2 타겟 레벨까지 증가하는 비연속적인 증가 패턴을 갖는 제 1 독출 패스 전압을 인가하는 단계; 및

상기 선택 셀과 인접하게 위치한 적어도 하나의 제 2 비선택 셀의 워드 라인에 제 2 시작 레벨로부터 제 3 타겟 레벨까지 연속적인 증가 패턴을 갖는 제 2 독출 패스 전압을 인가하는 단계를 포함하는 메모리 장치에 대한 독출 동작 방법.

청구항 2

제 1항에 있어서,

상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 상기 제 1 독출 패스 전압을 인가하는 단계는,

상기 선택 셀의 워드 라인의 위치를 기반으로, 상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 선택적으로 상기 제 2 타겟 레벨을 갖는 제 3 독출 패스 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 비선택 셀들의 워드 라인들에 상기 제 1 독출 패스 전압을 인가하는 단계는,

제 1 구간에서 상기 제 1 독출 패스 전압을 시작 레벨에서 상기 제 2 준비 레벨로 셋업하고, 제 2 구간에서 상기 제 1 독출 패스 전압을 상기 제 2 준비 레벨에서 상기 제 2 타겟 레벨로 셋업하는 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

청구항 4

제 3 항에 있어서,

상기 선택 셀의 워드 라인에 상기 독출 전압을 인가하는 단계는,

상기 제 1 구간에서 상기 독출 전압을 시작 레벨에서 상기 제 1 준비 레벨로 셋업하고, 상기 제 2 구간에서 상기 독출 전압을 상기 제 1 준비 레벨에서 상기 제 1 타겟 레벨로 셋업하는 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

청구항 5

제 1 항에 있어서,

상기 제 2 타겟 레벨과 상기 제 3 타겟 레벨은 크기가 동일하거나 상이한 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

청구항 6

제1항에 있어서,

상기 독출 동작에 필요한 상기 독출 전압의 상기 제 1 타겟 레벨의 크기에 따라 상기 제 1 준비 레벨 및 상기 제 2 준비 레벨 중 적어도 하나의 크기가 가변되는 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

청구항 7

제 1 항에 있어서,

상기 제 3 타겟 레벨의 크기는 상기 제 2 타겟 레벨의 크기보다 크거나 작은 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

청구항 8

메모리 장치에 대한 프로그램 검증 동작에 있어서,

상기 메모리 장치의 선택 셀의 워드 라인에 프로그램 전압을 인가하고, 비선택 셀의 워드 라인들에 프로그램 패스 전압을 인가하는 단계;

상기 선택 셀의 프로그램 상태를 검증하기 위하여, 상기 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 검증 전압을 인가하는 단계;

상기 비선택 셀의 워드 라인들 중 상기 선택 셀과 인접하지 않고, 상기 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 1 시작 레벨로부터 제 2 준비 레벨까지 증가하고, 소정의 시간 이후 상기 제 2 준비 레벨로부터 제 2 타겟 레벨까지 증가하는 비연속적인 증가 패턴을 갖는 제 1 검증 패스 전압을 인가하는 단계; 및

상기 비선택 셀의 워드 라인들 중 상기 셀과 인접하게 위치한 적어도 하나의 제 2 비선택 셀의 워드 라인에 제 2 시작 레벨로부터 제 3 타겟 레벨까지 연속적인 증가 패턴을 갖는 제 2 검증 패스 전압을 인가하는 단계를 포함하는 메모리 장치에 대한 검증 동작 방법.

청구항 9

제 8 항에 있어서,

상기 검증 전압을 인가하는 단계는,

상기 검증 전압의 시작 레벨에서 상기 제 1 준비 레벨로 상기 검증 전압을 셋업시키고, 상기 제 1 준비 레벨에서 상기 제 1 타겟 레벨로 상기 검증 전압을 셋업시키는 단계를 더 포함하고,

상기 제 1 검증 패스 전압을 인가하는 단계는,

상기 제 1 검증 패스 전압의 시작 레벨에서 상기 제 2 준비 레벨로 상기 제 1 검증 패스 전압을 셋업시키고, 상기 제 2 준비 레벨에서 상기 제 2 타겟 레벨로 상기 제 1 검증 패스 전압을 셋업시키는 단계를 포함하는 것을 특징으로 하는 메모리 장치에 대한 검증 동작 방법.

청구항 10

제 8 항에 있어서,

검증의 대상이 되는 상기 선택 셀의 프로그램 상태를 기반으로, 상기 제 2 준비 레벨과 상기 제 2 타겟 레벨의 차이가 가변되는 것을 특징으로 하는 메모리 장치에 대한 검증 동작 방법.

발명의 설명

기술 분야

[0001]

본 발명의 기술적 사상은 메모리 장치, 메모리 시스템 및 이에 대한 독출/검증 동작 방법에 관한 것으로, 더욱 상세하게는, 선택 셀의 워드 라인에 인가되는 워드 라인 전압의 셋업 타임을 단축시킬 수 있는 메모리 장치, 메모리 시스템 및 이에 대한 독출/검증 동작 방법에 대한 독출/검증 동작 방법에 관한 것이다.

배경 기술

- [0002] 메모리 장치는 데이터를 저장하는데 사용되며, 휘발성 메모리 장치와 불휘발성 메모리 장치로 구분된다. 불휘발성 메모리 장치의 일 예로서, 플래쉬 메모리 장치는 휴대폰, 디지털 카메라, 휴대용 정보 단말기(PDA), 이동식 컴퓨터 장치, 고정식 컴퓨터 장치 및 기타 장치에서 사용될 수 있다.

발명의 내용

해결하려는 과제

- [0003] 본 발명의 기술적 사상이 해결하려는 과제는 선택 셀의 워드 라인에 인가되는 워드 라인 전압의 셋업 타임을 단축시켜, 독출/검증 동작 속도를 개선할 수 있는 메모리 장치 및 메모리 시스템을 제공하는 데에 있다.

과제의 해결 수단

- [0004] 본 발명에 따른 메모리 장치에 대한 독출 동작 방법은, 상기 메모리 장치에서 선택 셀의 소정의 프로그램 상태를 독출 위하여, 상기 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 독출 전압을 인가하는 단계, 상기 선택 셀과 인접하지 않고, 상기 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 독출 패스 전압을 인가하는 단계 및 상기 선택 셀과 인접하게 위치한 적어도 하나의 제 2 비선택 셀의 워드 라인에 제 3 타겟 레벨을 갖는 제 2 독출 패스 전압을 인가하는 단계를 포함한다.
- [0005] 또한, 상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 상기 제 1 독출 패스 전압을 인가하는 단계는, 상기 선택 셀의 워드 라인의 위치를 기반으로, 상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 선택적으로 상기 제 2 타겟 레벨을 갖는 상기 제 3 독출 패스 전압을 인가하는 단계를 포함하는 것을 특징으로 한다.
- [0006] 또한, 상기 제 1 비선택 셀들의 워드 라인들에 상기 제 1 독출 패스 전압을 인가하는 단계는, 제 1 구간에서 상기 제 1 독출 패스 전압을 시작 레벨에서 상기 제 2 준비 레벨로 셋업하고, 제 2 구간에서 상기 제 1 독출 패스 전압을 상기 제 2 준비 레벨에서 상기 제 2 타겟 레벨로 셋업하는 것을 특징으로 한다.
- [0007] 또한, 상기 선택 셀의 워드 라인에 상기 독출 전압을 인가하는 단계는, 상기 제 1 구간에서 상기 독출 전압을 시작 레벨에서 상기 제 1 준비 레벨로 셋업하고, 상기 제 2 구간에서 상기 독출 전압을 상기 제 1 준비 레벨에서 상기 제 1 타겟 레벨로 셋업하는 것을 특징으로 한다.
- [0008] 또한, 상기 제 2 타겟 레벨과 상기 제 3 타겟 레벨은 크기가 동일하거나 상이한 것을 특징으로 한다.
- [0009] 또한, 상기 독출 동작에 필요한 상기 독출 전압의 상기 제 1 타겟 레벨의 크기에 따라 상기 제 1 준비 레벨 및 상기 제 2 준비 레벨 중 적어도 하나의 크기가 가변되는 것을 특징으로 한다.
- [0010] 또한, 상기 제 3 타겟 레벨의 크기는 상기 제 2 타겟 레벨의 크기보다 크거나 작은 것을 특징으로 한다.
- [0011] 본 발명의 따른 메모리 장치에 대한 프로그램 검증 동작은, 상기 메모리 장치의 선택 셀의 워드 라인에 프로그램 전압을 인가하고, 비선택 셀의 워드 라인들에 프로그램 패스 전압을 인가하는 단계, 상기 선택 셀의 프로그램 상태를 검증하기 위하여, 상기 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 검증 전압을 인가하는 단계, 상기 비선택 셀의 워드 라인들 중 상기 선택 셀과 인접하지 않고, 상기 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 검증 패스 전압을 인가하는 단계 및 상기 비선택 셀의 워드 라인들 중 상기 셀과 인접하게 위치한 적어도 하나의 제 2 비선택 셀의 워드 라인에 제 3 타겟 레벨을 갖는 제 2 검증 패스 전압을 인가하는 단계를 포함한다.
- [0012] 또한, 상기 검증 전압을 인가하는 단계는, 상기 검증 전압의 시작 레벨에서 상기 제 1 준비 레벨로 상기 검증 전압을 셋업시키고, 상기 제 1 준비 레벨에서 상기 제 1 타겟 레벨로 상기 검증 전압을 셋업시키는 단계를 더 포함하고, 상기 제 1 검증 패스 전압을 인가하는 단계는, 상기 제 1 검증 패스 전압의 시작 레벨에서 상기 제 2 준비 레벨로 상기 제 1 검증 패스 전압을 셋업시키고, 상기 제 2 준비 레벨에서 상기 제 2 타겟 레벨로 상기 제 1 검증 패스 전압을 셋업시키는 단계를 포함하는 것을 특징으로 한다.
- [0013] 또한, 검증의 대상이 되는 상기 선택 셀의 프로그램 상태를 기반으로, 상기 제 2 준비 레벨과 상기 제 2 타겟

레벨의 차이가 가변되는 것을 특징으로 한다.

발명의 효과

[0014]

본 발명의 기술적 사상에 따르면, 독출 또는 검증 동작의 대상이 되는 선택 셀의 워드 라인에 인가되는 전압, 선택 셀과 인접하지 않은 비선택 셀의 워드 라인에 인가되는 전압, 선택 셀과 인접한 비선택 셀의 워드 라인에 인가되는 전압을 각각 제어하고, 이를 통해 선택 셀의 워드 라인에 인가되는 전압이 시작 레벨에서 타겟 레벨로 셋업되는데 소요되는 시간인 셋업 타임을 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[0015]

도 1은 본 발명의 일 실시예에 따른 메모리 시스템(10)을 개략적으로 나타내는 블록도이다.

도 2는 도 1에 포함된 메모리 장치를 상세하게 나타내는 블록도이다.

도 3a 내지 도 3c는 본 발명의 실시예가 적용되는 메모리 장치의 메모리 셀들의 문턱 전압에 따른 산포를 나타내는 그래프이다.

도 4은 본 발명의 일 실시예에 따라 각 워드 라인에 인가되는 전압을 설명하기 위한 도 2의 제1 블록(BLK1)의 등가 회로를 나타내는 회로도이다.

도 5는 본 발명의 일 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.

도 6a 및 도 6 b은 본 발명의 일 실시예에 따른 선택 워드라인에 인가되는 독출 전압의 셋업 타임 감소의 효과를 설명하기 위한 그래프이다.

도 7은 본 발명의 다른 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.

도 8은 본 발명의 또 다른 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.

도 9은 본 발명의 또 다른 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.

도 10은 메모리 셀들에 2 비트 데이터를 기입하는 때에 프로그램 및 검증 동작을 나타내는 도면이다.

도 11은 본 발명의 일 실시예에 따라 선택 셀의 위치를 기반으로 제 1 비선택 셀들에 연결된 워드 라인에 인가되는 독출 패스 전압을 제어하는 방법을 설명하기 위한 도면이다.

도 12는 본 발명의 다른 실시예에 따라 선택 셀의 위치를 기반으로 제 1 비선택 셀들에 연결된 워드 라인에 인가되는 독출 패스 전압을 제어하는 방법을 설명하기 위한 도면이다.

도 13 은 본 발명의 일 실시예에 따른 독출 전압 및 독출 패스 전압을 제어하는 방법을 나타내는 순서도이다.

도 14 은 본 발명의 다른 실시예에 따른 독출 전압 및 독출 패스 전압을 제어하는 방법을 나타내는 순서도이다.

도 15 은 본 발명의 또 다른 실시예에 따른 독출 전압 및 독출 패스 전압을 제어하는 방법을 나타내는 순서도이다.

도 16은 본 발명의 일 실시예들에 따른 메모리 카드 시스템을 나타내는 블록도이다.

도 17은 본 발명의 일 실시예에 따른 SSD 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0016]

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기

하기 위하여 실제보다 확대하거나 축소하여 도시한 것이다.

- [0017] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0018] 또한, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0019] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 메모리 시스템(10)을 개략적으로 나타내는 블록도이다.
- [0021] 도 1을 참조하면, 메모리 시스템(10)은 메모리 장치(100) 및 메모리 컨트롤러(200)를 포함할 수 있고, 메모리 장치(100)는 메모리 셀 어레이(memory cell array, MCA) 및 전압 제어부(voltage controller, VC)를 포함할 수 있다.
- [0022] 메모리 셀 어레이(MCA)는 복수의 메모리 셀들을 포함할 수 있는데, 예를 들어, 복수의 메모리 셀들은 플래쉬 메모리 셀들일 수 있다. 이하에서는, 복수의 메모리 셀들이 낸드(NAND) 플래쉬 메모리 셀들인 경우를 예로 하여 본 발명의 실시예들을 상술하기로 한다. 그러나, 본 발명은 이에 한정되지 않고, 다른 실시예에서, 복수의 메모리 셀들은 RRAM(resistive RAM), PRAM(phase change RAM) 또는 MRAM(magnetic RAM)과 같은 저항형 메모리 셀들일 수 있다.
- [0023] 본 발명의 기술적 사상에 의한 일 실시예에서, 메모리 셀 어레이(一)는 3 차원(3D) 메모리 어레이일 수 있다. 상기 3D 메모리 어레이는 실리콘 기판 위에 배치되는 활성 영역과, 메모리 셀들의 동작과 관련된 회로로서 상기 기판 상에 또는 상기 기판 내에 형성된 회로를 가지는 메모리 셀 어레이들의 적어도 하나의 물리적 레벨에 모놀리식으로 형성된다. 상기 용어 "모놀리식"은 상기 어레이를 구성하는 각 레벨의 층들이 상기 어레이 중 각 하부 레벨의 층들의 바로 위에 적층되어 있음을 의미한다.
- [0024] 본 발명의 기술적 사상에 의한 일 실시예에서, 상기 3D 메모리 어레이는 적어도 하나의 메모리 셀이 다른 메모리 셀의 위에 위치하도록 수직 방향으로 배치된 낸드 스트링들을 포함한다. 상기 적어도 하나의 메모리 셀은 전하 트랩층을 포함할 수 있다. 미국 특허공개공보 제7,679,133호, 동 제8,553,466호, 동 제8,654,587호, 동 제8,559,235호, 및 미국 특허출원공개공보 제2011/0233648호는 3D 메모리 어레이가 복수 레벨로 구성되고 워드 라인들 및/또는 비트 라인들이 레벨들 간에 공유되어 있는 3D 메모리 어레이에 대한 적절한 구성들을 상술하는 것들로서, 본 명세서에 인용 형식으로 결합된다. 또한, 미국 특허출원공개공보 제2014-0334232호 및 미국특허 공개공보 제8,488,381호는 본 명세서에 인용 형식으로 결합된다.
- [0025] 메모리 컨트롤러(200)는 호스트(HOST)로부터의 독출/쓰기 요청에 응답하여 메모리 장치(100)에 저장된 데이터를 독출되도록 또는 메모리 장치(100)에 데이터를 기입하도록 메모리 장치(100)를 제어할 수 있다. 구체적으로, 메모리 컨트롤러(200)는 메모리 장치(100)에 어드레스(ADDR), 커맨드(CMD) 및 제어 신호(CTRL)를 제공함으로써, 메모리 장치(100)에 대한 프로그램(또는 기입), 독출 및 소거 동작을 제어할 수 있다. 또한, 프로그램 동작을 위한 데이터(DATA)와 독출된 데이터(DATA)가 메모리 컨트롤러(200)와 메모리 장치(100) 사이에서 송수신될 수 있다.
- [0026] 도시되지는 않았으나, 메모리 컨트롤러(200)는 램(RAM), 프로세싱 유닛(processing unit), 호스트 인터페이스 및 메모리 인터페이스를 포함할 수 있다. 램은 프로세싱 유닛의 동작 메모리로서 이용될 수 있고, 프로세싱 유닛은 메모리 컨트롤러(200)의 동작을 제어할 수 있다. 호스트 인터페이스는 호스트 및 메모리 컨트롤러(200) 사이의 데이터 교환을 수행하기 위한 프로토콜(protocol)을 포함할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 USB, MMC, PCI-E, ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI, ESDI, 그리

고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(HOST)와 통신하도록 구성될 수 있다.

[0027] 메모리 장치(100)는 메모리 컨트롤러(200)로부터 수신받은 어드레스(ADDR), 커맨드(CMD) 및 제어신호(CTRL)에 응답하여, 프로그램 동작, 검증 동작 및 독출 동작 등을 수행할 수 있다. 전압 제어부(VC)는 메모리 셀 어레이(MCA)의 각각의 워드 라인에 프로그램 동작, 검증 동작 및 독출 동작 등에 필요한 워드 라인 전압을 인가하는 것을 제어할 수 있다. 일 실시예에서, 전압 제어부(VC)는 메모리 장치(100)가 독출 동작을 수행할 때에, 독출 대상이 되는 선택 셀의 워드 라인에 인가하는 독출 전압, 비선택 셀의 워드 라인들에 인가하는 독출 패스 전압을 제어할 수 있다. 또한, 전압 제어부(VC)는 선택 셀과 인접하지 않고, 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들에 인가되는 제 1 독출 패스 전압과 선택 셀과 인접하게 위치한 제 2 비선택 셀들의 워드 라인들에 인가되는 독출 패스 전압을 각각 다르게 제어할 수 있다.

[0028] 선택 셀과 인접하게 위치한 제 2 비선택 셀은 선택 셀에 바로 인접한 위쪽 셀 또는 아래쪽 셀을 지칭할 수 있으며, 이는 일례로서 이에 국한되지 않고, 선택 셀을 기준으로 위쪽 또는 아래쪽으로 인접하는 다수의 셀들을 지칭할 수 있다.

[0029] 구체적으로, 전압 제어부(VC)는 선택 셀의 워드 라인에 인가되는 독출 전압을 시작 레벨에서 제 1 준비 레벨로 셋업되고, 제 1 준비 레벨에서 제 1 타겟 레벨로 셋업되도록 제어할 수 있다. 또한, 전압 제어부(VC)는 상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 1 독출 패스 전압을 시작 레벨에서 제 2 준비 레벨로 셋업되고, 제 2 준비 레벨에서 제 2 타겟 레벨로 셋업되도록 제어할 수 있다. 전압 제어부(VC)는 상기 제 2 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 2 독출 패스 전압을 시작 레벨에서 제 3 타겟 레벨로 셋업되도록 제어할 수 있다.

[0030] 즉, 전압 제어부(VC)는 선택 셀의 워드 라인에 인가되는 독출 전압과 제 1 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 1 독출 패스 전압은 각각의 시작 레벨에서 각각의 타겟 레벨로 바로 셋업하지 않고, 각각 소정의 준비 레벨로 셋업되는 과정이 포함되도록 제어할 수 있다. 또한, 전압 제어부(VC)는 제 2 비선택 셀의 워드 라인에 인가되는 제 2 독출 패스 전압은 시작 레벨에서 타겟 레벨로 바로 셋업하도록 제어할 수 있다. 이에 대하여 구체적인 내용은 후술한다.

[0031] 또한, 전압 제어부(VC)는 메모리 장치(100)가 프로그램 동작 후 검증 동작을 수행할 때에, 메모리 셀 어레이(MCA)의 각 워드 라인에 인가되는 검증 전압을 제어할 수 있다. 일 실시예에서, 전압 제어부(VC)는 메모리 장치(100)가 검증 동작을 수행할 때에, 검증 대상이 되는 선택 셀의 워드 라인에 인가하는 검증 전압, 비 선택 셀의 워드 라인들에 인가하는 검증 패스 전압을 제어할 수 있다. 또한, 전압 제어부(VC)는 선택 셀과 인접하지 않고, 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 1 검증 패스 전압과 선택 셀과 인접하게 위치한 제 2 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 검증 패스 전압을 각각 다르게 제어할 수 있다.

[0032] 구체적으로, 전압 제어부(VC)는 선택 셀의 워드 라인에 인가되는 검증 전압이 시작 레벨에서 제 1 준비 레벨로 셋업되고, 제 1 준비 레벨에서 제 1 타겟 레벨로 셋업되도록 제어할 수 있다. 또한, 전압 제어부(VC)는 상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 1 검증 패스 전압이 시작 레벨에서 제 2 준비 레벨로 셋업되고, 제 2 준비 레벨에서 제 2 타겟 레벨로 셋업되도록 제어할 수 있다. 전압 제어부(VC)는 상기 제 2 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 2 검증 패스 전압을 시작 레벨에서 제 3 타겟 레벨로 셋업되도록 제어할 수 있다.

[0033] 본 개시에 따른 메모리 장치 및 메모리 시스템에 대한 독출/검증 동작 방법을 통하여, 독출 또는 검증 동작의 대상이 되는 선택 셀의 워드 라인에 인가되는 전압, 선택 셀과 인접하지 않은 비선택 셀의 워드 라인에 인가되는 전압, 선택 셀과 인접한 비선택 셀의 워드 라인에 인가되는 전압을 각각 제어하고, 이를 통해 선택 셀의 워드 라인에 인가되는 전압이 시작 레벨에서 타겟 레벨로 셋업되는데 소요되는 시간인 셋업 타임을 줄일 수 있는 효과가 있다. 또한, 상기 셋업 타임을 줄임으로써, 메모리 장치 및 메모리 시스템에 대한 독출/검증 동작을 신속하게 수행하여 메모리 장치 및 메모리 시스템의 성능을 향상시키는 효과가 있다.

[0034] 도 2는 도 1에 포함된 메모리 장치를 상세하게 나타내는 블록도이다.

[0035] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 제어 로직(120), 전압 생성부(130), 로우 디코더(140) 및 페이지 버퍼(150)를 포함할 수 있다. 도시되지는 않았으나, 메모리 장치(100)는 데이터 입출력 회로 또는 입출력 인터페이스를 더 포함할 수 있다.

- [0036] 메모리 셀 어레이(110)는 복수의 메모리 셀들을 포함하고, 워드 라인들(WL), 스트링 선택 라인들(SSL), 그라운드 선택 라인들(GSL) 및 비트 라인들(BL)에 연결될 수 있다. 구체적으로, 메모리 셀 어레이(110)는 워드 라인들(WL), 스트링 선택 라인들(SSL) 및 그라운드 선택 라인들(GSL)을 통해 로우 디코더(140)에 연결되고, 비트 라인들(BL)을 통해 페이지 버퍼(150)에 연결될 수 있다.
- [0037] 메모리 셀 어레이(110)는 복수의 블록들(BLK1 내지 BLKz)을 포함하고, 각 블록은 3차원 구조(또는 수직 구조)를 가질 수 있다. 구체적으로, 각 블록은 제1 내지 제3 방향들을 따라 신장된 구조물들을 포함한다. 예를 들면, 각 블록은 제3 방향을 따라 신장된 복수의 낸드 스트링들(이하 '스트링들'이라 지칭함)을 포함한다. 이때, 복수의 스트링들은 제1 및 제2 방향들을 따라 특정 거리만큼 이격되어 제공될 수 있다. 블록들(BLK1 내지 BLKz)은 로우 디코더(140)에 의해 선택될 수 있다. 예를 들면, 로우 디코더(140)는 블록들(BLK1 내지 BLKz) 중 블록 어드레스에 대응하는 블록을 선택할 수 있다.
- [0038] 메모리 셀 어레이(110)는 싱글 레벨 셀들을 포함하는 싱글 레벨 셀 블록, 멀티 레벨 셀들을 포함하는 멀티 레벨 셀 블록 및 트리플 레벨 셀들을 포함하는 트리플 레벨 셀 블록 중 적어도 하나를 포함할 수 있다. 다시 말해, 메모리 셀 어레이(110)에 포함된 복수의 블록들 중 일부 블록은 싱글 레벨 셀 블록일 수 있고, 다른 블록들은 멀티 레벨 셀 블록 또는 트리플 레벨 셀 블록일 수 있다.
- [0039] 제어 로직(120)은 메모리 컨트롤러(200)로부터 수신한 커맨드(CMD), 어드레스(ADDR) 및 제어 신호(CTRL)를 기초로 하여, 메모리 셀 어레이(110)에 데이터를 기입하거나 메모리 셀 어레이(110)로부터 데이터를 독출하기 위한 각종 제어 신호를 출력할 수 있다. 이로써, 제어 로직(120)은 메모리 장치(100) 내의 각종 동작을 전반적으로 제어할 수 있다.
- [0040] 제어 로직(120)에서 출력된 각종 제어 신호는 전압 생성부(130), 로우 디코더(140) 및 페이지 버퍼(150)에 제공될 수 있다. 구체적으로, 제어 로직(120)은 전압 생성부(130)에 전압 제어 신호(CTRL_vol)를 제공할 수 있고, 로우 디코더(140)에 로우 어드레스(X-ADDR)를 제공할 수 있으며, 페이지 버퍼(150)에 칼럼 어드레스(Y-ADDR)를 제공할 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 제어 로직(120)은 전압 생성부(130), 로우 디코더(140) 및 페이지 버퍼(150)에 다른 제어 신호들을 더 제공할 수 있다.
- [0041] 본 실시예에서, 제어 로직(120)은 워드라인 전압 제어부(125)를 포함할 수 있다. 전압 제어부(125)는 워드 라인들(WL)을 구동하기 위한 워드 라인 전압, 스트링 선택 라인들(SSL)을 구동하기 위한 스트링 선택 라인 전압, 및 그라운드 선택 라인들(GSL)을 구동하기 위한 그라운드 선택 라인 전압을 생성하기 위한 전압 제어 신호(CTRL_vol)를 생성할 수 있다.
- [0042] 일 실시예에서, 전압 제어부(125)는 메모리 셀 어레이(110)에 프로그램된 데이터에 대한 독출 또는 검증 동작을 수행하는 때에, 선택 셀의 워드 라인에 인가되는 독출 전압 또는 검증 전압이 제 1 준비 레벨 및 제 1 타겟 레벨을 갖고, 선택 셀과 인접하지 않은 제 1 비선택 셀들의 워드 라인들에 중 적어도 하나에 인가되는 제 1 독출 패스 전압 또는 제 1 검증 패스 전압이 제 2 준비 레벨 및 제 2 타겟 레벨을 갖고, 선택 셀과 인접한 제 2 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 2 독출 패스 전압 또는 제 2 검증 패스 전압이 제 3 타겟 레벨을 갖도록 전압 제어 신호(CTRL_vol)를 생성할 수 있다.
- [0043] 일 실시예에서, 제 1 독출 패스 전압 또는 제 1 검증 패스 전압, 제 2 독출 패스 전압 또는 제 2 검증 패스 전압은 비선택 셀들(제 1 비선택 셀, 제 2 비선택 셀)의 데이터에 상관없이 상기 비선택 셀들이 턴 온될 수 있도록 하는 전압일 수 있다. 이를 위하여, 제 1 독출 패스 전압 또는 제 1 검증 패스 전압, 제 2 독출 패스 전압 또는 제 2 검증 패스 전압은 프로그래밍되어 있는 셀들의 문턱 전압 산포 중 가장 높은 문턱전압 레벨보다 큰 전압 레벨을 갖도록 설정될 수 있다.
- [0044] 일 실시예에서, 전압 제어부(125)는 선택 셀의 워드 라인에 인가되는 독출 전압 또는 검증 전압의 제 1 타겟 레벨은 제 1 준비 레벨보다 크도록 제어할 수 있으며, 제 1 타겟 레벨의 크기에 따라 제 1 준비 레벨은 음의 레벨에 해당되도록 제어할 수 있다. 또한, 전압 제어부(125)는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나에 인가되는 제 1 독출 패스 전압 또는 제 1 검증 패스 전압의 제 2 타겟 레벨은 제 2 준비 레벨보다 크도록 제어할 수 있다. 또한, 전압 제어부(125)는 제 1 독출 패스 전압 또는 제 1 검증 패스 전압의 제 2 타겟 레벨은 제 2 독출 패스 전압 또는 제 2 검증 패스 전압의 제 3 타겟 레벨과 크기가 동일하거나 상이하게 제어할 수 있다.
- [0045] 일 실시예에서, 전압 제어부(125)는 선택 셀의 워드 라인에 인가되는 독출 전압 또는 검증 전압의 제 1 타겟 레벨의 크기에 따라서 독출 전압 또는 검증 전압의 제 1 준비 레벨 및 제 1 독출 패스 전압의 제 2 준비 레벨 중 적어도 하나가 가변되도록 제어할 수 있다. 구체적으로, 전압 제어부(125)는 독출 동작 또는 검증 동작시에 선

택 셀의 워드 라인에 인가되는 독출 전압 또는 검증 전압의 제 1 타겟 레벨의 크기를 결정할 수 있다. 전압 제어부(125)는 결정된 제 1 타겟 레벨의 크기를 기반으로 상기 제 1 준비 레벨 및 상기 제 2 준비 레벨 중 적어도 하나의 크기를 가변할 수 있다. 이에 대한 구체적인 내용은 후술한다.

[0046] 일 실시예에서, 전압 제어부(125)는 메모리 셀 어레이(110)에서 선택 셀의 워드 라인의 위치를 기반으로 제 1 비선택 셀들의 워드 라인들에 인가되는 전압과 제 2 비선택 셀들의 워드 라인들에 인가되는 전압을 제어할 수 있다. 예를 들면, 전압 제어부(125)는 선택 셀의 워드 라인의 위치를 기준으로 위쪽 워드 라인들에는 선택적으로 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 독출 패스 전압 또는 제 1 검증 패스 전압이 인가되도록 제어할 수 있으며, 선택 셀의 워드 라인의 위치를 기준으로 아래쪽 워드 라인들에는 선택적으로 제 2 타겟 레벨을 갖는 제 3 독출 패스 전압 또는 제 3 검증 패스 전압이 인가되도록 제어할 수 있다. 이는 일예에 불과하며, 상기 위방향 워드 라인들에 선택적으로 제 2 타겟 레벨을 갖는 제 3 독출 패스 전압 또는 제 3 검증 패스 전압이 인가되도록 제어할 수 있으며, 상기 아랫방향 워드 라인들에 선택적으로 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 독출 패스 전압 또는 제 1 검증 패스 전압이 인가되도록 제어할 수 있다.

[0047] 제 3 독출 패스 전압 또는 제 3 검증 패스 전압은 제 1 독출 패스 전압 또는 제 1 검증 패스 전압과 달리 소정의 준비 레벨로 셋업되는 단계없이 바로 제 2 타겟 레벨로 셋업되는 전압을 지칭할 수 있다.

[0048] 또한, 일 실시예에서, 전압 제어부(125)는 메모리 셀 어레이(110)에서 선택 셀의 워드 라인의 위치를 기준으로 선택 셀과 인접하지 않은 비선택 셀들의 워드 라인들 중 일부만을 선택하여 선택된 워드 라인들에 상기 제 1 독출 패스 전압 또는 제 1 검증 패스 전압이 인가되고, 선택되지 않은 다른 워드 라인들에는 상기 제 3 독출 패스 전압 또는 제 3 검증 패스 전압이 인가되도록 제어할 수 있다. 이에 대한 구체적인 내용은 후술한다.

[0049] 로우 디코더(140)는 제어 로직(120)으로부터 수신한 로우 어드레스(X-ADDR)에 응답하여 워드 라인들(WL) 중 일부 워드 라인을 선택할 수 있다. 구체적으로, 독출 동작 시에 로우 디코더(140)는 선택된 워드 라인에 독출 전압을 인가하고, 비 선택된 워드 라인에 독출 인히빗 전압을 인가할 수 있다. 또한, 프로그램 동작 시에 로우 디코더(140)는 선택된 워드 라인에 프로그램 전압을 인가하고, 비 선택된 워드 라인에 프로그램 인히빗 전압을 인가할 수 있다. 또한, 로우 디코더(140)는 제어 로직(120)으로부터 수신한 로우 어드레스(X-ARRD)에 응답하여 스트링 선택 라인들(SSL) 중 일부 스트링 선택 라인 또는 그라운드 선택 라인들(GSL) 중 일부 그라운드 선택 라인을 선택할 수 있다.

[0050] 페이지 버퍼(150)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결될 수 있고, 제어 로직(120)으로부터 수신한 칼럼 어드레스(Y-ADDR)에 응답하여 비트 라인들(BL) 중 일부 비트 라인을 선택할 수 있다. 구체적으로, 독출 동작 시에 페이지 버퍼(150)는 감지 증폭기(sense amplifier)로 동작하여 메모리 셀 어레이(110)에 저장된 데이터(DATA)를 감지할 수 있다. 한편, 프로그램 동작 시에 페이지 버퍼(150)는 기입 드라이버(write driver)로 동작하여 메모리 셀 어레이(110)에 저장하고자 하는 데이터(DATA)를 입력시킬 수 있다.

[0051] 도 3a 내지 도 3c는 본 발명의 실시예가 적용되는 메모리 장치의 메모리 셀들의 문턱 전압에 따른 산포를 나타내는 그래프이다.

[0052] 도 3a 내지 도 3c를 참조하면, 가로축은 문턱 전압(V_{th})을 나타내고, 세로축은 메모리 셀들의 개수를 나타낸다. 본 발명의 실시예에 따른 메모리 장치의 메모리 셀들은 도 3a와 같이 1 비트로 프로그램되는 싱글 비트 레벨 셀일 수 있고, 도 3b와 같이 2 비트로 프로그램되는 멀티 비트 레벨 셀일 수 있으며, 도 3c와 같이 3 비트로 프로그램되는 멀티 비트 레벨 셀에 해당될 수 있다. 다만, 본 발명의 실시예가 적용되는 메모리 장치의 메모리 셀들은 이에 국한되지 않으며, 더 많은 비트로 프로그램될 수 있다.

[0053] 각 메모리 장치의 메모리 셀들에 저장되는 비트의 수에 따라 각각 다른 프로그램 상태를 가질 수 있다. 도 3a와 같이, 본 발명의 실시예가 적용되는 메모리 셀이 1 비트로 프로그램되는 싱글 비트 레벨 셀에 해당되는 때에, 소거 상태(E)를 갖는 메모리 셀의 문턱 전압 산포와 제 1 프로그램 상태(P1)를 갖는 메모리 셀의 문턱 전압 산포를 가질 수 있다. 도 3b와 같이, 본 발명의 실시예가 적용되는 메모리 셀이 2 비트로 프로그램되는 멀티 비트 레벨 셀에 해당되는 때에, 소거 상태(E)를 갖는 메모리 셀의 문턱 전압 산포, 제 1 프로그램 상태(P1) 내지 제 3 프로그램 상태(P3)를 갖는 메모리 셀의 문턱 전압 산포를 가질 수 있다. 도 3c와 같이, 본 발명의 실시예가 적용되는 메모리 셀이 3 비트로 프로그램되는 멀티 비트 레벨 셀에 해당되는 때에, 소거 상태(E)를 갖는 메모리 셀의 문턱 전압 산포, 제 1 프로그램 상태(P1) 내지 제 7 프로그램 상태(P7)를 갖는 메모리 셀의 문턱 전압 산포를 가질 수 있다.

[0054] 도 4은 본 발명의 일 실시예에 따라 각 워드 라인에 인가되는 전압을 설명하기 위한 도 2의 제1 블록(BLK1)의

등가 회로를 나타내는 회로도이다. 도 5는 본 발명의 일 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.

- [0055] 도 4를 참조하면, 메모리 장치의 메모리 셀 어레이에서 제 1 블록(BLK1)에는 다수 개의 비트라인(BL0~BLn-1)들 각각에 연결되는 스트링 선택 트랜지스터들(SST)과 공통 소스 라인(CSL)에 연결되는 그라운드 선택 트랜지스터들(GST)과 각각의 스트링 선택 트랜지스터들(SST)과 그라운드 선택 트랜지스터들(GST) 사이에 직렬로 접속되는 다수의 메모리 셀들이 구비된다. 상기 메모리 셀들은 복수개의 워드 라인들(WL0~WL31) 각각에 접속되어 있다.
- [0056] 이하에서는, 메모리 장치에 대한 독출 동작시에 선택된 셀의 워드 라인에 인가되는 전압 및 비선택된 셀들의 워드 라인들에 인가되는 전압을 제어하는 방법에 대해 설명한다. 예시적으로 선택 셀(selected cell, SC)은 도 3에 도시된 바와 같이 B/L1 및 W/L28 와 교차하는 셀에 해당되며, 이는 예시적 실시예에 불과한 바 이에 국한되지 않고 다른 셀들도 선택될 수 있음은 자명하다.
- [0057] 선택 셀(SC)의 비트 라인(B/L1)에 독출 동작을 위한 비트라인 전압(V)이 인가될 수 있다. 선택 셀(SC)의 워드 라인(W/L28)에 독출 전압(Vread)이 인가될 수 있다. 다만, 메모리 셀이 멀티 레벨 셀에 해당되는 경우에는, 하나의 셀에서 문턱 전압에 따라 2 이상의 데이터가 읽혀지므로, 독출 전압(Vread)은 선택 셀의 프로그램 상태(state)에 따라 셀의 데이터를 센싱할 수 있도록 다양한 전압 레벨을 가질 수 있다. 선택 셀(SC)에 인접한 양측에 위치하지 않으면서 상기 선택 셀(SC)과 동일 스트링(선택 스트링)에 위치하는 제 1 비선택 셀(NCS)들과 연결된 워드 라인들(W/L0~26, W/L31)에 제 1 독출 패스 전압(Vread_p1)이 인가될 수 있다. 선택 셀(SC)의 양측에 위치하는 인접 셀(이하, 제 2 비선택 셀, ASC1, ASC2)들과 연결된 워드 라인(W/L27, W/L29)에 제 2 독출 패스 전압(Vread_p2)이 인가될 수 있다. 다만, 이는 일 실시예로, 제 2 비선택 셀들(ASC) 중 일부만을 선택하여 선택된 제 2 비선택 셀의 워드라인에만 제 2 독출 패스 전압(Vread_p2)이 인가될 수 있다. 선택되지 않은 제 2 비선택 셀의 워드라인에는 제 1 독출 패스 전압(Vread_p1)이 인가될 수 있다.
- [0058] 도 5를 참조하면, 도 2의 워드라인 전압 제어부(125)는 메모리 셀 어레이(110)에 인가되는 워드라인 전압을 도 5에 도시된 바와 같이 제어할 수 있다. 먼저, 워드라인 전압 제어부(125)는 선택 셀과 연결된 워드 라인(이하, 선택 워드 라인, SC_W/L)에 인가되는 독출 전압이 제 1 준비 레벨(PL1) 및 제 1 타겟 레벨(TL1)을 갖도록 제어할 수 있다. 일 실시예로, 워드라인 전압 제어부(125)에 의하여 선택 워드 라인(SC_W/L)에 인가되는 독출 전압은 제 1 구간(ITV1)동안 시작 전압 레벨(IL1)에서 제 1 준비 레벨(PL1)로 셋업될 수 있으며, 상기 독출 전압은 제 2 구간(ITV2)동안 제 1 준비 레벨(PL1)에서 제 1 타겟 레벨(TL1)로 셋업될 수 있다. 도 2의 워드라인 전압 제어부(125)는 도 3b에 도시된 바와 같이, 독출 대상이 되는 선택 셀의 프로그램 상태에 따라 독출 전압의 제 1 타겟 레벨(TL1)의 크기를 다양하게 제어할 수 있다. 또한, 워드라인 전압 제어부(125)는 독출 대상이 되는 선택 셀의 프로그램 상태에 따라 제 1 준비 레벨(PL1)의 크기를 다르게 제어할 수 있다. 즉, 워드라인 전압 제어부(125)는 독출 동작에 필요한 제 1 타겟 레벨(TL1)의 크기를 기반으로 제 1 준비 레벨(PL1)의 크기를 제어할 수 있다.
- [0059] 예를 들면, 제 1 타겟 레벨(TL1)은 메모리 셀의 소거 상태(E)와 제 1 프로그램 상태(P1)인지 여부를 판별하기 위한 제 1 전압(Vr1)의 레벨과 동일 또는 유사할 수 있다. 예를 들면, 제 1 타겟 레벨(TL1)은 0(V)일 수 있으며, 제 1 준비 레벨(PL1)은 음의 전압 레벨(d1)일 수 있다. 제 1 구간(ITV1)은 독출 전압이 시작 레벨(IL1)에서 제 1 준비 레벨(PL1)로 셋업되는 구간으로 지칭될 수 있으며, 제 2 구간(ITV2)은 독출 전압이 제 1 준비 레벨(PL1)에서 제 1 타겟 레벨(TL1)로 셋업되는 구간으로 지칭될 수 있다.
- [0060] 제 1 비선택 셀들과 연결된 워드 라인(이하, 제 1 비선택 워드 라인, NSC_W/L)에 인가되는 제 1 독출 패스 전압이 제 2 준비 레벨(PL2) 및 제 2 타겟 레벨(TL2)을 갖도록 제어될 수 있다. 일 실시예로, 워드라인 전압 제어부(125)에 의하여 제 1 비선택 워드 라인(NSC_W/L)에 인가되는 제 1 독출 패스 전압은 제 1 구간(ITV1)동안 시작 전압레벨(IL2)에서 제 2 준비 레벨(PL2)로 셋업될 수 있으며, 상기 제 1 독출 패스 전압에 제 2 구간(ITV2)동안 제 2 준비 레벨(PL2)에서 제 2 타겟 레벨(TL2)로 셋업될 수 있다. 다만, 제 1 독출 패스 전압은 제 1 구간(ITV1)동안 제 2 준비 레벨(PL2)만을 갖는 것으로 도시되어 있으나, 이에 국한되지 않고, 둘 이상의 준비 레벨을 갖을 수 있다.
- [0061] 도 2의 워드라인 전압 제어부(125)는 도 3b에 도시된 바와 같이, 독출 대상이 되는 선택 셀의 프로그램 상태에 따라 제 1 독출 패스 전압의 제 2 타겟 레벨(TL2)의 크기(b1)를 다양하게 제어할 수 있다. 또한, 워드라인 전압 제어부(125)는 독출 대상이 되는 선택 셀의 프로그램 상태에 따라 제 2 준비 레벨(PL2)의 크기(a1)을 다르게 제어할 수 있다. 즉, 워드라인 전압 제어부(125)는 독출 동작에 필요한 제 1 타겟 레벨(TL1)의 크기를 기반으로 제 1 독출 패스 전압의 제 2 준비 레벨(PL2)의 크기(a1) 및 제 2 타겟 레벨(TL2)의 크기(b1) 중 적어도 어느 하

나를 제어할 수 있다.

- [0062] 또한, 워드라인 전압 제어부(125)는 선택 셀 워드라인(SC_W/L)에 인가되는 독출 전압이 제 1 준비 레벨(PL1)에서 제 1 타겟 레벨(TL1)로 셋업을 시작하는 타이밍과 제 1 비선택 셀 워드라인(NSC_W/L)에 인가되는 제 1 독출 패스 전압이 제 2 준비 레벨(PL2)에서 제 2 타겟 레벨(TL2)로 셋업을 시작하는 타이밍이 동일 또는 유사하게 제어할 수 있다.
- [0063] 워드라인 전압 제어부(125)는 제 2 비선택 셀과 연결된 워드 라인(이하, 제 2 비선택 워드 라인, ASC_W/L)에 인가되는 제 2 독출 패스 전압이 제 3 타겟 레벨(TL3)을 갖도록 제어할 수 있다. 일 실시예로, 워드라인 전압 제어부(125)에 의하여 제 2 비선택 워드 라인(ASC_W/L)에 인가되는 제 2 독출 패스 전압은 제 1 구간(ITV1) 및 제 2 구간(ITV2)동안 시작 전압 레벨(IL3)에서 제 3 타겟 레벨(TL3)로 셋업될 수 있다. 제 2 독출 패스 전압의 제 3 타겟 레벨(TL3)의 크기(c1)는 제 1 독출 패스 전압의 제 2 타겟 레벨(TL2)의 크기(b1)와 동일 또는 유사하게 제어될 수 있다. 다만, 제 3 타겟 레벨(TL3)의 크기(c1)와 제 2 타겟 레벨(TL2)의 크기(b1)는 서로 다르게 제어될 수 있다. 또한, 각각의 시작 전압 레벨(IL1, IL2, IL3)은 독출 전압, 제 1 독출 패스 전압 및 제 2 독출 패스 전압 각각이 소정의 타겟 전압으로 셋업을 시작할 때의 초기 전압 레벨에 해당되며, 각각의 시작 전압 레벨(IL1, IL2, IL3)의 크기는 동일 또는 상이하게 제어될 수 있다. 구체적인 실시예는 후술한다.
- [0064] 도 6a 및 도 6 b는 본 발명의 일 실시예에 따른 선택 워드라인에 인가되는 독출 전압의 셋업 타임 감소의 효과를 설명하기 위한 그래프이다.
- [0065] 도 6a는 도 6b의 제 1 비선택 워드 라인(NSC_W/L)에 제공되는 제 1 독출 패스 전압(E1)이 별도의 준비 레벨을 갖지 않고 소정의 타겟 레벨(TLb)만 갖도록 제어되는 때에, 선택 워드 라인(SC_W/L)에 인가되는 독출 전압(D1)과 관련된 독출 전압 셋업 타임(X1)을 나타내는 도면이다. 일 예로, 제1 독출 패스 전압(E1) 및 제 2 독출 패스 전압(F1)이 시작 레벨에서 소정의 타겟 레벨(TLb)로 바로 셋업될 수 있다. 이에 따라, 제 1 독출 패스 전압(E1) 및 제 2 독출 패스 전압(F1)이 소정의 타겟 레벨(TLb)로 셋업되는 동안 커플링 현상으로 인하여, 독출 전압(D1)은 일시적으로 비선택 워드 라인들(NSC_W/L, ASC_W/L)에 인가되는 전압(E1, F1)과 함께 급격하게 상승될 수 있다. 이에 따라, 독출 전압(C1)이 소정의 타겟 레벨(TLa)로 셋업되는 데 걸리는 시간에 해당되는 독출 전압 셋업 타임(X1)이 길어지는 문제가 있다.
- [0066] 도 6b는 도 5의 제 1 비선택 워드 라인(NSC_W/L)에 제공되는 제 1 독출 패스 전압(E2)이 소정의 준비 레벨(TLc) 및 소정의 타겟 레벨(TLb)을 갖도록 제어되는 때에, 선택 워드 라인(SC_W/L)에 인가되는 독출 전압(D2)과 관련된 독출 전압 셋업 타임(X2)을 나타내는 도면이다. 일 예로, 제 1 독출 패스 전압(E2)은 시작 레벨에서 소정의 준비 레벨(TLc)로 셋업될 수 있고, 소정의 준비 레벨(TLc)에서 소정의 타겟 레벨(TLb)로 셋업될 수 있다. 제 2 독출 패스 전압(F2)은 시작 레벨에서 소정의 타겟 레벨(TLb)로 바로 셋업될 수 있다. 도 6a와는 달리, 제 1 독출 패스 전압(E2)이 소정의 준비 레벨(TLc)을 갖기 때문에, 독출 전압(D2)에 영향을 미치는 비선택 워드 라인들(NSC_W/L, ASC_W/L)에 인가되는 전압들(E1, F1)에 의한 커플링 현상을 줄일 수 있다. 따라서, 소정의 구간(K1)에서는 비선택 워드 라인들(NSC_W/L, ASC_W/L)에 인가되는 전압(E2, F2)에 의한 독출 전압(C2)의 상승 정도를 도 6a의 독출 전압(D1)보다 완만하게 할 수 있다.
- [0067] 더 나아가, 또 다른 구간(K2)에서는 제 1 독출 패스 전압(E2) 및 제 2 독출 패스 전압(F2)은 소정의 타겟 레벨(TLb)로 동시에 셋업되므로, 제 1 독출 패스 전압(E2) 및 제 2 독출 패스 전압(F2)에 의하여 독출 전압(D2)가 빠르게 상승하여, 소정의 타겟 레벨(TLa)에 도달될 수 있다. 이에 따라, 독출 전압(D2)이 소정의 타겟 레벨(TLa)로 셋업되는 데 걸리는 시간에 해당되는 독출 전압 셋업 타임(X2)이 도 6a의 독출 전압 셋업 타임(X1)보다 줄일 수 있는 효과가 있다.
- [0068] 도 7은 본 발명의 다른 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.
- [0069] 도 7을 참조하면, 도 2의 워드라인 전압 제어부(125)는 메모리 셀 어레이(110)에 인가되는 워드라인 전압을 도 7에 도시된 바와 같이 제어할 수 있다. 먼저, 워드라인 전압 제어부(125)는 선택 셀과 연결된 워드 라인(이하, 선택 워드 라인, SC_W/L)에 인가되는 독출 전압이 제 1 준비 레벨(PL1) 및 제 1 타겟 레벨(TL1)을 갖도록 제어할 수 있다. 워드라인 전압 제어부(125)는 독출 대상이 되는 선택 셀의 프로그램 상태에 따라 제 1 준비 레벨(PL1)의 크기를 다르게 제어할 수 있다. 즉, 워드라인 전압 제어부(125)는 독출 동작에 필요한 제 1 타겟 레벨(TL1)의 크기를 기반으로 제 1 준비 레벨(PL1)의 크기를 제어할 수 있다.
- [0070] 일 실시예로, 도 3b에 도시된 바와 같이 제 1 타겟 레벨(TL1)은 메모리 제 1 프로그램 상태(P1)와 제 2 프로그램

램 상태(P2)인지 여부를 판별하기 위한 제 2 전압(Vr2)의 레벨과 동일 또는 유사할 수 있다. 즉, 워드라인 전압 제어부(125)는 도 7의 제 1 타겟 레벨(TL1)이 도 5의 제 1 타겟 레벨(TL1)보다 크도록 제어할 수 있다. 더 나아가, 워드라인 전압 제어부(125)는 제 1 타겟 레벨(TL1)을 기반으로 제 1 준비 레벨(PL1)을 양의 전압 레벨(d2)이 되도록 제어할 수 있다.

[0071] 또한, 일 실시예로, 워드라인 전압 제어부(125)는 독출 대상이 되는 선택 셀의 프로그램 상태에 따라 제 2 준비 레벨(PL2)의 크기(a2)을 다르게 제어할 수 있다. 즉, 워드라인 전압 제어부(125)는 독출 동작에 필요한 제 1 타겟 레벨(TL1)의 크기를 기반으로 제 1 독출 패스 전압의 제 2 준비 레벨(PL2)의 크기(a2)를 제어할 수 있다. 예를 들면, 워드라인 전압 제어부(125)는 제 1 타겟 레벨(TL1)의 크기가 클수록 제 2 준비 레벨(PL2)의 크기가 커지도록 제어할 수 있다. 도 7의 독출 전압의 제 1 타겟 레벨(TL1)은 도 5의 독출 전압의 제 1 타겟 레벨(TL1)보다 크므로, 워드라인 전압 제어부(125)는 도 7의 제 1 독출 패스 전압의 제 2 준비 레벨(PL2)의 크기(a2)를 도 5의 제 1 독출 패스 전압의 제 2 준비 레벨(PL2)의 크기(a1)보다 크게 제어할 수 있다.

[0072] 도 8은 본 발명의 또 다른 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.

[0073] 도 8을 참조하면, 도 2의 워드라인 전압 제어부(125)는 메모리 셀 어레이(110)에 인가되는 워드라인 전압을 도 8에 도시된 바와 같이 제어할 수 있다. 워드라인 전압 제어부(125)는 제 1 독출 패스 전압의 제 2 타겟 레벨(TL2)의 크기(b3)를 제 2 독출 패스 전압의 제 3 타겟 레벨(TL3)의 크기(c3)보다 작게 제어할 수 있다. 이를 통해, 제 1 독출 패스 전압이 제 2 준비 레벨(PL2)에서 제 2 타겟 레벨(TL2)로 셋업이 완료되는 타이밍(ST1)과 제 2 독출 패스 전압이 시작 레벨에서 제 3 타겟 레벨(TL3)로 셋업이 완료되는 타이밍(ST1)을 동일 또는 유사하게 할 수 있다. 구체적인 내용은 도 5에 서술한 바 이하 생략한다.

[0074] 도 9은 본 발명의 또 다른 실시예에 따른 각각의 워드 라인의 전압 레벨에 제어방법을 설명하기 위한 타이밍도이다.

[0075] 도 9을 참조하면, 도 2의 워드라인 전압 제어부(125)는 메모리 셀 어레이(110)에 인가되는 워드라인 전압을 도 9에 도시된 바와 같이 제어할 수 있다. 워드라인 전압 제어부(125)는 제 2 독출 패스 전압의 제 3 타겟 레벨(TL3)의 크기(c4)를 제 1 독출 패스 전압의 제 2 타겟 레벨(TL2)의 크기(b4)보다 작게 제어할 수 있다. 이를 통해, 제 1 독출 패스 전압이 제 2 준비 레벨(PL2)에서 제 2 타겟 레벨(TL2)로 셋업이 완료되는 타이밍(ST2)과 제 2 독출 패스 전압이 시작 레벨에서 제 3 타겟 레벨(TL3)로 셋업이 완료되는 타이밍(ST2)을 동일 또는 유사하게 할 수 있다. 더 나아가, 선택 워드라인에 인접한 제 2 비선택 워드 라인에 인가되는 제 2 독출 패스 전압의 타겟 레벨(TL2)을 제 1 독출 패스 전압의 타겟 레벨(TL1)보다 작게 제어함으로써, 선택 워드라인에 연결된 선택 셀에 문턱 전압에 영향을 주는 프린지 필드(fringe field)를 억제할 수 있다. 프린지 필드는 선택 셀과 이와 인접하는 셀 사이의 전압 차이에 의하여 발생하는 것으로, 선택 셀의 문턱 전압에 영향을 주어 메모리 장치의 신뢰성이 저하될 수 있다. 구체적인 내용은 도 5에 서술한 바 이하 생략한다.

[0076] 도 10은 메모리 셀들에 2 비트 데이터를 기입하는 때에 프로그램 및 검증 동작을 나타내는 도면이다.

[0077] 도 10을 참조하면, 전술한 바와 같이, 본 발명의 일 실시예에 따른 도 2의 워드라인 전압 제어부(125)는 검증 동작 시에 검증 전압을 제어할 수 있다. 메모리 장치에 대하여 ISPP(Incremental step pulse programming) 방식으로 검증 동작이 수행될 수 있다. 이 때, 각각의 프로그램 전압(Vpgm1~Vpgm7)이 인가된 후에 검증 동작이 수행될 때에, 도 2의 워드라인 전압 제어부(125)는 선택 워드라인에 인가되는 검증 전압과 비선택 워드라인들에 인가되는 검증 패스 전압을 각각 전술한 독출 전압과 독출 패스 전압에 대한 제어 방법과 동일하게 제어할 수 있다.

[0078] 일 실시예로, 도 5에 도시된 바와 같이, 워드라인 전압 제어부(125)는 제 2 내지 제 3 검증 구간(Verify1~Verify4)동안 선택 워드라인(SC_W/L)에 인가되는 제 1 검증 전압(V1)이 제 1 준비 레벨(PL1) 및 제 1 타겟 레벨(TL1)을 갖도록 제어할 수 있다. 워드라인 전압 제어부(125)는 제 1 비선택 워드라인(NSC_W/L)에 인가되는 제 1 검증 패스 전압이 제 2 준비 레벨(PL2) 및 제 2 타겟 레벨(TL2)를 갖도록 제어할 수 있다. 또한, 워드라인 전압 제어부(125)는 제 2 비선택 워드라인(ASC_W/L)에 인가되는 제 2 검증 패스 전압이 제 3 타겟 레벨(TL3)를 갖도록 제어할 수 있다.

[0079] 또한, 도 7에 도시된 바와 같이, 워드라인 전압 제어부(125)는 제 4 검증 구간 및 제 5 검증 구간(Verify4~Verify5)동안 제 2 검증 전압(V2)이 제 1 준비 레벨(PL1) 및 제 1 타겟 레벨(TL1)을 갖도록 제어할 수 있다. 이 때, 워드라인 전압 제어부(125)는 제 2 검증 전압(V2)의 제 1 타겟 레벨(TL1)이 제 1 검증 전압

(V1)의 제 1 타겟 레벨(TL1)보다 크게 제어할 수 있다. 또한, 워드라인 전압 제어부(125)는 제 2 검증 전압(V2)의 제 1 준비 레벨(PL1)이 제 1 검증 전압(V1)의 제 1 준비 레벨(PL1)보다 크게 제어할 수 있다. 더 나아가, 워드라인 전압 제어부(125)는 제 2 검증 전압(V2)이 인가될 때에 도 7에 개시된 제 1 비선택 워드 라인(NSC_W/L)에 제공되는 제 1 검증 패스 전압의 제 2 준비 레벨(PL2)의 크기(a2)는 제 1 검증 전압(V1)이 인가될 때에 도 5에 개시된 제 1 비선택 워드 라인(NSC_W/L)에 제공되는 제 1 검증 패스 전압의 제 2 준비 레벨(PL2)의 크기(a1)보다 크게 제어할 수 있다.

[0080] 더 나아가, 워드라인 전압 제어부(125)는 제 6 검증 구간 및 제 7 검증 구간(Verify6~Verify7)동안 제 3 검증 전압(V3)의 제 1 타겟 레벨(TL1)이 제 2 검증 전압(V2)의 제 1 타겟 레벨(TL1)보다 크게 제어할 수 있다. 또한, 워드라인 전압 제어부(125)는 제 3 검증 전압(V3)의 제 1 준비 레벨(PL1)이 제 2 검증 전압(V2)의 제 1 준비 레벨(PL1)보다 크게 제어할 수 있다. 더 나아가, 워드라인 전압 제어부(125)는 제 3 검증 전압(V3)이 인가될 때에 제 1 비선택 워드 라인(NSC_W/L)에 제공되는 제 1 검증 패스 전압의 제 2 준비 레벨의 크기는 제 1 검증 전압(V1)이 인가될 때에 도 7에 개시된 제 1 비선택 워드 라인(NSC_W/L)에 제공되는 제 1 검증 패스 전압의 제 2 준비 레벨(PL2)의 크기(a2)보다 크게 제어할 수 있다. 이에 대한 구체적인 내용은 전술한 바, 이하 생략한다.

[0081] 도 11은 본 발명의 일 실시예에 따라 선택 셀의 위치를 기반으로 제 1 비선택 셀들에 연결된 워드 라인에 인가되는 독출 패스 전압을 제어하는 방법을 설명하기 위한 도면이다.

[0082] 도 11을 참조하면, 도 2의 메모리 장치의 메모리 셀 어레이에서 제 1 블록(BLK1)에는 다수 개의 비트라인(BL0~BLn-1)들 각각에 연결되는 스트링 선택 트랜지스터들(SST)과 공통 소스 라인(CSL)에 연결되는 그라운드 선택 트랜지스터들(GST)과 각각의 스트링 선택 트랜지스터들(SST)과 그라운드 선택 트랜지스터들(GST) 사이에 직렬로 접속되는 다수의 메모리 셀들이 구비된다. 상기 메모리 셀들은 복수개의 워드 라인들(WL0~WL31) 각각에 접속되어 있다.

[0083] 이하에서는, 메모리 장치에 대한 독출 동작시에 선택된 셀의 워드 라인에 인가되는 전압 및 비선택된 셀들의 워드 라인들에 인가되는 전압을 제어하는 방법에 대해 설명한다. 예시적으로 선택 셀(selected cell, SC)은 도 7에 도시된 바와 같이 B/L1 및 W/L28와 교차하는 셀에 해당되며, 이는 예시적 실시예에 불과한 바 이에 국한되지 않고 다른 셀들도 선택될 수 있음은 자명하다.

[0084] 선택 셀(SC)의 위치를 기준으로 위쪽에 있는 제 1 비선택 셀들(NSC)에 연결된 워드 라인들은 제 1 그룹(G1), 선택 셀(SC)의 위치를 기준으로 아래쪽에 있는 제 1 비선택 셀들(NSC)에 연결된 워드 라인들은 제 2 그룹(G2)으로 설정될 수 있다. 도 2의 워드라인 전압 제어부(125)는 제 1 비선택 셀들(NSC)에 연결된 워드 라인들 중 제 1 그룹(G1)과 제 2 그룹(G2)에 포함되는 워드 라인 각각에 인가되는 전압을 서로 다르게 제어할 수 있다.

[0085] 일 실시예로, 워드라인 전압 제어부(125)는 제 1 그룹(G1)의 워드 라인들(W/L30, W/L31)에는 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 독출 패스 전압이 인가되도록 제어할 수 있으며, 제 2 그룹(G2)의 워드 라인들(W/L0~W/L26)에는 제 2 타겟 레벨만을 갖는 제 3 독출 패스 전압이 인가되도록 제어할 수 있다. 다만, 이는 예시적 실시예에 불과한 바 이에 국한되지 않으며, 워드라인 전압 제어부(125)는 제 2 그룹(G2)의 워드 라인들(W/L0~W/L26)에는 상기 제 1 독출 패스 전압이 인가되도록 제어할 수 있고, 제 1 그룹(G1)의 워드 라인들(W/L30, W/L31)에는 상기 제 3 독출 패스 전압이 인가되도록 제어할 수 있다. 이외에도 다양한 실시예가 적용가능할 것이다. 또한, 메모리 장치에 대한 검증 동작시에 검증 전압 및 검증 패스 전압에 대하여 전술한 독출 전압 및 독출 패스 전압 제어 방식이 적용될 수 있음은 분명하다.

[0086] 도 12는 본 발명의 다른 실시예에 따라 선택 셀의 위치를 기반으로 제 1 비선택 셀들에 연결된 워드 라인에 인가되는 독출 패스 전압을 제어하는 방법을 설명하기 위한 도면이다.

[0087] 도 12를 참조하면, 선택 셀(SC)의 위치를 기준으로 위쪽에 있는 제 1 비선택 셀들(NSC)에 연결된 워드 라인들 중 선택 셀(SC)과 소정의 거리 내에 위치한 워드 라인들(W/L30, W/L31)과 선택 셀(SC)의 위치를 기준으로 아래쪽에 제 1 비선택 셀들(NSC)에 연결된 워드 라인들 중 선택 셀(SC)과 소정의 거리 내에 위치한 워드 라인들(W/L3, W/L4)은 제 1 그룹(G1')으로 설정될 수 있다. 제 1 그룹(G1')으로 명시된 워드 라인들(W/L3, W/L4, W/L30, W/L31)은 하나의 실시예에 불과하며, 이에 국한되지 않으며 상기 소정의 거리는 다양하게 설정될 수 있으며 설정된 상기 소정의 거리에 따라 제 1 그룹(G1')에 포함된 워드 라인들은 각각 다를 수 있다.

[0088] 일 실시예로, 워드라인 전압 제어부(125)는 제 1 그룹(G1')의 워드 라인들(W/L3, W/L4, W/L30, W/L31)에는 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 독출 패스 전압이 인가되도록 제어할 수 있으며, 제 1 비선택 셀들(NSC)에 연결된 워드 라인들 중 제 1 그룹(G1')에 포함되지 않은 워드 라인에는 제 2 타겟 레벨만을 갖는 제 3

독출 패스 전압이 인가되도록 제어할 수 있다. 다만, 이는 예시적 실시예에 불과한 바 이에 국한되지 않으며, 워드라인 전압 제어부(125)는 제 1 그룹(G1')의 워드 라인들(W/L3, W/L4, W/L30, W/L31)에는 상기 제 3 독출 패스 전압이 인가되도록 제어할 수 있고, 상기 제 1 그룹(G1')에 포함되지 않는 워드 라인들에는 상기 제 1 독출 패스 전압이 인가되도록 제어할 수 있다. 이외에도 다양한 실시예가 적용가능할 것이다. 또한, 메모리 장치에 대한 검증 동작시에 검증 전압 및 검증 패스 전압에 대하여 전술한 독출 전압 및 독출 패스 전압 제어 방식이 적용될 수 있음은 분명하다.

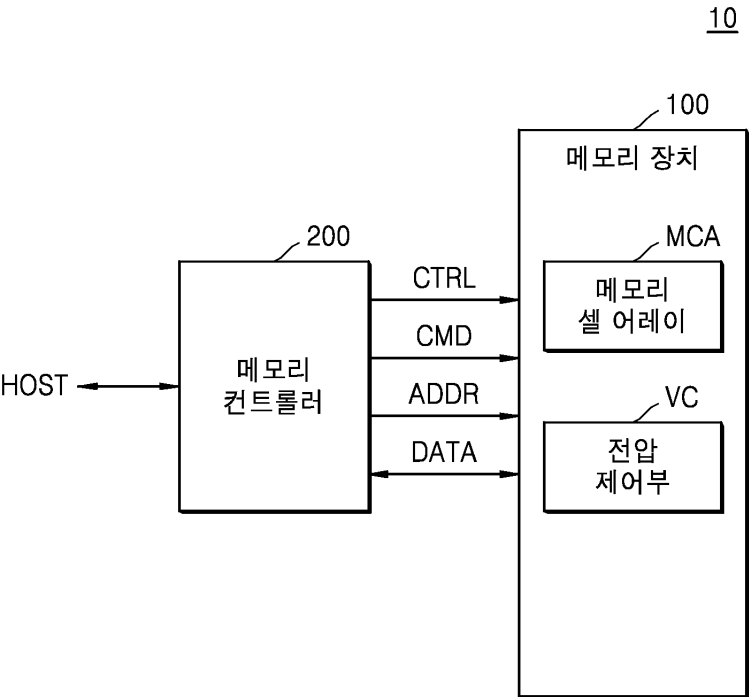
- [0089] 도 13 은 본 발명의 일 실시예에 따른 독출 전압 및 독출 패스 전압을 제어하는 방법을 나타내는 순서도이다.
- [0090] 도 13을 참조하면, 메모리 장치의 선택 셀에 대한 독출 동작을 수행할 때에, 선택 셀의 소정의 프로그램 상태를 독출하기 위하여 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 독출 전압을 인가한다(S100). 이 때, 제 1 타겟 레벨의 크기에 따라 제 1 준비 레벨의 크기가 제어될 수 있다. 일 예로, 제 1 타겟 레벨의 크기가 클수록 제 1 준비 레벨의 크기를 크게 제어할 수 있다. 제 1 타겟 레벨의 크기보다 제 1 준비 레벨의 크기는 작을 수 있다.
- [0091] 선택 셀과 인접하지 않고, 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 2 준비 레벨 및 제 2 타겟 레벨을 갖는 제 1 독출 패스 전압을 인가한다(S120). 이 때, 제 1 타겟 레벨의 크기에 따라 제 2 준비 레벨의 크기가 제어될 수 있다. 일 예로, 제 1 타겟 레벨의 크기가 클수록 제 2 준비 레벨의 크기를 크게 제어할 수 있다. 즉, 제 1 타겟 레벨의 크기에 따라 제 2 타겟 레벨 크기와 제 2 준비 레벨의 크기 차이가 가변될 수 있다.
- [0092] 선택 셀과 인접하게 위치한 제 2 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인들에 제 3 타겟 레벨을 갖는 제 2 독출 패스 전압을 인가한다(S140). 이 때, 제 3 타겟 레벨의 크기와 제 2 타겟 레벨의 크기는 동일하거나 상이하게 제어될 수 있다.
- [0093] 도 14 은 본 발명의 다른 실시예에 따른 독출 전압 및 독출 패스 전압을 제어하는 방법을 나타내는 순서도이다.
- [0094] 도 14를 참조하면, 선택 셀에 인가되는 독출 전압의 셋업 구간 중 제 1 구간에서 독출 전압은 시작 레벨에서 제 1 준비 레벨로 셋업되고, 독출 전압의 셋업 구간 중 제 2 구간에서 독출 전압을 제 1 준비 레벨에서 제 1 타겟 레벨로 셋업된다(S200).
- [0095] 상기 제 1 구간에서 제 1 비선택 셀들에 연결된 워드 라인들 중 적어도 하나의 워드 라인에 인가되는 제 1 독출 패스 전압은 시작 레벨에서 제 2 준비 레벨로 셋업되고, 상기 제 2 구간에서 제 1 독출 패스 전압은 제 2 준비 레벨에서 제 2 타겟 레벨로 셋업된다(S220).
- [0096] 상기 셋업 구간에서 제 2 비선택 셀들에 연결된 워드 라인들 중 적어도 하나의 워드 라인에 인가되는 제 2 독출 패스 전압은 시작 레벨에서 제 3 타겟 레벨로 셋업된다(S240). 이 때, 독출 전압이 제 1 준비 레벨에서 제 1 타겟 레벨로 셋업을 시작하는 타이밍과 제 1 독출 패스 전압이 제 2 준비 레벨에서 제 2 타겟 레벨로 셋업을 시작하는 타이밍이 동일 또는 유사하게 제어될 수 있다.
- [0097] 도 15 은 본 발명의 또 다른 실시예에 따른 독출 전압 및 독출 패스 전압을 제어하는 방법을 나타내는 순서도이다.
- [0098] 도 15를 참조하면, 독출 동작에 필요한 독출 전압의 제 1 타겟 레벨의 크기가 결정된다(S300). 일 실시예로, 도 2 의 워드라인 전압 제어부(125)는 도 3b에 개시된 것과 같이 선택 셀에 저장된 데이터를 독출하기 위해 필요한 전압(Vr1~Vr4)을 결정할 수 있다.
- [0099] 결정된 제 1 타겟 레벨의 크기를 기반으로 독출 전압의 제 1 준비 레벨 및 제 1 독출 패스 전압의 제 2 준비 레벨 중 적어도 하나의 크기가 가변되어 설정될 수 있다(S320). 일 실시예로, 워드라인 전압 제어부(125)는 제 1 타겟 레벨의 크기를 기반으로 상기 제 1 준비 레벨 및 상기 제 2 준비 레벨의 크기가 가변되어 설정되도록 제어할 수 있다.
- [0100] 설정된 상기 제 1 준비 레벨 및 상기 제 2 준비 레벨을 기반으로 독출 전압 및 제 1 독출 패스 전압이 각각에 대응되는 워드라인에 인가된다(S340).
- [0101] 도 16은 본 발명의 일 실시예들에 따른 메모리 카드 시스템을 나타내는 블록도이다.
- [0102] 도 16을 참조하면, 메모리 카드 시스템(1000)은 호스트(1100) 및 메모리 카드(1200)를 포함할 수 있다. 호스트(1100)는 호스트 컨트롤러(1110) 및 호스트 접속부(1120)를 포함할 수 있다. 메모리 카드(1200)는 카드 접속부

(1210), 카드 컨트롤러(1220) 및 메모리 장치(1220)를 포함할 수 있다. 이때, 메모리 카드(1200)는 도 1 내지 도 15에 도시된 실시예들을 이용하여 구현될 수 있다.

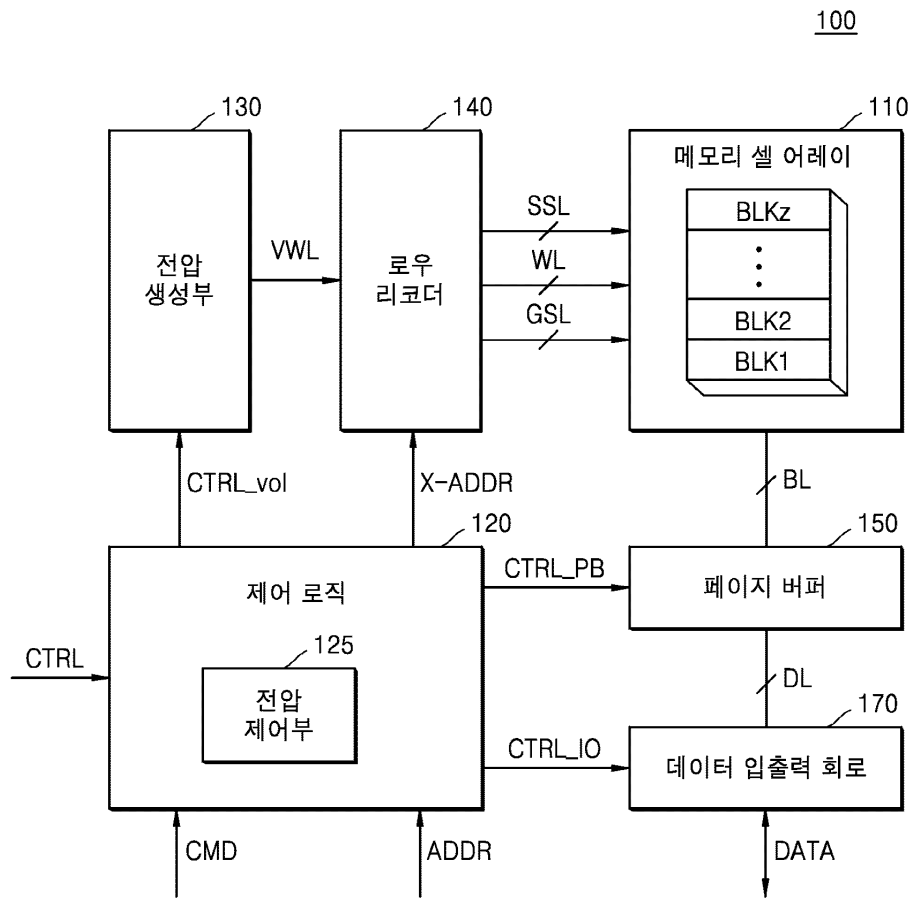
- [0103] 구체적으로, 메모리 장치(1230)에 대한 독출 동작 또는 검증 동작시에 선택 셀과 연결된 워드라인에 인가되는 독출/검증 전압, 선택 셀과 인접하지 않은 제 1 비선택 셀과 연결된 워드라인에 인가되는 제 1 독출/검증 패스 전압 및 선택 셀과 인접한 제 2 비선택 셀과 연결된 워드라인에 인가되는 제 2 독출/검증 전압을 각각 다르게 제어할 수 있다. 일례로, 독출/검증 전압은 제 1 준비 레벨 및 제 1 타겟 레벨을 갖고, 제 1 독출/검증 패스 전압은 제 2 준비 레벨 및 제 2 타겟 레벨을 갖고, 제 2 독출/검증 패스 전압은 제 3 타겟 레벨을 갖도록 제어될 수 있다.
- [0104] 메모리 카드(1200)는 USB, MMC, PCI-E, ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI, ESDI, 그리고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(1100)와 통신하도록 구성될 수 있다.
- [0105] 호스트(1100)는 메모리 카드(1200)에 데이터를 기입하거나, 메모리 카드(1200)에 저장된 데이터를 독출할 수 있다. 호스트 컨트롤러(1110)는 커맨드(CMD), 호스트(1100) 내의 클럭 발생기(미도시)에서 발생한 클럭 신호(CLK) 및 데이터(DATA)를 호스트 접속부(1120)를 통해 메모리 카드(1200)로 전송할 수 있다.
- [0106] 카드 컨트롤러(1220)는 카드 접속부(1210)를 통해 수신된 커맨드에 응답하여, 카드 컨트롤러(1220) 내에 있는 클럭 발생기(미도시)에서 발생한 클럭 신호에 동기하여 데이터를 메모리 장치(1220)에 저장할 수 있다. 메모리 장치(1220)는 호스트(1100)로부터 전송된 데이터를 저장할 수 있다.
- [0107] 메모리 카드(1200)는 콤팩트 플래쉬 카드(CFC: Compact Flash Card), 마이크로 드라이브(Microdrive), 스마트 미디어 카드(SMC: Smart Media Card) 멀티미디어 카드(MMC: Multimedia Card), 보안 디지털 카드(SDC: Security Digital Card), 메모리 스틱(Memory Stick), 및 USB 플래쉬 메모리 드라이버 등으로 구현될 수 있다.
- [0108] 도 17은 본 발명의 일 실시예에 따른 SSD 시스템을 나타내는 블록도이다.
- [0109] 도 17을 참조하면, SSD 시스템(2000)은 호스트(2100) 및 SSD(2200)를 포함할 수 있다. SSD(2200)는 신호 커넥터(signal connector)를 통해 호스트(2100)와 신호를 주고 받으며, 전원 커넥터(power connector)를 통해 전원을 입력 받는다. SSD(2200)는 SSD 컨트롤러(2210), 보조 전원 장치(2220) 및 복수의 메모리 장치들(2230, 2240, 2250)을 포함할 수 있다. 이때, SSD(2200)는 도 1 내지 도 24에 도시된 실시예들을 이용하여 구현될 수 있다.
- [0110] 구체적으로, 복수의 메모리 장치들(2230, 2240, 2250)에 대한 독출 동작 또는 검증 동작시에 선택 셀과 연결된 워드라인에 인가되는 독출/검증 전압, 선택 셀과 인접하지 않은 제 1 비선택 셀과 연결된 워드라인에 인가되는 제 1 독출/검증 패스 전압 및 선택 셀과 인접한 제 2 비선택 셀과 연결된 워드라인에 인가되는 제 2 독출/검증 전압을 각각 다르게 제어할 수 있다. 일례로, 독출/검증 전압은 제 1 준비 레벨 및 제 1 타겟 레벨을 갖고, 제 1 독출/검증 패스 전압은 제 2 준비 레벨 및 제 2 타겟 레벨을 갖고, 제 2 독출/검증 패스 전압은 제 3 타겟 레벨을 갖도록 제어될 수 있다.
- [0111] 본 발명에 따른 메모리 카드, 불휘발성 메모리 장치, 카드 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0112] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

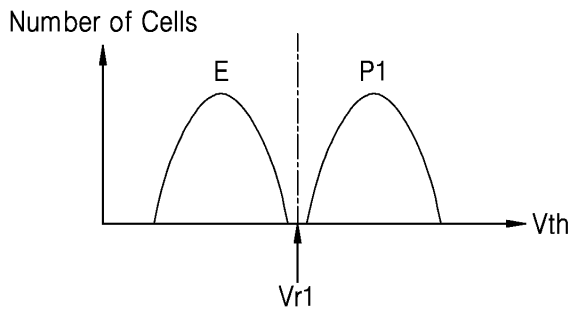
도면1



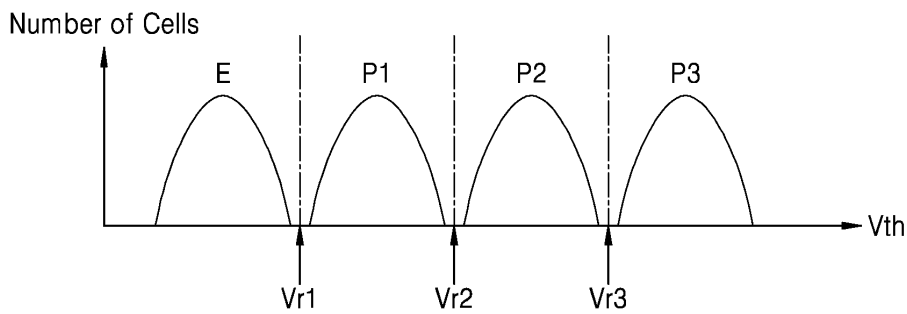
도면2



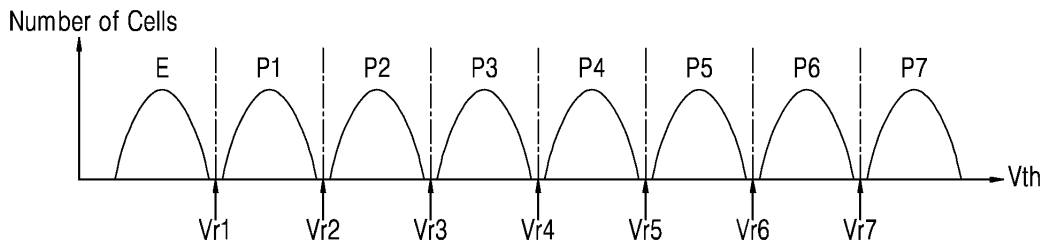
도면3a



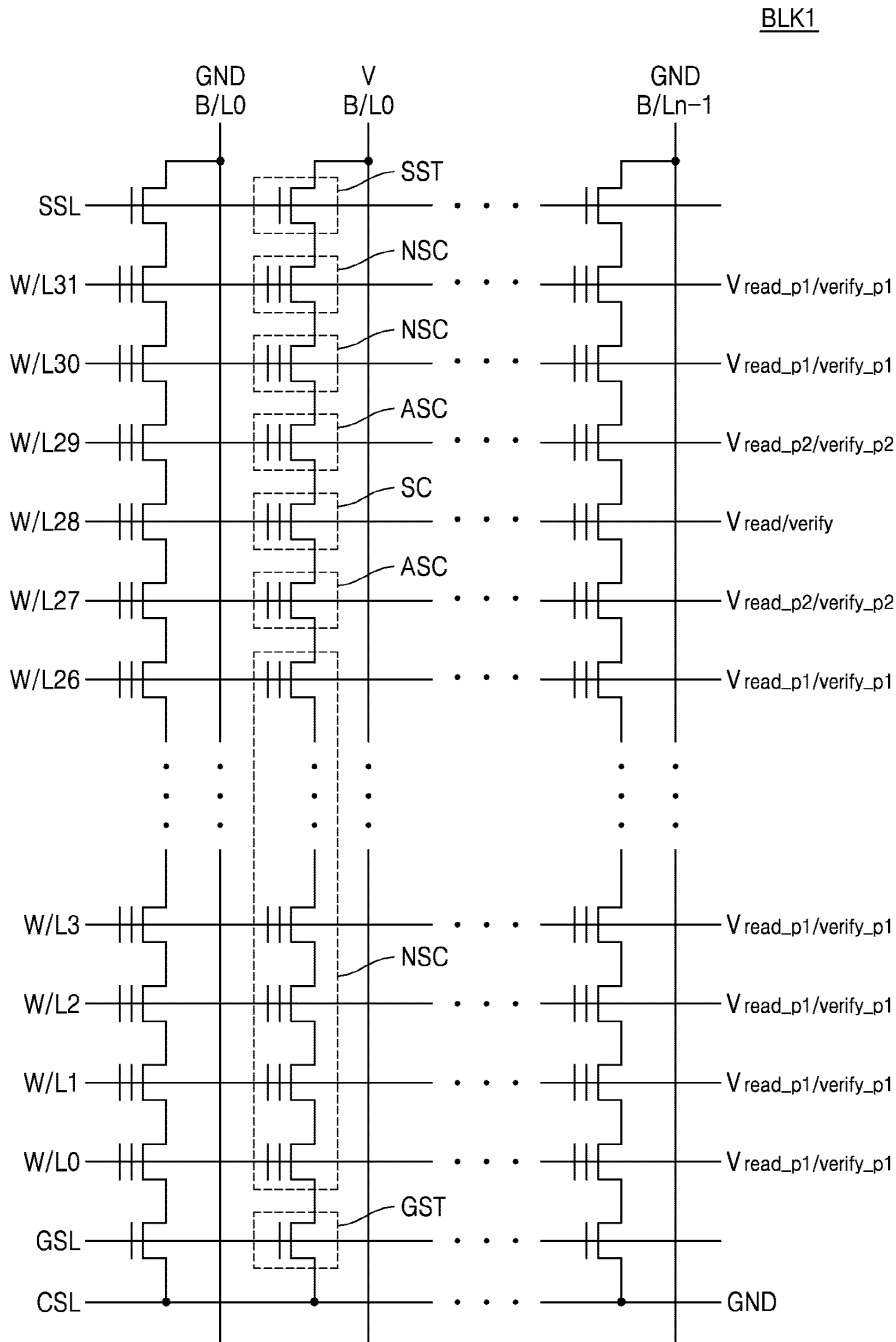
도면3b



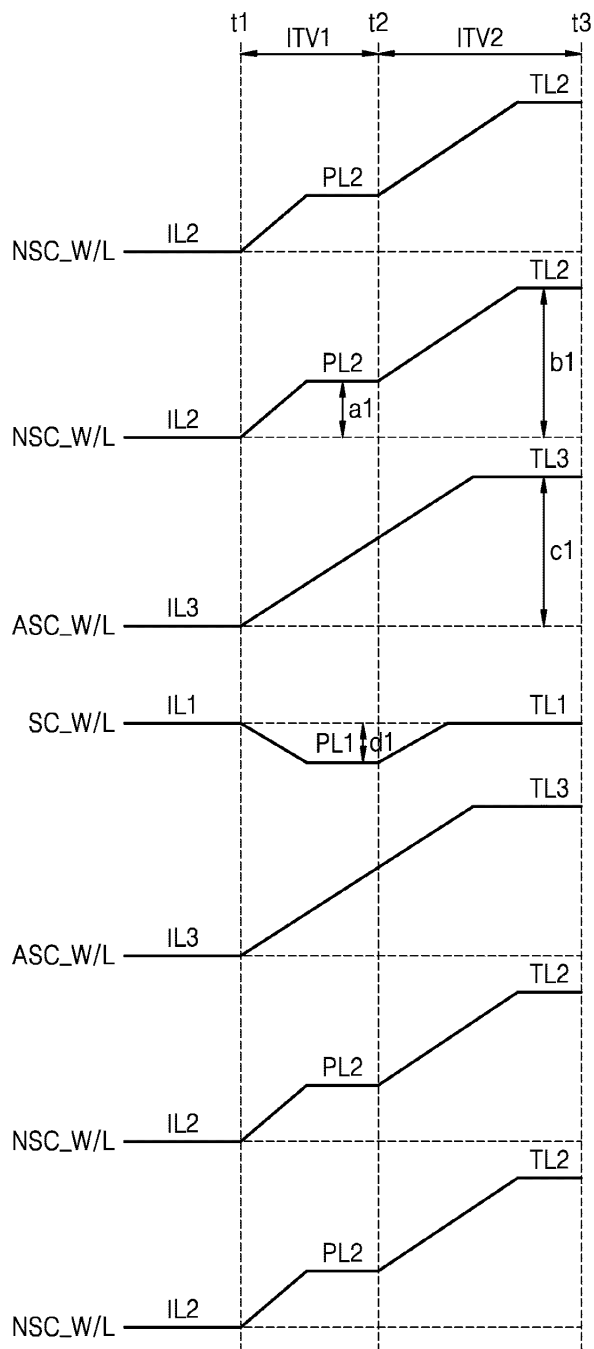
도면3c



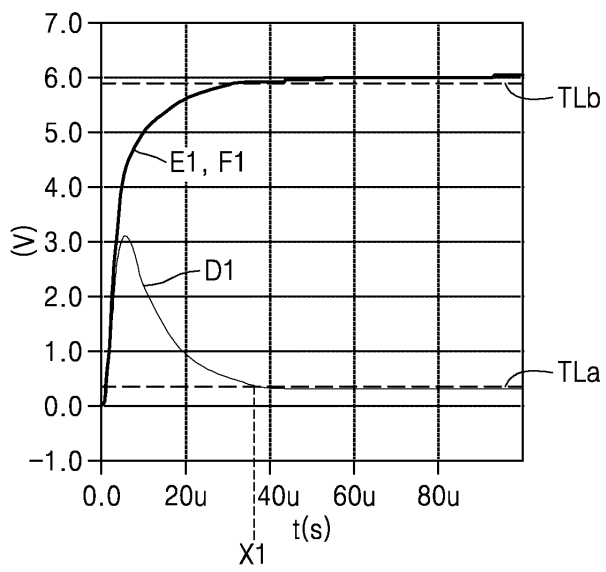
도면4



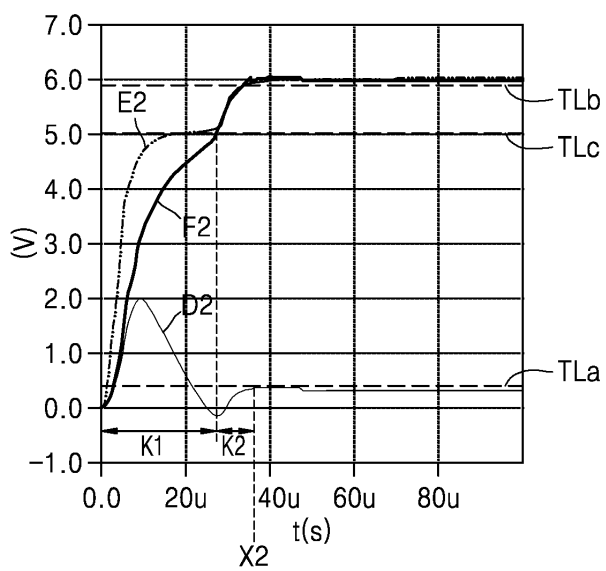
도면5



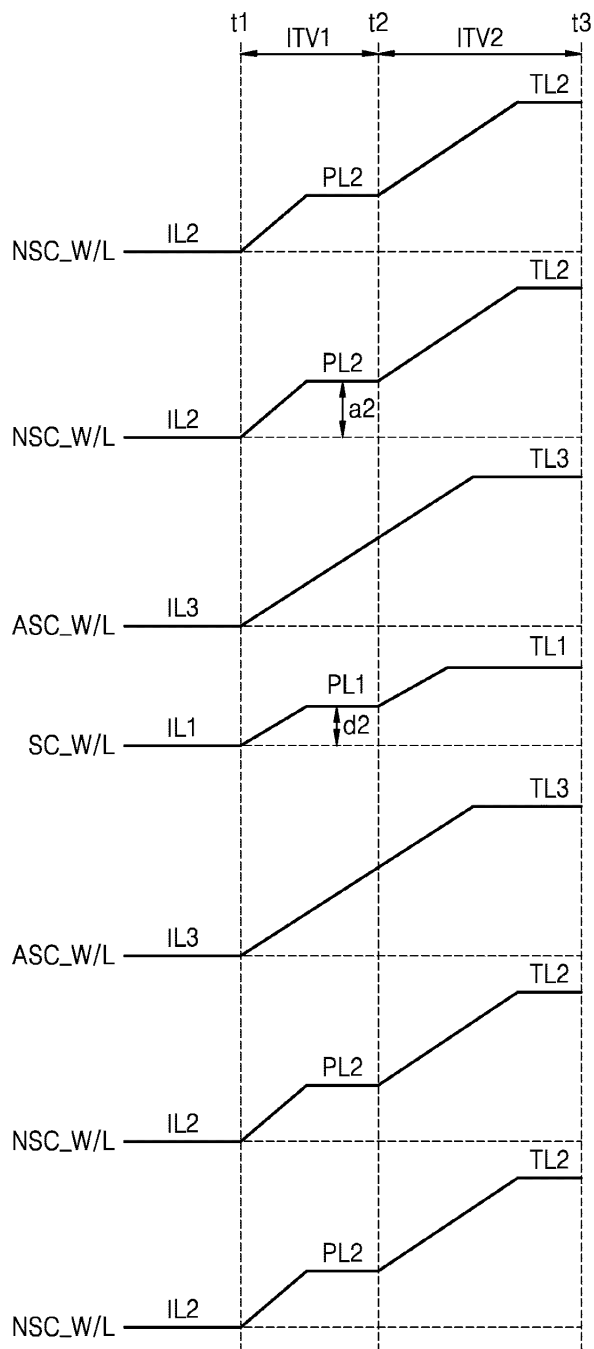
도면6a



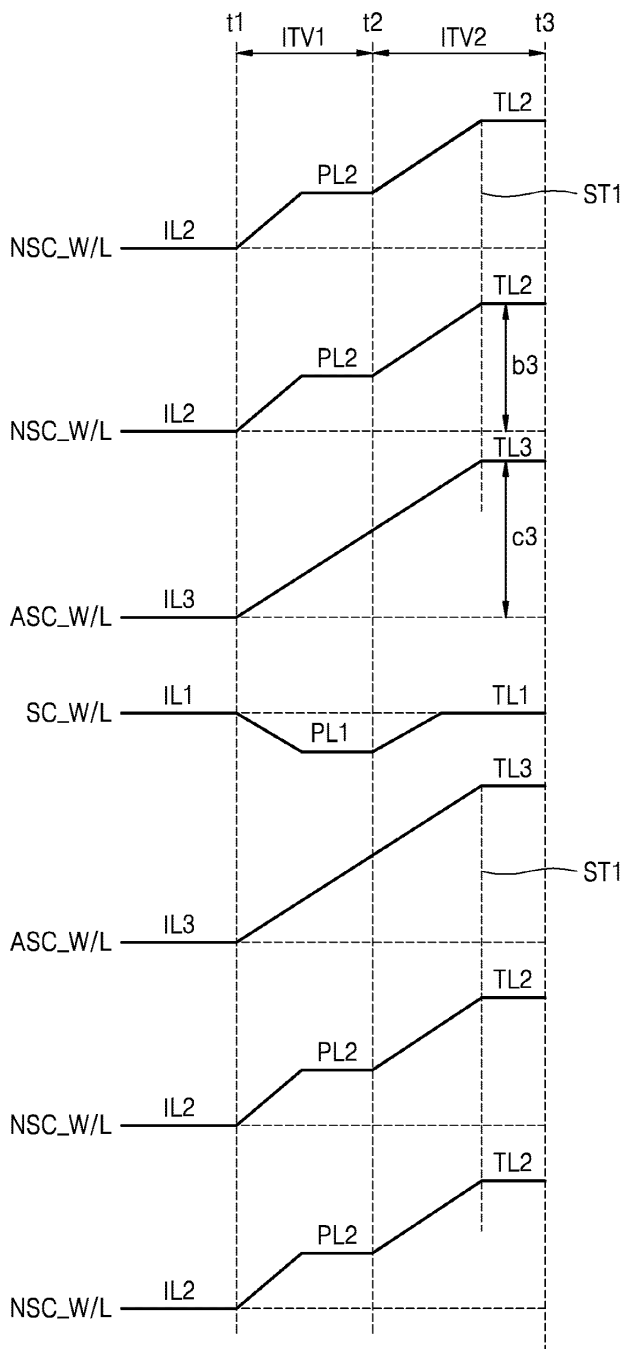
도면6b



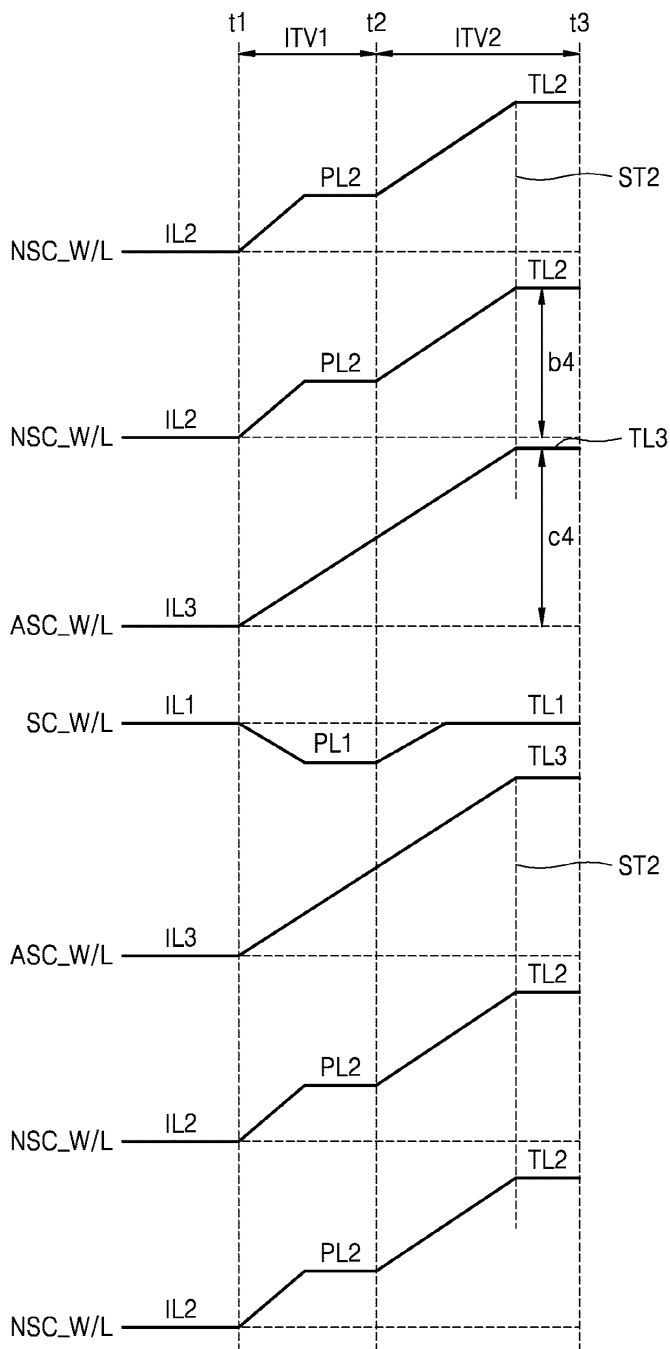
도면7



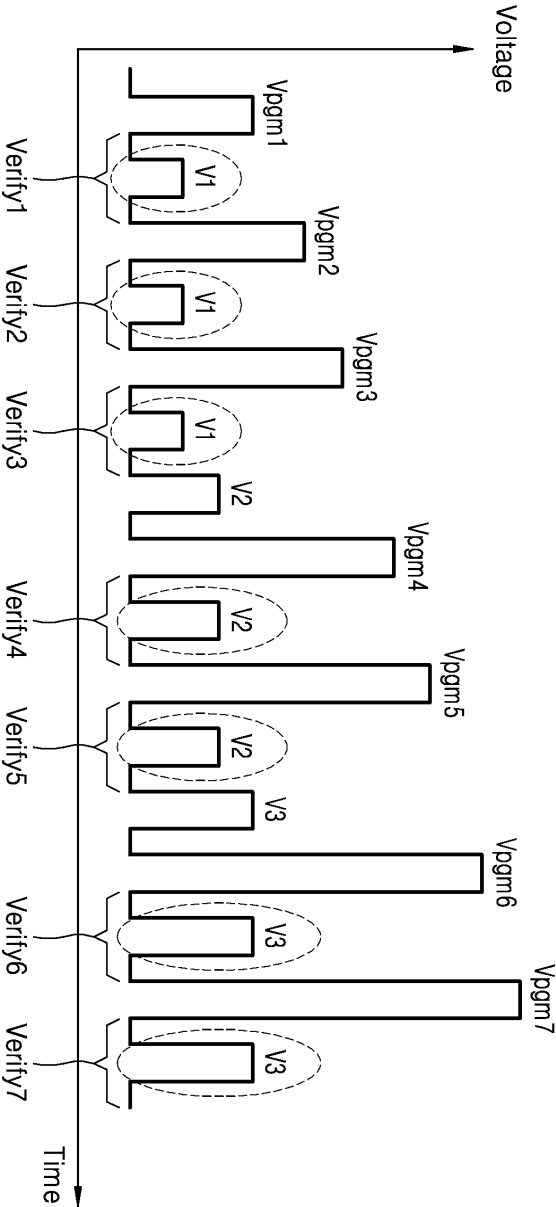
도면8



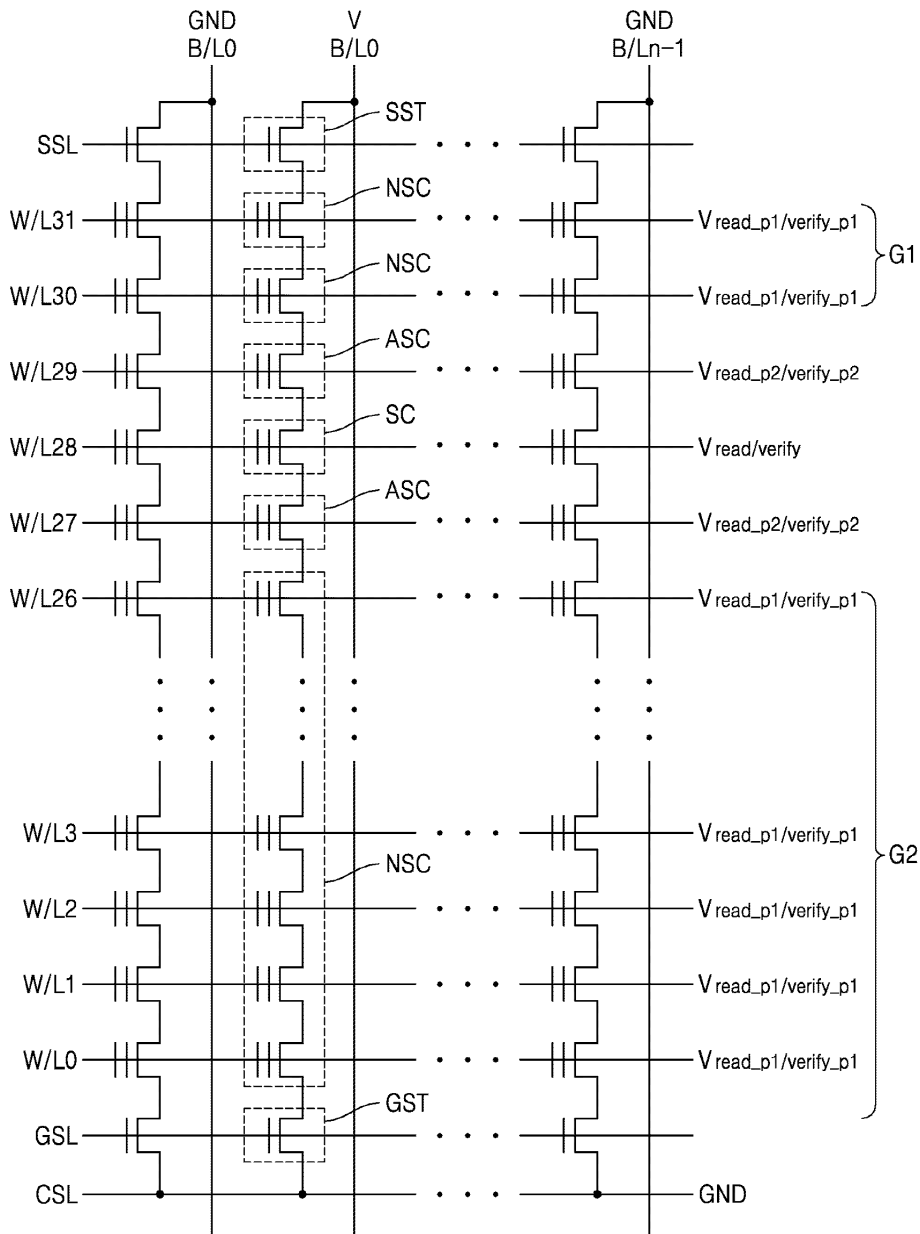
도면9



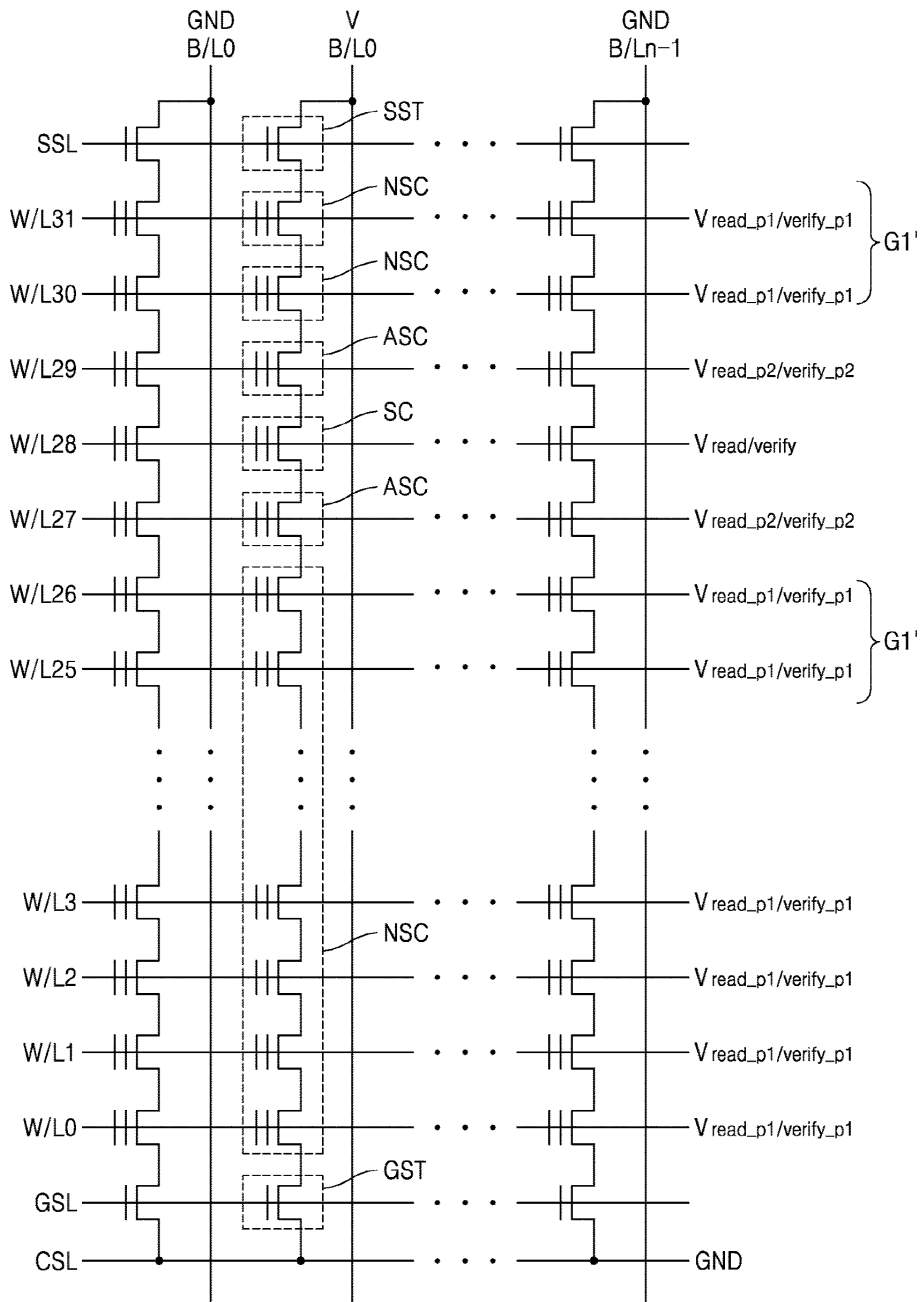
도면10



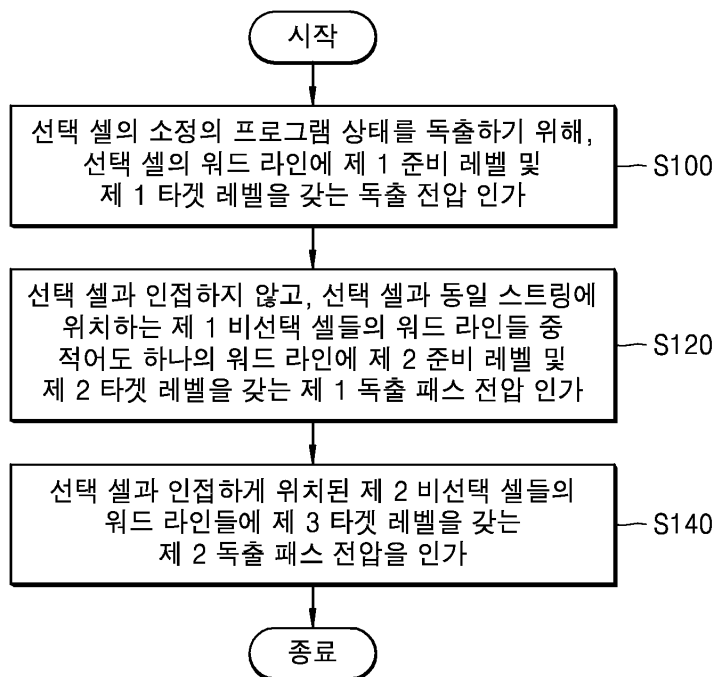
도면11



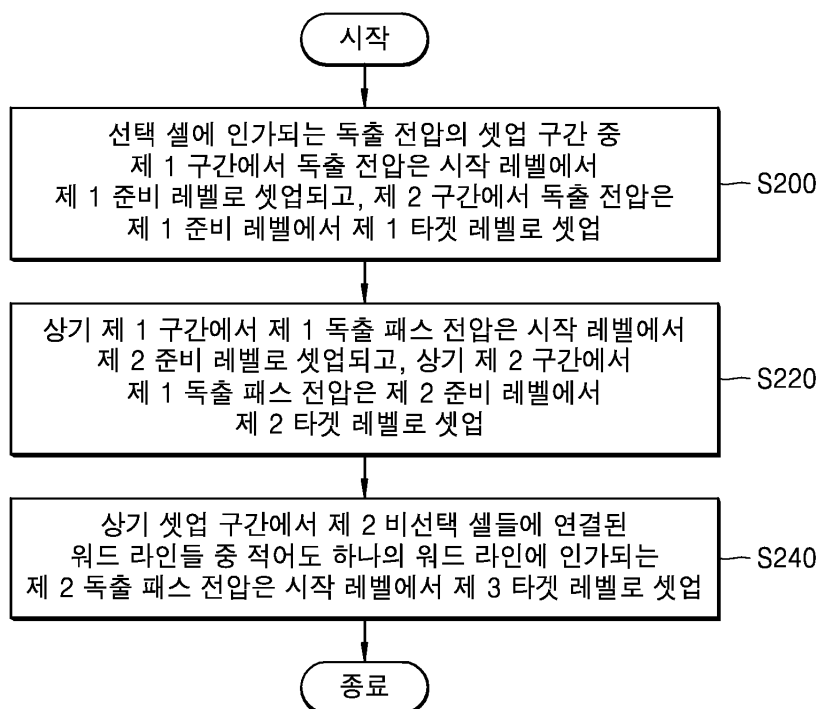
도면12



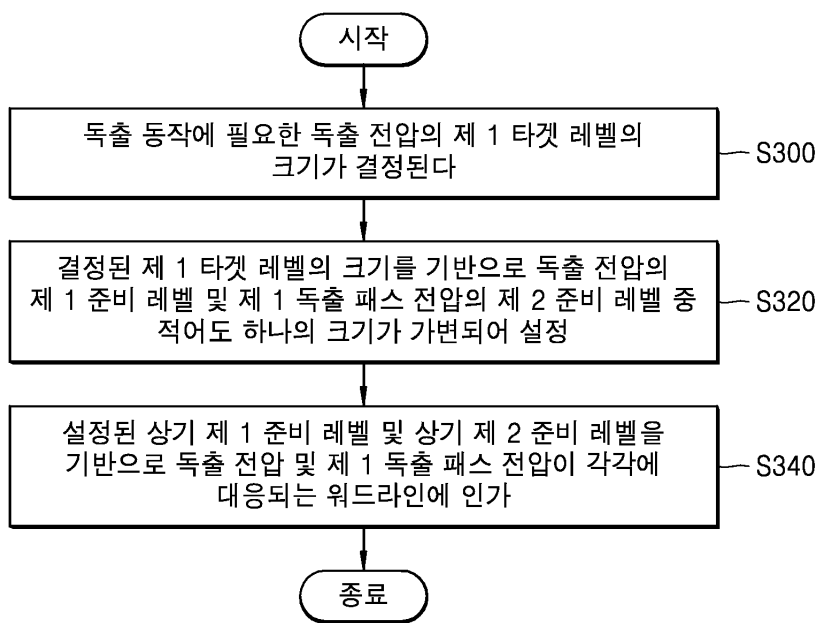
도면13



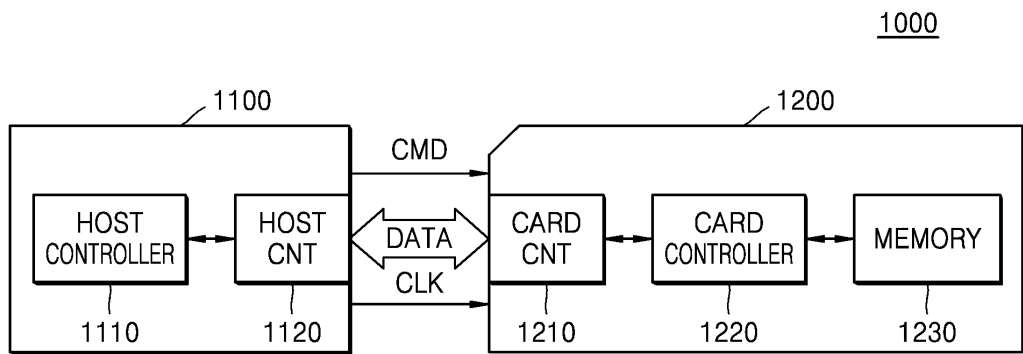
도면14



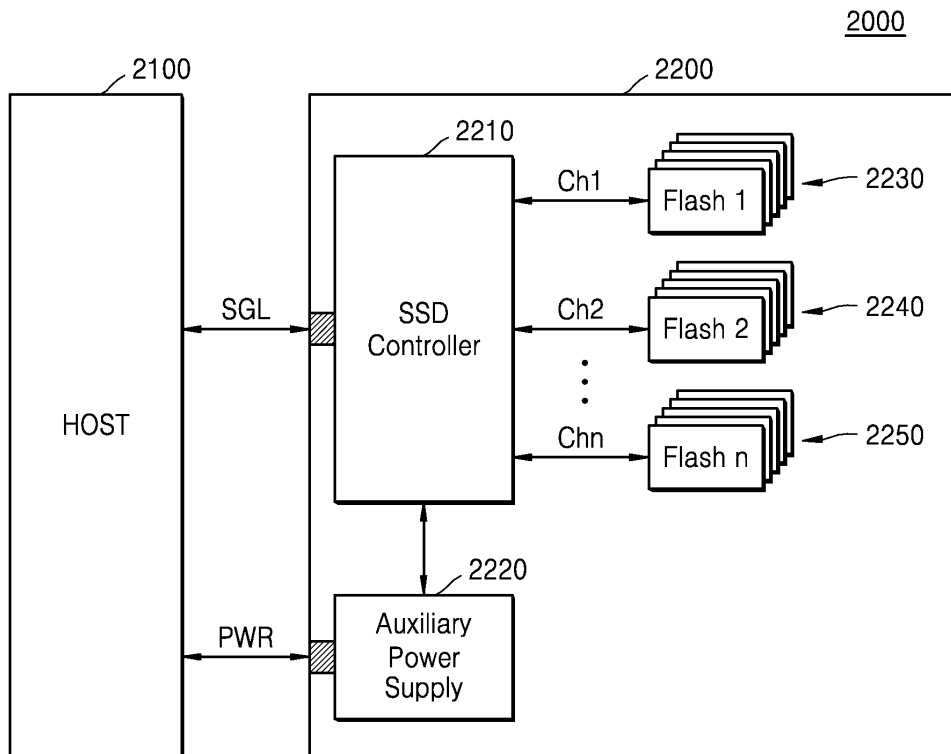
도면15



도면16



도면17



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

제 1항에 있어서,

상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 상기 제 1 독출 패스 전압을 인가하는 단계는,

상기 선택 셀의 워드 라인의 위치를 기반으로, 상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 선택적으로 상기 제 2 타겟 레벨을 갖는 상기 제 3 독출 패스 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

【변경후】

제 1항에 있어서,

상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 상기 제 1 독출 패스 전압을 인가하는 단계는,

상기 선택 셀의 워드 라인의 위치를 기반으로, 상기 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 선택적으로 상기 제 2 타겟 레벨을 갖는 제 3 독출 패스 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 메모리 장치에 대한 독출 동작 방법.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

메모리 장치에 대한 프로그램 검증 동작에 있어서,

상기 비휘발성 메모리 장치의 선택 셀의 워드 라인에 프로그램 전압을 인가하고, 비선택 셀의 워드 라인들에 프

로그래밍 패스 전압을 인가하는 단계;

상기 선택 셀의 프로그램 상태를 검증하기 위하여, 상기 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 검증 전압을 인가하는 단계;

상기 비선택 셀의 워드 라인들 중 상기 선택 셀과 인접하지 않고, 상기 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 1 시작 레벨로부터 제 2 준비 레벨까지 증가하고, 소정의 시간 이후 상기 제 2 준비 레벨로부터 제 2 타겟 레벨까지 증가하는 비연속적인 증가 패턴을 갖는 제 1 검증 패스 전압을 인가하는 단계; 및

상기 비선택 셀의 워드 라인들 중 상기 셀과 인접하게 위치한 적어도 하나의 제 2 비선택 셀의 워드 라인에 제 2 시작 레벨로부터 제 3 타겟 레벨까지 연속적인 증가 패턴을 갖는 제 2 검증 패스 전압을 인가하는 단계를 포함하는 메모리 장치에 대한 검증 동작 방법.

【변경후】

메모리 장치에 대한 프로그램 검증 동작에 있어서,

상기 메모리 장치의 선택 셀의 워드 라인에 프로그램 전압을 인가하고, 비선택 셀의 워드 라인들에 프로그램 패스 전압을 인가하는 단계;

상기 선택 셀의 프로그램 상태를 검증하기 위하여, 상기 선택 셀의 워드 라인에 제 1 준비 레벨 및 제 1 타겟 레벨을 갖는 검증 전압을 인가하는 단계;

상기 비선택 셀의 워드 라인들 중 상기 선택 셀과 인접하지 않고, 상기 선택 셀과 동일 스트링에 위치하는 제 1 비선택 셀들의 워드 라인들 중 적어도 하나의 워드 라인에 제 1 시작 레벨로부터 제 2 준비 레벨까지 증가하고, 소정의 시간 이후 상기 제 2 준비 레벨로부터 제 2 타겟 레벨까지 증가하는 비연속적인 증가 패턴을 갖는 제 1 검증 패스 전압을 인가하는 단계; 및

상기 비선택 셀의 워드 라인들 중 상기 셀과 인접하게 위치한 적어도 하나의 제 2 비선택 셀의 워드 라인에 제 2 시작 레벨로부터 제 3 타겟 레벨까지 연속적인 증가 패턴을 갖는 제 2 검증 패스 전압을 인가하는 단계를 포함하는 메모리 장치에 대한 검증 동작 방법.