



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월09일  
(11) 등록번호 10-2508132  
(24) 등록일자 2023년03월06일

(51) 국제특허분류(Int. Cl.)  
G11C 11/16 (2006.01) G06F 11/10 (2006.01)  
G06F 13/16 (2006.01) G11C 11/56 (2021.01)  
H10N 50/10 (2023.01)  
(52) CPC특허분류  
G11C 11/165 (2013.01)  
G06F 11/1048 (2013.01)  
(21) 출원번호 10-2016-0143591  
(22) 출원일자 2016년10월31일  
심사청구일자 2021년10월20일  
(65) 공개번호 10-2018-0047481  
(43) 공개일자 2018년05월10일  
(56) 선행기술조사문헌  
US07275130 B2\*  
KR1020130128688 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 멤레이  
경기도 성남시 분당구 운중로 128, 303호(운중동, 마크시티그린)  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
정명수  
인천시 연수구 송도과학로 85, 진리관C 304호 (송도동, 연세대학교)  
(74) 대리인  
유미특허법인

전체 청구항 수 : 총 16 항

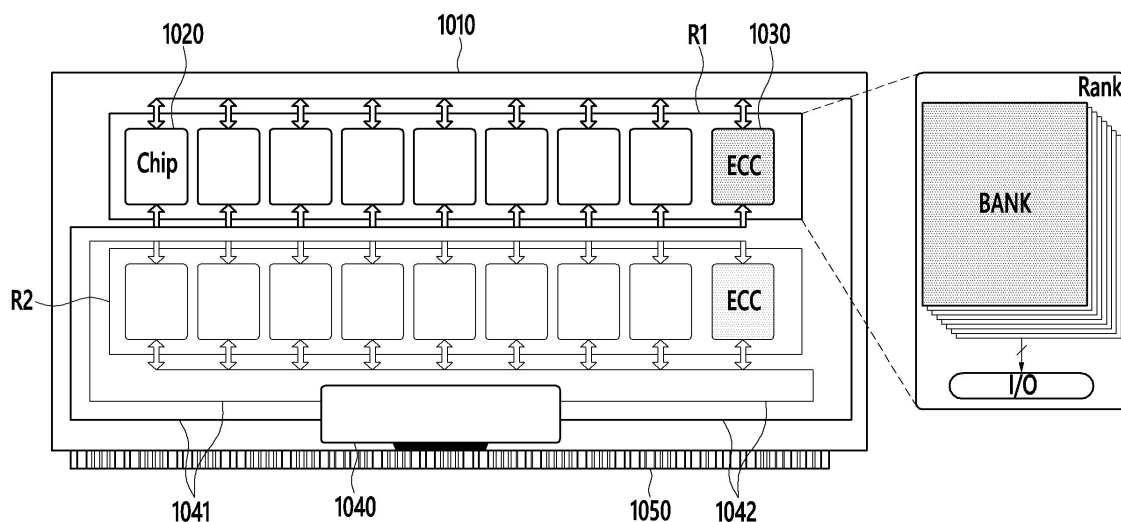
심사관 : 윤석채

(54) 발명의 명칭 자기 저항 메모리 모듈 및 이를 포함하는 컴퓨팅 디바이스

(57) 요약

컴퓨팅 디바이스의 메인 메모리로 사용되는 자기 저항 메모리 모듈이 제공된다. 복수의 메모리 칩이 인쇄 회로 기판에 장착되고, 메모리 컨트롤러는 데이터 스크리빙을 수행한다. 각 각 메모리 칩은 복수의 자기 저항 메모리 셀을 포함한다. 각 자기 저항 메모리 셀은 자기 저항 소자와 상기 자기 저항 소자로 전류를 전달하는 액세스 트랜지스터를 포함하며, DRAM 셀 영역의 크기와 실질적으로 유사한 셀 영역의 크기를 가진다.

대표도



(52) CPC특허분류

*G06F 13/16* (2013.01)

*G11C 11/5607* (2013.01)

*H10N 50/10* (2023.02)

---

## 명세서

### 청구범위

#### 청구항 1

인쇄 회로 기판,

상기 인쇄 회로 기판에 장착되는 복수의 메모리 칩, 그리고

상기 복수의 메모리 칩에 저장된 데이터에 대해서 데이터 스크러빙(data scrubbing)을 수행하는 메모리 컨트롤러를 포함하며,

각 메모리 칩은 복수의 자기 저항 메모리 셀을 포함하고,

각 자기 저항 메모리 셀은 자기 저항 소자와 상기 자기 저항 소자로 전류를 전달하는 액세스 트랜지스터를 포함하며, 동적 랜덤 액세스 메모리(dynamic random access memory, DRAM) 셀 영역의 크기와 실질적으로 유사한 셀 영역의 크기를 가지며,

상기 메모리 컨트롤러는, 페이지가 써지거나 스크립될 때마다 상기 페이지에 카운터를 초기 값으로 설정하고, 사이클마다 상기 카운터를 카운트 다운하며, 상기 카운터가 0이 될 때 상기 페이지에 대해서 상기 데이터 스크러빙이 필요한지를 결정하고, 상기 데이터 스크러빙이 필요하다고 결정하면 상기 페이지의 스크러빙 동작을 스케줄링하고,

상기 메모리 컨트롤러는 학습 모델에 기초해서 상기 데이터 스크러빙이 필요한지를 결정하는

자기 저항 메모리 모듈.

#### 청구항 2

제1항에서,

상기 자기 저항 메모리 셀은 상기 자기저항 소자로 자기 터널 접합(magnetic tunnel junction, MTJ) 소자를 사용하는 스핀 전달 토크 자기 저항 랜덤 액세스 메모리(spin-transfer torque magnetoresistive random-access memory, STT-MRAM) 셀인 자기 저항 메모리 모듈.

#### 청구항 3

제1항에서,

상기 액세스 메모리의 크기는  $9 \sim 12F^2$ 인 자기 저항 메모리 모듈.

#### 청구항 4

제1항에서,

상기 DRAM 셀은 듀얼 인라인 메모리 모듈(dual in-line memory module, DIMM)에 적용되는 DRAM 셀인 자기 저항 메모리 모듈.

#### 청구항 5

제4항에서,

상기 자기 저항 메모리 셀의 셀 영역 크기는 상기 복수의 자기 저항 메모리 셀을 포함하는 상기 메모리 칩이 DRAM 칩 대신에 상기 DIMM에 장착될 수 있는 크기를 가지는 자기 저항 메모리 모듈.

#### 청구항 6

제1항에서,

상기 자기 저항 메모리 모듈은 메인 메모리로 사용되는 자기 저항 메모리 모듈.

## 청구항 7

제1항에서,

상기 인쇄 회로 기판은 상기 데이터 스크러빙에 사용되는 에러 정정 부호(error correction code, ECC) 칩을 더 포함하는 자기 저장 메모리 모듈.

## 청구항 8

삭제

## 청구항 9

제1항에서,

상기 메모리 컨트롤러는, 상기 데이터 스크러빙이 필요하지 않다고 결정하면, 상기 카운터를 상기 초기 값보다 작은 값으로 설정하는 자기 저장 메모리 모듈.

## 청구항 10

삭제

## 청구항 11

제1항에서,

상기 학습 모델은 강화 학습(reinforcement-learning, RL) 모델이며,

상기 RL 모델의 행동은 스크러빙 명령 및 입출력(input/output) 요청에 따른 명령 중 어느 하나로 결정되고, 상기 RL 모델의 상태는 마지막 스크러빙 동작 이후에 경과한 시간 및 현재 비트 오류율(bit error rate, BER)을 포함하는 파라미터에 의해 결정되는

자기 저장 메모리 모듈.

## 청구항 12

제1항 내지 제7항, 제9항, 제11항 중 어느 한 항에 따른 자기 저장 메모리 모듈,

상기 자기 저장 메모리 모듈을 메인 메모리로 사용하는 중앙 프로세싱 유닛(central processing unit, CPU), 그리고

상기 자기 저장 메모리 모듈과 상기 CPU를 연결하는 시스템 버스

를 포함하는 컴퓨팅 디바이스.

## 청구항 13

인쇄 회로 기판,

상기 인쇄 회로 기판에 장착되는 복수의 메모리 칩, 그리고

복수의 메모리 칩에 저장된 데이터에 대해서 데이터 스크러빙(data scrubbing)을 수행하는 메모리 컨트롤러를 포함하며,

각 메모리 칩은 복수의 자기 저장 메모리 셀을 포함하고,

각 자기 저장 메모리 셀은 자기 저장 소자와 상기 자기 저장 소자로 전류를 전달하는 액세스 트랜지스터를 포함하며,  $9 \sim 12F^2$ 의 셀 영역 크기를 가지며,

상기 메모리 컨트롤러는, 페이지가 써지거나 스크립될 때마다 상기 페이지에 카운터를 초기 값으로 설정하고, 사이클마다 상기 카운터를 카운트 다운하며, 상기 카운터가 0이 될 때 상기 페이지에 대해서 상기 데이터 스크러빙이 필요한지를 결정하고, 상기 데이터 스크러빙이 필요하다고 결정하면 상기 페이지의 스크러빙 동작을 스케줄링하고,

상기 메모리 컨트롤러는 학습 모델에 기초해서 상기 데이터 스크리빙이 필요한지를 결정하는

자기 저항 메모리 모듈.

#### 청구항 14

제13항에서,

상기 자기 저항 메모리 셀은 상기 자기저항 소자로 자기 터널 접합(magnetic tunnel junction, MTJ) 소자를 사용하는 스핀 전달 토크 자기 저항 랜덤 액세스 메모리(spin-transfer torque magnetoresistive random-access memory, STT-MRAM) 셀인 자기 저항 메모리 모듈.

#### 청구항 15

제13항에서,

상기 셀 영역은 듀얼 인라인 메모리 모듈(dual in-line memory module, DIMM)에 적용되는 자기 저항 메모리 모듈.

#### 청구항 16

삭제

#### 청구항 17

제13항에서,

상기 메모리 컨트롤러는, 상기 데이터 스크리빙이 필요하지 않다고 결정하면, 상기 카운터를 상기 초기 값보다 작은 값으로 설정하는 자기 저항 메모리 모듈.

#### 청구항 18

삭제

#### 청구항 19

제13항에서,

상기 학습 모델은 강화 학습(reinforcement-learning, RL) 모델이며,

상기 RL 모델의 행동은 스크리빙 명령 및 입출력(input/output) 요청에 따른 명령 중 어느 하나로 결정되고, 상기 RL 모델의 상태는 마지막 스크리빙 동작 이후에 경과한 시간 및 현재 비트 오류율(bit error rate, BER)을 포함하는 파라미터에 의해 결정되는

자기 저항 메모리 모듈.

#### 청구항 20

제13항 내지 제15항, 제17항, 제19항 중 어느 한 항에 따른 자기 저항 메모리 모듈,

상기 자기 저항 메모리 모듈을 메인 메모리로 사용하는 중앙 프로세싱 유닛(central processing unit, CPU), 그리고

상기 자기 저항 메모리 모듈과 상기 CPU를 연결하는 시스템 버스

를 포함하는 컴퓨팅 디바이스.

### 발명의 설명

### 기술 분야

본 발명은 자기 저항 메모리 모듈 및 이를 포함하는 컴퓨팅 디바이스에 관한 것이다.

[0001]

## 배경 기술

- [0002] 현재, 주로 동적 랜덤 액세스 메모리(dynamic random-access memory, DRAM)이 컴퓨팅 디바이스에서 메인 메모리로 사용되고 있다. 그러나 최근의 데이터 집약적 어플리케이션은 테라바이트의 동작 메모리를 요구하고 있어서, DRAM 셀의 크기를 줄이는 방향으로 연구가 진행되었다. DRAM 셀의 크기를 줄임에 따라, 오프상태(off-state) 누설 전류가 증가하고, 데이터 유지 시간이 줄어서, 빈번한 리프레시(refresh) 동작이 필요하다. 빈번한 리프레시 동작으로 인해 소비 전력이 증가하고, 오프 상태의 누설 전류가 비트라인으로 흘러서 오류를 발생할 수 있어서 신뢰성이 떨어진다.
- [0003] 한편, DRAM을 비휘발성 메모리(non-volatile memory)로 대체하면 장기적으로 소비전력이나 신뢰성 문제를 완화시킬 수 있다. 이러한 비휘발성 메모리 중에서, 자기저항 메모리(magnetoresistive memory), 특히 스핀 전달 토크 자기저항 랜덤 액세스 메모리(spin-transfer torque magnetoresistive random-access memory, STT-MRAM)가 DRAM의 대체 메모리로 주목받고 있다. 그러나 자기저항 메모리를 DRAM로 대체할 때 주요 장애물은 셀 영역의 크기 차이이다. 전형적인 STT-MRAM 셀의 크기는 DRAM 셀에 비해 5~6배 크기 때문에, STT-MRAM으로 메인 메모리를 요구되는 밀도(density)를 만족시키는 것은 어렵다. STT-MRAM에 대한 다른 문제는 쓰기 과정이 큰 쓰기 전류로 자기 터널 접합(magnetic tunnel junction, MTJ)의 자화 구성을 물리적으로 변경하는 것이므로, 에너지 소모가 크다. 이에 따라 자기저항 메모리의 장점에도 불구하고, 자기저항 메모리를 메인 메모리로 사용하지 못하고 있다.

## 발명의 내용

### 해결하려는 과제

- [0004] 본 발명이 이루고자 하는 과제는 컴퓨팅 디바이스의 메인 메모리로 사용할 수 있는 자기저항 메모리 모듈 및 이를 포함하는 컴퓨팅 디바이스를 제공하는 것이다.

### 과제의 해결 수단

- [0005] 본 발명의 한 실시예에 따르면, 인쇄 회로 기판, 상기 인쇄 회로 기판에 장착되는 복수의 메모리 칩, 그리고 상기 복수의 메모리 칩에 저장된 데이터에 대해서 데이터 스크러빙(data scrubbing)을 수행하는 메모리 컨트롤러를 포함하는 자기 저항 메모리 모듈이 제공된다. 각 메모리 칩은 복수의 자기 저항 메모리 셀을 포함한다. 각 자기 저항 메모리 셀은 자기 저항 소자와 상기 자기 저항 소자로 전류를 전달하는 액세스 트랜지스터를 포함하며, 컴퓨팅 디바이스의 메인 메모리로 사용되는 DRAM 셀 영역의 크기와 실질적으로 유사한 셀 영역의 크기를 가진다.
- [0006] 상기 자기 저항 메모리 셀은 상기 자기저항 소자로 MTJ 소자를 사용하는 STT-MRA) 셀일 수 있다.
- [0007] 상기 액세스 메모리의 크기는  $9 \sim 12F^2$ 일 수 있다.
- [0008] 상기 DRAM 셀은 듀얼 인라인 메모리 모듈(dual in-line memory module, DIMM)에 적용되는 DRAM 셀일 수 있다.
- [0009] 상기 자기 저항 메모리 셀의 셀 영역 크기는 상기 복수의 자기 저항 메모리 셀을 포함하는 상기 메모리 칩이 DRAM 칩 대신에 상기 DIMM에 장착될 수 있는 크기를 가질 수 있다.
- [0010] 상기 자기 저항 메모리 모듈은 상기 메인 메모리로 사용될 수 있다.
- [0011] 상기 인쇄 회로 기판은 상기 데이터 스크러빙에 사용되는 에러 정정 부호(error correction code, ECC) 칩을 더 포함할 수 있다.
- [0012] 상기 메모리 컨트롤러는, 페이지가 써지거나 스크립될 때마다 상기 페이지에 카운터를 초기 값으로 설정하고, 사이클마다 상기 카운터를 카운트 다운하며, 상기 카운터가 0이 될 때 상기 페이지에 대해서 상기 데이터 스크러빙이 필요한지를 결정하고, 상기 데이터 스크러빙이 필요하다고 결정하면 상기 페이지의 스크러빙 동작을 스케줄링할 수 있다.
- [0013] 상기 메모리 컨트롤러는, 상기 데이터 스크러빙이 필요하지 않다고 결정하면, 상기 카운터를 상기 초기 값보다 작은 값으로 설정할 수 있다.
- [0014] 상기 메모리 컨트롤러는 학습 모델에 기초해서 상기 데이터 스크러빙이 필요한지를 결정할 수 있다.

- [0015] 상기 학습 모델은 강화 학습(reinforcement-learning, RL) 모델일 수 있다. 이 경우, 상기 RL 모델의 행동은 스크리빙 명령 및 입출력(input/output) 요청에 따른 명령 중 어느 하나로 결정되고, 상기 RL 모델의 상태는 마지막 스크리빙 동작 이후에 경과한 시간 및 현재 비트 오류율(bit error rate, BER)을 포함할 수 있다.
- [0016] 본 발명의 또 다른 실시예에 따르면, 인쇄 회로 기판, 상기 인쇄 회로 기판에 장착되는 복수의 메모리 칩, 그리고 복수의 메모리 칩에 저장된 데이터에 대해서 데이터 스크리빙(data scrubbing)을 수행하는 메모리 컨트롤러를 포함하는 자기 저항 메모리 모듈이 제공된다. 각 메모리 칩은 복수의 자기 저항 메모리 셀을 포함한다. 각 자기 저항 메모리 셀은 자기 저항 소자와 상기 자기 저항 소자로 전류를 전달하는 액세스 트랜지스터를 포함하며,  $9 \sim 12F^2$ 의 셀 영역 크기를 가진다.
- [0017] 상기 자기 저항 메모리 셀은 상기 자기저항 소자로 MTJ 소자를 사용하는 STT-MRAM 셀일 수 있다.
- [0018] 상기 DRAM 셀은 DIMM에 적용되는 DRAM 셀일 수 있다.
- [0019] 상기 메모리 컨트롤러는, 페이지가 써지거나 스크립될 때마다 상기 페이지에 카운터를 초기 값으로 설정하고, 사이클마다 상기 카운터를 카운트 다운하며, 상기 카운터가 0이 될 때 상기 페이지에 대해서 상기 데이터 스크리빙이 필요한지를 결정하고, 상기 데이터 스크리빙이 필요하다고 결정하면 상기 페이지의 스크리빙 동작을 스케줄링할 수 있다.
- [0020] 상기 메모리 컨트롤러는, 상기 데이터 스크리빙이 필요하지 않다고 결정하면, 상기 카운터를 상기 초기 값보다 작은 값으로 설정할 수 있다.
- [0021] 상기 메모리 컨트롤러는 학습 모델에 기초해서 상기 데이터 스크리빙이 필요한지를 결정할 수 있다.
- [0022] 상기 학습 모델은 강화 학습(reinforcement-learning, RL) 모델일 수 있다. 이 경우, 상기 RL 모델의 행동은 스크리빙 명령 및 입출력(input/output) 요청에 따른 명령 중 어느 하나로 결정되고, 상기 RL 모델의 상태는 마지막 스크리빙 동작 이후에 경과한 시간 및 현재 비트 오류율(bit error rate, BER)을 포함하는 파라미터에 의해 결정될 수 있다.
- [0023] 본 발명의 또 다른 실시예에 따르면, 위에서 설명한 실시예에 따른 자기 저항 메모리 모듈, 상기 자기 저항 메모리 모듈을 메인 메모리로 사용하는 CPU, 그리고 상기 자기 저항 메모리 모듈과 상기 CPU를 연결하는 시스템 버스를 포함하는 컴퓨팅 디바이스가 제공된다.

### 발명의 효과

- [0024] 본 발명의 한 실시예에 따르면, 자기저항 메모리 모듈을 컴퓨팅 디바이스의 메인 메모리로 사용할 수 있다.

### 도면의 간단한 설명

- [0025] 도 1은 본 발명의 한 실시예에 따른 컴퓨팅 디바이스의 개략적인 블록도이다.
- 도 2는 STT-MRAM 셀의 구조를 개략적으로 나타내는 도면이다.
- 도 3은 STT-MRAM 셀에서 MTJ 소자의 구조를 개략적으로 나타내는 도면이다.
- 도 4 및 도 5는 각각 MTJ 소자의 자화 방향을 나타내는 도면이다.
- 도 6은 종래의 STT-MRAM 셀 영역을 나타내는 도면이다.
- 도 7은 온도 안정성 인자에 따른 STT-MRAM 셀 영역의 크기와 유지 시간을 나타내는 그래프이다.
- 도 8은 본 발명의 한 실시예에 따른 STT-MRAM 셀 영역을 나타내는 도면이다.
- 도 9는 온도 안정성 인자에 따른 쓰기 에너지를 나타내는 그래프이다.
- 도 10은 본 발명의 한 실시예에 따른 STT-MRAM 모듈을 개략적으로 나타내는 도면이다.
- 도 11은 도 10에 도시한 STT-MRAM 모듈의 서브어레이를 개략적으로 나타내는 도면이다.
- 도 12는 본 발명의 한 실시예에 따른 STT-MRAM 모듈의 데이터 스크리빙 방법을 나타내는 흐름도이다.
- 도 13은 본 발명의 한 실시예에 따른 스크립 스케줄러의 강화 학습 모델을 설명하는 도면이다.

도 14는 도 13에 도시한 강화 학습 모델에서 상태-행동 쌍 테이블을 나타내는 도면이다.

도 15는 네 가지 메모리 구성의 성능 비교를 사이클당 명령으로 나타내는 그래프이다.

도 16은 네 가지 메모리 구성의 성능 비교를 DDR3 DRAM 베이스라인으로 정규화된 I/O 수율을 나타내는 그래프이다.

도 17은 네 가지 메모리 구성의 에너지 소모를 다섯 가지 동작에 대해서 비교한 결과를 나타내는 그래프이다.

### 발명을 실시하기 위한 구체적인 내용

- [0026] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0027] 도 1은 본 발명의 한 실시예에 따른 컴퓨팅 디바이스의 개략적인 블록도이다. 도 1은 가능한 컴퓨팅 디바이스의 한 예이며, 본 발명의 실시예에 따른 컴퓨팅 디바이스의 다른 다양한 구조로 구현될 수 있다.
- [0028] 도 1을 참고하면, 본 발명의 한 실시예에 따른 컴퓨팅 디바이스는 중앙 프로세싱 유닛(central processing unit, CPU)(110), 메인 메모리(120) 및 CPU(110)와 메인 메모리(120)를 연결하는 시스템 버스(130)를 포함한다.
- [0029] 어떤 실시예에서 컴퓨팅 디바이스는 다양한 유형의 컴퓨팅 디바이스 중 어느 하나일 수 있다. 다양한 유형의 컴퓨팅 디바이스는 스마트폰(smartphone)과 같은 이동 전화기(mobile phone), 태블릿 컴퓨터(tablet computer), 랩톱 컴퓨터(laptop computer), 데스크톱 컴퓨터(desktop computer), 멀티미디어 플레이어(multimedia player), 게임 콘솔(game console), 텔레비전, 다양한 유형의 사물 인터넷(internet of thing, IoT) 기기 등을 포함할 수 있다.
- [0030] 메인 메모리(120)는 종래의 컴퓨팅 디바이스가 사용하는 동적 랜덤 액세스 메모리(dynamic random access memory, DRAM) 대신 자기저항(magnetoresistive) 메모리, 즉 자기저항 랜덤 액세스 메모리(magnetoresistive random-access memory, MRAM)을 사용할 수 있다. 어떤 실시예에서, 메인 메모리(120)는 MRAM 중에서 스핀 전달 토크(spin-transfer torque, STT) MRAM(STT-MRAM)을 사용할 수 있다. 아래에서는 메인 메모리(120)가 STT-MRAM을 사용하는 것으로 설명한다.
- [0031] 다음, 본 발명의 한 실시예에 따른 메인 메모리로 사용되는 STT-MRAM에 대해서 설명한다.
- [0032] 도 2는 STT-MRAM 셀의 구조를 개략적으로 나타내는 도면이며, 도 3은 STT-MRAM 셀에서 MTJ 소자의 구조를 개략적으로 나타내는 도면이고, 도 4 및 도 5는 각각 MTJ 소자의 자화 방향을 나타내는 도면이다.
- [0033] 도 2를 참고하면, STT-MRAM 셀은 자기 저항 소자로서 자기 터널 접합(magnetic tunnel junction, MTJ) 소자(210)를 포함하며, 또한 MTJ 소자(210)에 연결된 액세스 트랜지스터(220)를 더 포함한다.
- [0034] MTJ 소자(210)는 스토리지 요소로서 동작하고, 액세스 트랜지스터(220)는 MTJ 소자(210)를 활성화하고 제어하는데 사용된다. 액세스 트랜지스터(220)는 입력 단자, 출력 단자 및 제어 단자를 가진다. 예를 들어, 액세스 트랜지스터(220)가 NMOS(N-channel metal oxide semiconductor) 트랜지스터로 형성되는 경우, 입력 단자, 출력 단자 및 제어 단자는 각각 소스, 드레인 및 게이트일 수 있다.
- [0035] 액세스 트랜지스터(220)의 입력 단자는 소스 라인(SL)에 연결되어 있으며, 제어 단자는 워드 라인(WL)에 연결되어 있다. MTJ 소자(210)는 액세스 트랜지스터(220)의 출력 단자와 비트 라인(BL) 사이에 연결되어 있다.
- [0036] 도 3을 참고하면, MTJ 소자(210)는 고정된 일정한 자화 방향을 갖는 고정층(fixed layer)(211), 외부로부터 인가되는 자계의 방향으로 자화되는 자유층(free layer)(212) 및 고정층과 자유층 사이에 형성되는 터널 배리어층(213)을 포함할 수 있다. 예를 들면, 터널 배리어층(213)은 산화 마그네슘(MgO)으로 형성될 수 있다.
- [0037] STT-MRAM 셀의 쓰기 동작을 위해서, 워드 라인(WL)에 전압, 예를 들면 하이 레벨의 전압을 인가하여 액세스 트랜지스터(220)를 턴온시키고, 비트 라인(BL)과 소스 라인(SL) 사이에 쓰기 전류를 인가할 수 있다.
- [0038] 이때, MTJ 소자(210)로 흐르는 쓰기 전류(WC1, WC2)의 방향에 따라 자유층(212)의 자화 방향이 결정될 수 있다.



예를 들면, 제1 쓰기 전류(WC1)가 MTJ 소자(210)로 흐르면, 고정층(211)과 동일한 스핀 방향을 갖는 자유 전자들이 자유층(212)에 토크(torque)를 인가한다. 이로 인해, 자유층(212)은 고정층(211)과 평행 (parallel)하게 자화될 수 있다. 제1 쓰기 전류와 반대 방향의 제2 쓰기 전류(WC2)가 MTJ 소자(210)로 흐르면, 고정층(211)과 반대의 스핀을 갖는 자유 전자들이 자유층(212)으로 되돌아와 토크를 인가한다. 이로 인해, 자유층(212)은 고정층(211)과 반 평행(anti-parallel)하게 자화될 수 있다. 이와 같이, MTJ 소자(210)에서 자유층(212)의 자화 방향은 스핀 전달 토크에 의해 변할 수 있다.

[0039] STT-MRAM 셀의 읽기 동작을 위해서, 워드 라인(WL)에 전압, 예를 들면 하이 레벨의 전압을 인가하여 액세스 트랜지스터(220)를 턴온시켜서, 비트 라인(BL)으로부터 소스 라인(SL) 방향으로 읽기 전류를 인가하여, 읽기 전류에 대한 MTJ 소자(210)의 저항값에 따라 STT-MRAM 셀에 저장된 데이터를 읽을 수 있다. 이때, 읽기 전류의 세기는 쓰기 전류의 세기보다 매우 작기 때문에, 읽기 전류에 의해 자유 층(212)의 자화 방향이 변하지는 않는다.

[0040] MTJ 소자(210)의 저항값은 자유층(212)의 자화 방향에 따라 달라질 수 있다. 도 4에 도시한 것처럼, MTJ 소자(210)에서 자유층(212)의 자화 방향과 고정층(211)의 자화 방향이 평행하면, MTJ 소자(210)는 낮은 저항 값을 가진다. 이러한 MTJ 소자(210)의 평행 상태는 '0'의 데이터를 저장하는 상태로 설정될 수 있다. 도 5에 도시한 것처럼, MTJ 소자(210)에서 자유층(212)의 자화 방향과 고정층(211)의 자화 방향이 반 평행하면, MTJ 소자(210)는 높은 저항 값을 가진다. 이러한 MTJ 소자(210)의 반 평행 상태는 '1'의 데이터를 저장하는 상태로 설정될 수 있다. 따라서 읽기 전류를 MTJ 소자로 인가하였을 때, MTJ 소자(210)에 걸리는 전압의 크기의 차이로 메모리 셀(200)의 상태를 읽을 수 있다. MTJ 소자(210)에서 감지된 전압이 작은 경우에 '0'의 데이터를 읽고, MTJ 소자(210)에서 감지된 전압이 큰 경우에 '1'의 데이터를 읽을 수 있다.

[0041] 이와는 달리, 낮은 저항 값을 가지는 MTJ 소자(210)가 '1'의 데이터를 저장하는 상태로, 높은 저항 값을 가지는 MTJ 소자(210)가 '0'의 데이터를 저장하는 상태로 설정될 수 있다.

[0042] 이러한 STT-MRAM 셀에서 읽기 동작을 위해서는 셀의 저항을 측정하면 되므로, 작은 전류가 필요하다. 그러나 쓰기 동작을 위해서는 MTJ 소자(210)의 자유층(212)의 자화 방향을 바꾸기 위해서 큰 전류가 필요하다. 특히, 쓰기 실패를 피하기 위해서, 큰 채널폭/채널길이 비(W/L ratio)를 가지는 액세스 트랜지스터가 쓰기 전류를 구동하기 위해서 사용되고, 이로 인해 STT-MRAM 셀의 크기가 커진다.

[0043] 다음 본 발명의 한 실시예에 따른 STT-MRAM 모듈에서 STT-MRAM 셀 영역의 크기를 설계하는 방법에 대해서 설명한다.

[0044] 도 6은 종래의 STT-MRAM 셀 영역을 나타내는 도면이고, 도 7은 온도 안정성 인자에 따른 STT-MRAM 셀 영역의 크기와 유지 시간을 나타내는 그래프이며, 도 8은 본 발명의 한 실시예에 따른 STT-MRAM 셀 영역을 나타내는 도면이며, 도 9는 온도 안정성 인자에 따른 쓰기 에너지를 나타내는 그래프이다.

[0045] 도 6을 참고하면, STT-MRAM 셀은 큰 쓰기 전류를 위해서 액세스 트랜지스터의 채널 영역(CH)이 셀 영역을 거의 덮는 형태로 제작된다. 이에 따라 STT-MRAM 셀 영역의 크기는 MTJ 소자, 비트 라인(BL), 워드 라인(WL), 소스 라인(SL), 액세스 트랜지스터 접속부(CON) 등에 관계 없이 액세스 트랜지스터의 크기, 즉 채널 영역(CH)의 면적에 의해 결정되며, 액세스 트랜지스터의 크기와 실질적으로 동일하다된다. 도 6에 도시한 것처럼, 종래의 STT-MRAM 셀 영역, 즉 액세스 트랜지스터는 대략 행 방향으로 12~20F, 열 방향으로 3F, 즉 대략 36~60F<sup>2</sup>의 크기를 가진다. 여기서 F는 피처 크기(feature size)이다. 이러한 크기의 STT-MRAM 셀은 DRAM 셀보다 커서 DRAM이 차지하는 메인 메모리를 대체할 수 없다.

[0046] 아래에서는 본 발명의 한 실시예에 따른 STT-MRAM 모듈에서 STT-MRAM 셀의 설계 조건에 대해서 설명한다.

[0047] 데이터 저장 신뢰성을 보장하기 위해서, STT-MRAM 셀의 MTJ 소자는 평행 및 반 평행 상태를 안정적으로 유지해야 한다. 온도 안정성 인자(thermal stability factor)( $\Delta$ )는 MTJ 소자의 자화 방향의 안정성을 지시하며, 수학적 1처럼 모델링될 수 있다.

### 수학적 1

$$\Delta \propto E_b \approx \frac{H_K M_S V}{2k_B T}$$

[0048]

[0049] 여기서,  $E_b$ 는 에너지 장벽(energy barrier)이고,  $T$ 은 온도이며,  $H_k$ 는 비등방성 필드(anisotropic field)이고,  $M_s$ 는 포화 자화(saturation magnetization)이며,  $k_B$ 는 볼츠만 상수(Boltzmann constant)이고,  $V$ 는 MTJ 소자의 부피(volume)이다.

[0050] 수학적 식 1에서 MTJ 소자의 부피 이외에 다른 파라미터는 고정되어 있으므로, MTJ 소자의 부피를 변경함으로써 온도 안정성 인자( $\Delta$ )를 설정할 수 있다.

[0051] 임계 전류(critical current)는 MTJ 소자의 자유층의 극성(polarity)을 변경하는 최소 전류를 의미한다. 임계 전류( $I_C$ )는 아래 수학적 식 2처럼 모델링될 수 있다. 수학적 식 2로부터 임계 전류( $I_C$ )는 온도 안정성 인자( $\Delta$ )를 줄임으로써 줄일 수 있다는 것을 알 수 있다.

### 수학적 식 2

[0052] 
$$I_C = \gamma[\Delta + \delta VT]$$

[0053] 여기서,  $\gamma$ 와  $\delta$ 는 동작 환경(operational environment)을 나타내는 적합 상수(fitting constants)이다.

[0054] MTJ 소자의 데이터 유지 시간(retention time)은 랜덤 비트 플립(bit-flip)이 발생하기 전까지의 기대 시간이다. 유지 시간( $I_{Retention}$ )은 온도 안정성 인자( $\Delta$ )에 의존하며, 수학적 식 3과 같이 표현될 수 있다.

### 수학적 식 3

[0055] 
$$T_{Retention} = \frac{1}{f_0} \exp(\Delta)$$

[0056] 여기서,  $f_0$ 는 동작 주파수이다.

[0057] 수학적 식 2 및 3으로부터, 낮은 온도 안정성 인자가 MTJ 소자의 임계 전류 요구사항을 줄이지만, 유지 시간도 줄인다는 것을 알 수 있다.

[0058] 앞서 설명한 것처럼, STT-MRAM 셀은 MTJ 소자와 액세스 트랜지스터를 포함하고, MTJ 소자는 비교적 작은 크기를 가지므로, 액세스 트랜지스터 크기가 STT-MRAM 셀 영역의 주요 요인이다. 액세스 트랜지스터는 MTJ 소자를 통해 흐르는 전류를 제어하는데 사용되므로, 액세스 트랜지스터의 크기는 STT-MRAM 셀에서 사용하는 최대 전류에 의해 결정될 수 있다. 따라서 임계 전류를 줄임으로써 STT-MRAM 셀 영역의 크기를 최소화할 수 있다.

[0059] 수학적 식 1 내지 3에 기초해서, 감소한 온도 안정성 인자에 따라 최적화된 셀 영역의 크기를 측정한 결과, 도 7과 같이 그 결과가 나타난다. 도 7로부터 온도 안정성 인자가 감소함에 따라 셀 영역도 계속 감소하는 것을 알 수 있으며, 또한 온도 안정성 인자의 감소가 유지 시간도 감소시키는 것을 알 수 있다.

[0060] 본 발명의 한 실시예에서는 STT-MRAM 셀 영역의 크기를 실질적으로 DRAM 셀 영역의 크기와 유사하도록 줄인다. 어떤 실시예에서, "실질적으로 유사"는 복수의 STT-MRAM 셀을 포함하는 메모리 칩이 DRAM 칩 대신에 상용되는 메인 메모리 모듈에 장착될 수 있도록 할 수 있는 STT-MRAM 셀 영역의 크기를 의미할 수 있다.

[0061] 한 실시예에서, 셀 영역 크기와 유지 시간 사이의 트레이드오프를 고려해서, MTJ 부피를 줄여서 온도 안정성 인자를 대략 40.3에서 대략 28.9로 줄이고, 이에 따라 셀 영역의 크기, 즉 액세스 트랜지스터의 크기를 도 7 및 도 8에 도시한 것처럼 대략  $36F^2$ 에서 대략  $10F^2$ , 즉  $9 \sim 12F^2$ 로 줄일 수 있다. 이와 같이 줄인 STT-MRAM 셀의 셀 영역은 DRAM 셀의 셀 영역과 실질적으로 비슷한 크기이므로, STT-MRAM 셀을 포함하는 메모리 칩을 상용되는 메인 메모리 모듈에 적용할 수 있다. 또한 온도 안정성 인자를 줄임으로써, 쓰기 전류가 줄어서 도 9에 도시한 것처럼 쓰기 에너지가 0.656pJ에서 대략 0.44pJ로 감소할 수 있다.

[0062] 한편, 앞서 설명한 것처럼 온도 안정성 인자를 유지 시간이 줄어서 데이터 신뢰성이 떨어질 수 있다. 이를 위해 어떤 실시예에서는 데이터 스크러빙(data scrubbing)을 STT-MRAM 모듈에 적용할 수 있다.

- [0063] 다음 본 발명의 한 실시예에 따른 STT-MRAM 모듈에 대해서 설명한다.
- [0064] 도 10은 본 발명의 한 실시예에 따른 STT-MRAM 모듈을 개략적으로 나타내는 도면이며, 도 11은 도 10에 도시한 STT-MRAM 모듈의 서브어레이를 개략적으로 나타내는 도면이다.
- [0065] 도 10 및 도 11에서 STT-MRAM 모듈을 상용되는 듀얼 인라인 메모리 모듈(dual in-line memory module, DIMM)에 적용하는 경우를 가정해서 설명한다. 예를 들면, DIMM은 DDR3 PC3-12800 인터페이스를 가지는 DIMM일 수 있다.
- [0066] 도 10을 참고하면, STT-MRAM 모듈(1000)은 인쇄 회로 기판(1010), 복수의 메모리 칩(1020), 에러 정정 부호(error correction code, ECC) 칩(1030), 메모리 컨트롤러(1040) 및 커넥터(1050)를 포함한다.
- [0067] 어떤 실시예에서, DIMM에 적용되는 STT-MRAM 모듈은 두 개의 랭크(R1, R2)를 포함할 수 있다. 이때, 하나의 랭크(R1)는 인쇄 회로 기판(1010)의 앞면에 형성되고, 다른 랭크(R2)는 인쇄 회로 기판(1010)의 뒷면에 형성될 수 있다. 도 10에서는 설명의 편의상 두 랭크(R1, R2)를 함께 도시하였지만, 실제 랭크(R2)는 인쇄 회로 기판(1010)의 뒷면에 형성되어 있다.
- [0068] 각 랭크는 복수의 메모리 칩(예를 들면 여덟 개의 메모리 칩)(1020)과 ECC 칩(1030)을 포함할 수 있다. 이때, 랭크(R1)의 메모리 칩(1020)과 ECC 칩(1030)은 인쇄 회로 기판(1010)의 앞면에 결합되고, 랭크(R2)의 메모리 칩(1020)과 ECC 칩(1030)은 인쇄 회로 기판(1010)의 뒷면에 결합될 수 있다.
- [0069] 메모리 컨트롤러(1040)는 버스를 통해 메모리 칩(1020) 및 ECC 칩(1030)과 연결된다. 버스는 어드레스와 명령을 전달하는 어드레스 버스(1041)와 데이터를 전달하는 데이터 버스(1042)를 포함할 수 있다. 이러한 메모리 컨트롤러(1040)는 ECC 칩(1030)을 사용하여 메모리 칩(1020)의 STT-MRAM 셀에 대해서 데이터 스크러빙을 수행한다. 한 실시예에서, 메모리 컨트롤러(1040)는 데이터 스크러빙을 스케줄링하기 위한 스크립 스케줄러를 포함할 수 있다.
- [0070] 커넥터(1050)은 STT-MRAM 모듈을 컴퓨팅 디바이스의 메인 메모리용 슬롯에 연결될 수 있다.
- [0071] 이러한 구조를 통해서, 본 발명이 한 실시예에 따르면 현재의 메인 메모리 인프라스트럭처에 적합한 STT-MRAM 모듈을 제공할 수 있다.
- [0072] 한편, 각 랭크는 복수의 뱅크(예를 들면, 여덟 개의 뱅크)(1050)로 논리적으로 분할될 수 있다. 복수의 뱅크는 데이터 입출력부(I/O)를 통해 데이터 버스(1042)에 연결될 수 있다.
- [0073] 도 11을 참고하면, 각 뱅크(1100)는 복수의 서브어레이(1110)를 포함한다. 서브어레이(1110)는 복수의 비트 라인(BL), 복수의 소스 라인(SL), 복수의 워드 라인(WL) 및 복수의 MTJ 소자(1131)를 포함한다. 어떤 실시예에서, 비트 라인(BL)과 소스 라인(SL)은 대략 열 방향으로 뻗어 있으며, 워드 라인(WL)은 대략 행 방향으로 뻗어 있을 수 있다. 이 경우, MTJ 소자(1131)가 액세스 트랜지스터(1132)를 통해 대응하는 비트 라인(BL), 소스 라인(SL) 및 워드 라인(WL)에 연결되어 STT-MRAM 셀(1130)을 형성할 수 있다. 또한 워드 라인(WL)이 서브어레이의 행을 정의하고, 비트 라인(BL)과 소스 라인(SL)의 쌍이 서브어레이의 열을 정의할 수 있다. 도 11에서는 설명의 편의상 하나의 STT-MRAM 셀(1130)만을 도시하였다.
- [0074] 각 서브어레이에는 행 디코더(1121), 열 디코더(1122), 감지 회로(sensing circuit)(1123), 행 버퍼(1124) 및 기입 드라이버(W0, W1)가 연결되어 있다. 행 디코더(1121)는 행 어드레스를 디코딩하여서 서브어레이에서 활성화할 타깃 워드 라인(WL), 즉 타깃 행을 선택한다. 열 디코더(1122)는 열 어드레스를 디코딩하여서 서브어레이에서 활성화할 타깃 비트 라인(BL), 즉 타깃 열을 선택한다. 감지 회로(1123)는 복수의 비트 라인(BL)에 연결되어 활성화된 워드 라인(WL)에 연결된 STT-MRAM 셀(1130)의 데이터를 비트 라인(BL)을 통해 읽는다. 행 버퍼(1124)는 감지 회로(1123)에서 읽은 데이터를 저장한다. 기입 드라이버(W0, W1)는 복수의 비트 라인(BL) 및/또는 복수의 소스 라인(SL)에 연결되어 활성화된 워드 라인(WL)에 연결된 STT-MRAM 셀(1130)에 데이터를 쓴다. 한 실시예에서, 기입 드라이버(W0, W1)는 "0"의 데이터를 쓰기 위한 기입 드라이버(W0)와 "1"의 데이터를 쓰기 위한 기입 드라이버(W1)를 포함할 수 있다. 이 경우, 하나의 기입 드라이버(W0)는 비트 라인(BL)에 연결되어 있고, 다른 기입 드라이버(W1)는 소스 라인(SL)에 연결되어 있을 수 있다.
- [0075] 어떤 실시예에서, 데이터의 읽기/쓰기는 페이지(page) 단위로 수행될 수 있다. 이를 위해 열 디코더(1122)에 의해 복수의 비트 라인(BL)이 활성화되어, 감지 회로(1123)이 페이지 단위로 데이터를 읽거나 기입 드라이버(W0, W1)이 페이지 단위로 데이터를 쓸 수 있다. 페이지의 크기는 예를 들면 4KB일 수 있다.
- [0076] 또한 뱅크는 글로벌 행 디코더(1130)와 글로벌 행 버퍼(1140)를 더 포함할 수 있다. 글로벌 행 디코더(1130)는

복수의 서브어레이(1110)에 각각 연결된 복수의 행 디코더(1121) 중 하나를 선택할 수 있다. 글로벌 행 버퍼(1140)는 복수의 서브어레이(1110)에 각각 연결된 복수의 행 버퍼(1124)에 저장된 데이터를 저장할 수 있다.

- [0077] 어떤 실시예에서, STT-MRAM 모듈은 읽기/쓰기 동작을 위해 DDR(double data rate) 표준을 따를 수 있다. 즉, STT-MRAM 모듈은 읽기/쓰기 동작을 위해, 타깃 워드 라인을 활성화하기 위해서 행 어드레스를 디코딩하는 동작, 특정 비트 라인을 활성화하기 위해서 열 어드레스를 디코딩하는 동작 및 데이터를 읽거나 쓰기 위해서 감지 회로 또는 기입 드라이버를 가동하는 동작을 수행할 수 있다.
- [0078] 다음 본 발명의 한 실시예에 따른 STT-MRAM 모듈에서의 데이터 스크러빙에 대해서 설명한다.
- [0079] 어떤 실시예에 따르면, STT-MRAM 모듈의 메모리 컨트롤러는 일정 간격으로 데이터 스크러빙을 수행할 수 있다. 이 경우, 일정 간격은 일반적으로 DRAM 모듈에서 수행되는 리프레시(refresh)보다 훨씬 간격으로, 예를 들면 몇 시간 간격일 수 있다. 도 7의 그래프를 참고하면, 일정 간격은 대략 1시간으로 설정될 수 있다.
- [0080] 이와 같이 일정 간격으로 데이터 스크러빙을 수행하면 스크립 빈도가 높아져 스크러빙에 따른 에너지 소모가 증가할 수 있다. 아래에서는 스크립 빈도를 최소화할 수 있으며 고정된 기간에 의존하지 않는 데이터 스크러빙을 제공할 수 있는 스크립 스케줄러에 대해서 설명한다.
- [0081] 도 12는 본 발명의 한 실시예에 따른 STT-MRAM 모듈의 데이터 스크러빙 방법을 나타내는 흐름도이다.
- [0082] 도 12를 참고하면, 스크립 스케줄러는 STT-MRAM 모듈에서 각 페이지의 쓰기 동작 및 스크러빙 동작을 추적한다(S1210). 스크립 스케줄러는 STT-MRAM 모듈에서 페이지가 써질 때마다 또는 페이지가 스크립될 때마다 해당 페이지의 유지 카운터(retention counter)를 초기 값으로 설정하고(S1220), 클록 사이클마다 유지 카운터를 카운트 다운한다(S1230). 유지 카운터가 0이 될 때, 스크립 스케줄러는 해당 페이지의 스크립을 위해 가능한 시간이라고 결정한다(S1240). 이에 따라, 스크립 스케줄러는 해당 페이지에 대해서 신뢰성 있는 데이터 유지를 위해서 즉각적인 스크러빙 동작이 필요한지를 판단한다(S1250). 어떤 실시예에서, 스크립 스케줄러는 학습(learning) 모델을 통해서 즉각적인 스크러빙 동작이 필요한지를 판단할 수 있다.
- [0083] 스크러빙 동작이 즉시 필요하다고 판단하면(S1250), 스크립 스케줄러는 스크러빙 동작을 스케줄링한다(S1260). 이에 따라, 메모리 컨트롤러는 우선순위가 높은 페이지에 대해서 스크러빙 동작을 수행한다(S1270). 어떤 실시예에서, 스크립 스케줄러는 스크립 일련 번호(sequence number)를 사용해서 해당 페이지를 스크립될 페이지 리스트에 첨부한다. 한 실시예에서, 스크립 스케줄러는 해당 페이지를 해당하는 बैं크의 스크립될 페이지 리스트에 첨부할 수 있다. बैं크를 구분하기 위해서, 스크립 스케줄러는 बैं크 식별자(identifier, ID)를 사용할 수 있다. 한 실시예에서, 스크립 스케줄러는 해당 페이지에 대해서 스크립 요구(scrub-required) 플래그를 설정할 수 있다. 어떤 실시예에서, 스크립 일련 번호는 FIFO(first in, first out) 모델에 기초해서 할당될 수 있다. 한 실시예에서, 낮은 일련 번호는 스크립을 위한 높은 우선순위를 지시할 수 있다. 이러한 스크립 일련 번호는 बैं크에서 페이지가 스크립될 되거나 써질 때마다 갱신될 수 있다.
- [0084] 스크립이 즉시 필요하지 않다고 판단하면(S1250), 스크립 스케줄러는 유지 카운터를 다시 설정하고(S1280), 다시 유지 카운터를 카운트 다운한다(S1230). 이때, 스크립 스케줄러는 유지 카운터를 더 작은 값으로 설정할 수 있다. 예를 들면, 스크립 스케줄러는 직전에 유지 카운터를 설정한 값의 1/3 값으로 유지 카운터를 다시 설정할 수 있다. 이와 같이, 유지 카운터의 설정 값을 감소함으로써, 스크립 스케줄러는 페이지를 더 단단히 체크할 수 있다. 이와 같이, 유지 카운터를 다시 설정하는 과정(S1280)은 해당 페이지가 덮어 써지거나 스크립될 때까지 반복된다. 해당 페이지가 덮어 써지거나 스크립되면, 유지 카운터를 원래 값으로 리셋된다(S1220).
- [0085] 다음, 본 발명의 한 실시예에 따른 스크립 스케줄러에서 사용하는 학습 모델의 한 예에 대해서 설명한다.
- [0086] 도 13은 본 발명의 한 실시예에 따른 스크립 스케줄러의 강화 학습(reinforcement-learning, RL) 모델을 설명하는 도면이며, 도 14는 도 13에 도시한 RL 모델에서 상태-행동 쌍 테이블을 나타내는 도면이다.
- [0087] 도 13을 참고하면, 스크립 스케줄러를 위한 RL 모델은 상태(state), 행동(action) 및 보상(reward)를 사용한다.
- [0088] 상태 함수(state function)는 마지막 스크러빙 동작 이후에 경과한 시간 및 현재 비트 오류율(bit error rate, BER)를 사용해서 상태[S(t)]를 결정할 수 있다. 어떤 실시예에서, 상태 함수(state function)는 상태[S(t)] 결정에서 스크립 빈도를 더 적용할 수 있다. 행동 함수(action function)는 두 가지 행동 중 어느 하나의 행동[A(t+1)]을 선택하며, 두 가지 행동은 스크립 행동 및 스케줄된 I/O 명령을 할당하는 행동을 포함한다. 보상[R(t)]은 STT-MRAM 모듈에서 현재 상태[S(t)]에서 행동[A(t)]이 실행될 때에 받는 보상으로, 즉시 보상(immediate reward)과 장기 보상(long-term reward)를 포함한다. 즉시 보상 목표는 ECC 칩의 ECC 방식에 의해



허용된 BER를 유지하는 것이며, 장기 보상 목표는 스크립 빈도(scrub frequency)를 최소화하고 I/O 동작을 최대화하는 것이다.

[0089] 상태-행동 쌍(S, A)의 Q 값은 상태(S)에서 행동(A)을 실행함으로써 초래되는 누적된 보상의 기대 값을 나타낸다. 이러한 Q 값은 주어진 상태에서 명령을 스케줄링하는 장기(long-term) 값을 나타낼 수 있다. 각 상태-행동 쌍에 대해서 스케줄링 정책에 따라 Q 값이 학습되어서 저장되면, 주어진 상태에서 스크립 스케줄러는 장기 보상을 최대화하기 위해서 가장 큰 Q 값을 가지는 행동을 간단히 선택할 수 있다. Q 값은 도 14에 도시한 것처럼 상태-행동 쌍에 대해서 테이블 형태로 관리될 수 있으며, 계속 갱신될 수 있다. 도 14를 참고하면, n개의 상태( $S_1-S_n$ )과 m개의 행동( $A_1-A_m$ )에 의해 정의되는 쌍들에 대한 Q 값( $Q_{11}-Q_{nm}$ )이 테이블 형태로 관리되고 있다.

[0090] 다음, 스크립 스케줄러의 스케줄링 정책에 대해서 아래 알고리즘 1을 참고로 하여 설명한다.

[0091] 앞서 설명한 것처럼 스크립 스케줄러는 모든 가능한 상태-행동(state-action) 쌍에 대해서 Q 값을 기록하는 테이블을 운용할 수 있다. 먼저, 스크립 스케줄러는 초기화를 진행한다(라인 1-4). 초기화 단계에서, 스크립 스케줄러는 테이블의 모든 엔트리를 초기화한다(라인 2). 한 실시예에서 스크립 스케줄러는 모든 엔트리를 가장 높은 가능한 Q 값으로 초기화할 수 있다. 예를 들면, Q 값은  $(1/(1-\gamma))$ 로 설정될 수 있다. 여기서,  $\gamma$ 는 할인율(discount rate parameter)로, 미래 보상(future rewards)이 즉시 보상(immediate rewards)에 비해서 얼마나 중요한지를 결정하는 파라미터이다. 또한 스크립 스케줄러는 행동(A)을 스크립 명령 또는 트랜잭션 큐에서 스케줄된 I/O 동작으로부터의 명령(즉, 읽기 명령 또는 쓰기 명령) 중에서 랜덤으로 발행되는 명령으로 초기화하고(라인 3), 테이블로부터 현재의 상태-행동(S, A) 쌍에 대한 Q 값을 획득해서 Q 값( $Q_p$ )으로 설정한다(라인 4).

[0092] 스크립 스케줄러는 테스트 신호마다 다음 동작(라인 5-14)을 수행한다. 예를 들면, 도 12의 단계 S1240에서 스크립을 위해 가능한 시간이라고 결정될 때, 테스트 신호가 발생할 수 있다. 스케줄러는 직전 사이클 동안 선택된 명령(A)을 발행하고(라인 6), 발행된 명령에 대한 즉시 보상(R)을 수집한다(라인 7).

[0093] 한편, RL 모델을 위해서는 스크립 스케줄러가 각 테이블 엔트리에 방문할 확률이 0이 아니라는 가정이 필요하다. 스크립 스케줄러가 주어진 상태에서 어떤 행동을 한번도 선택하지 않으면, 관련된 Q 값을 학습하지 못할 수 있다. 또한 스크립 스케줄러가 이미 최적의 정책을 학습했음지라도, 환경의 동적 변화로 인해 이미 학습한 정책이 쓸모 없어질 수도 있다. 학습된 최적의 행동 이외에 랜덤한 행동을 위해서 스크립 스케줄러는 탐사(exploration) 메커니즘을 사용할 수 있다. 즉, 스크립 스케줄러는 어떤 확률로 랜덤한 명령을 다음 행동으로 결정하고, 이외의 경우에는 가장 높은 Q 값을 가지는 명령을 다음 행동으로 결정할 수 있다. 어떤 실시예에서, 이러한 확률을 위해서 스크립 스케줄러는 탐사 파라미터(exploration parameter)( $\epsilon$ )를 사용할 수 있다. 즉, 스크립 스케줄러는 랜덤으로 생성한 값(rand())이 탐사 파라미터( $\epsilon$ )보다 작으면, 스크립 명령 또는 스케줄된 I/O 동작으로부터의 명령을 랜덤으로 선택해서 다음 행동으로 결정할 수 있다(탐사)(라인 8-9). 이와 같이 스크립 스케줄러는 랜덤 명령을 발행해서 환경을 탐사하고 정책을 동적 변화에 적응시킬 수 있다. 그렇지 않고 랜덤으로 생성한 값(rand())이 탐사 파라미터( $\epsilon$ ) 이상이면, 스크립 스케줄러는 현재 상태에서 가장 높은 Q 값을 가지는 명령을 다음 행동으로 결정할 수 있다(개발(exploitation)(라인 10-11). 한 실시예에서, 가장 높은 Q 값이 주로 선택되는 것을 보장하기 위해서 매우 작은 값이 탐사 파라미터( $\epsilon$ )에 할당될 수 있다.

[0094] 다음, 스크립 스케줄러는 현재의 상태와 행동 쌍(즉, 현재의 상태에서 라인 8-11)에서 결정된 행동의 쌍)에 대한 Q 값을 테이블로부터 얻어서 새로운 Q 값( $Q_{sel}$ )으로 추정한다(라인 12). 그리고 스크립 스케줄러는 이전 Q 값( $Q_p$ ), 보상(R) 및 추정된 Q 값( $Q_{sel}$ )에 기초해서 추정된 Q 값( $Q_{sel}$ )을 갱신한다(라인 13). 어떤 실시예에서, 스크립 스케줄러는 Q 값 갱신을 위해서 SARSA 갱신을 사용할 수 있다. SARSA 갱신에 따르면, Q 값( $Q_{sel}$ )은 아래 수학적 식 4에 따라 갱신될 수 있다. 스크립 스케줄러는 갱신된 Q 값( $Q_{sel}$ )을 다음 사이클을 위한 Q 값( $Q_p$ )으로 설정한다(라인 14).

#### 수학적 식 4

[0095] 
$$Q_{sel} \leftarrow (1-\alpha)Q_p + \alpha(R + \gamma Q_{sel})$$

[0096] 여기서,  $\alpha$ 는 학습률(learning rate) 파라미터이다.

- [0097] 이와 같이, 스크립 스케줄러는 Q 값을 학습하고, 그 결과 가장 높은 Q 값을 가지는 행동을 결정할 수 있다. 따라서 스크립 스케줄러는 즉각적인 스크러빙 동작이 필요한지를 효율적으로 결정할 수 있다.
- [0098] Algorithm 1: iScrub scheduling algorithm
- [0099] Data: A: Action (i.e., Command), S: State, R: Reward
- [0100] Input:  $\gamma$ : Discount parameter,  $\epsilon$ : Exploration parameter
- [0101] 1        Initialization
- [0102] 2        All Q-values  $\leftarrow 1/(1-\gamma)$
- [0103] 3        A  $\leftarrow$  select randomly: command from transaction queue or, scrub
- [0104] 4         $Q_p \leftarrow$  get Q-value for current S and A
- [0105] 5        for Every "test" signal do
- [0106] 6            Issue A, selected during the previous cycle
- [0107] 7            Collect immediate R for the issued command
- [0108] 8            if  $\text{rand}() < \epsilon$  then
- [0109] 9                Next A  $\leftarrow$  random command
- [0110] 10          else
- [0111] 11                Next A  $\leftarrow$  command with the highest Q-value
- [0112] 12           $Q_{\text{Sel}} \leftarrow$  Q-value for the current S and A
- [0113] 13          Update\_Q  $\leftarrow$  SARSA update based on  $Q_p$ , R,  $Q_{\text{Sel}}$
- [0114] 14           $Q_p \leftarrow Q_{\text{Sel}}$  // Set Q-value for next cycle
- [0115] 이상에서 설명한 실시예에 따르면, 스크립 스케줄러에 의한 스케줄링에 따라 데이터 스크러빙을 수행할 수 있으므로, 메인 메모리로 사용되는 STT-MRAM 모듈에서 데이터 신뢰성을 높일 수 있다.
- [0116] 한 실시예에서, 데이터 스크러빙은 비휘발성 메모리에서 사용되는 데이터 스크러빙을 의미할 수도 있다. 다른 실시예에서, 데이터 스크러빙은 휘발성 메모리에서 사용하는 리프래시 동작을 의미할 수도 있다. 이 경우, 휘발성 메모리의 리프래시보다 훨씬 긴 간격으로 스크러빙(리프래시)이 수행될 수 있다.
- [0117] 다음, 본 발명의 한 실시예에 따른 STT-MRAM 모듈을 실제 하드웨어에 구현하여서 성능을 측정한 결과에 대해서 설명한다.
- [0118] STT-MRAM 모듈의 성능 측정을 위해서 다음 네 가지 메모리 구성의 평가가 수행되고, 표 1의 시뮬레이션 파라미터가 평가에 사용된다.
- [0119] (1) DDR3 DRAM: 이 메모리 구성은 주기적인 리프래시 동작을 가지는 종래의 DRAM을 메인 메모리로 사용한 경우를 나타낸다.
- [0120] (2) STT-MRAM1: 이 메모리 구성은 10년 유지 기간을 가지는 종래의 STT-MRAM을 메인 메모리로 사용한 경우를 나타낸다.
- [0121] (3) STT-MRAM2: 이 메모리 구성은 본 발명의 실시예 중에서 스크립 스케줄러를 제외한 STT-MRAM 모듈을 메인 메모리로 사용한 경우를 나타낸다.
- [0122] (4) STT-MRAM3: 이 메모리 구성은 본 발명의 실시예 중에서 스크립 스케줄러를 사용하는 STT-MRAM 모듈을 메인 메모리로 사용한 경우를 나타낸다.

표 1

Processor	2.8GHz, OoO execution, SE mode
L1 Cache	Private 64KB Instruction and 64KB Data Cache
L2 Cache	Shared 8MB Unified Cache
Working Memory (Refresh freq.)	DRAM (64 ms), STT-MRAM (non-volatile), Couture (1 hour), Couture-i (varying)
Row Buffer Strategy	FR-FCFS and Open adaptive
Workloads	perl, bzip2, gcc, bwaves, cactus, gobmk, calc, hammer, lib, and lbm

[0123]

도 15는 네 가지 메모리 구성의 성능 비교를 DDR3 DRAM 베이스라인으로 정규화된 사이클당 명령(instructions per cycle, IPC)으로 나타내는 그래프이며, 도 16은 네 가지 메모리 구성의 성능 비교를 DDR3 DRAM 베이스라인으로 정규화된 I/O 수율(즉, 읽기/쓰기 동작의 수)을 나타내는 그래프이고, 도 17은 네 가지 메모리 구성의 에너지 소모를 다섯 가지 동작에 대해서 비교한 결과를 나타내는 그래프이다. 도 15 내지 도 17에서 비교 결과는 DDR3 DRAM 베이스라인으로 정규화된 결과이다.

[0124]

도 15를 참고하면, 한 실시예에 따른 STT-MRAM 모듈(STT-MRAM2)은 DDR3 DRAM에 비해서 대략 8%만큼 평균 IPC를 향상시키고, 다른 실시예에 따른 STT-MRAM 모듈(STT-MRAM3)은 스크립 스케줄러를 통해 DDR3 DRAM에 비해 평균 IPC를 대략 16%만큼 향상시키는 것을 알 수 있다. 도 16을 참고하면, 한 실시예에 따른 STT-MRAM 모듈(STT-MRAM2)의 I/O 수율 성능은 DDR3 DRAM에 비해서 평균적으로 대략 8%만큼 향상되고, 다른 실시예에 따른 STT-MRAM 모듈(STT-MRAM3)의 I/O 수율 성능은 DDR3 DRAM에 비해 평균적으로 대략 13%만큼 향상되는 것을 알 수 있다.

[0125]

도 17을 참고하면, 대기(standby), 활성화(activation), 읽기(read), 쓰기(write) 및 리프레시(refresh) 다섯 가지 항목에 대해서 에너지 소모가 측정된다. 한 실시예에 따른 STT-MRAM 모듈(STT-MRAM2)은 DDR3 DRAM에 비해서 대략 14%만큼 평균 에너지 소모를 감소시키고, 다른 실시예에 따른 STT-MRAM 모듈(STT-MRAM3)은 평균 에너지 소모를 더 감소시키고, 특히 스크립 스케줄러를 통해 리프레시 에너지(즉, 스크립 에너지)를 STT-MRAM 모듈(STT-MRAM2)에 비해 감소시키는 것을 알 수 있다.

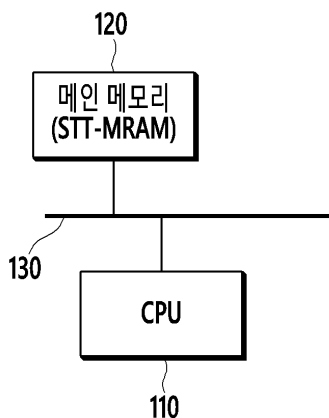
[0126]

이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

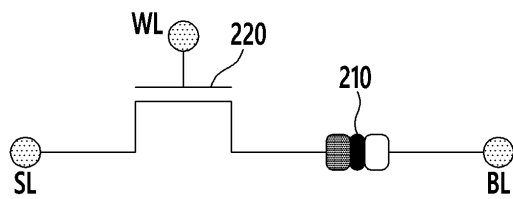
[0127]

도면

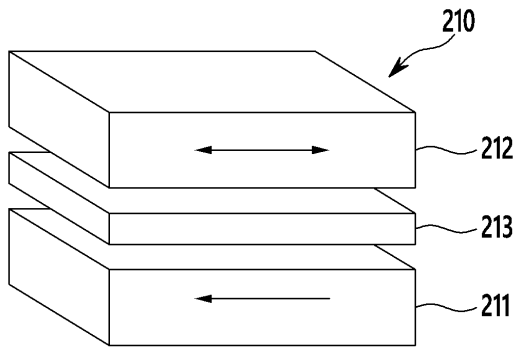
도면1



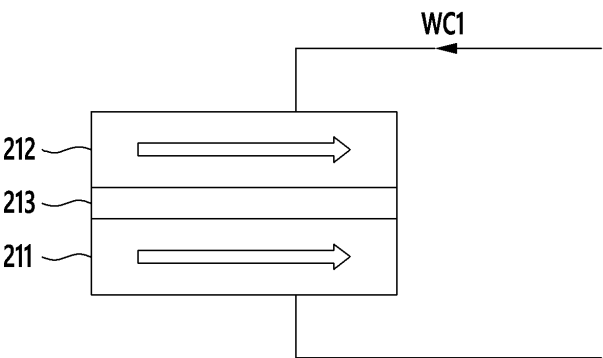
도면2



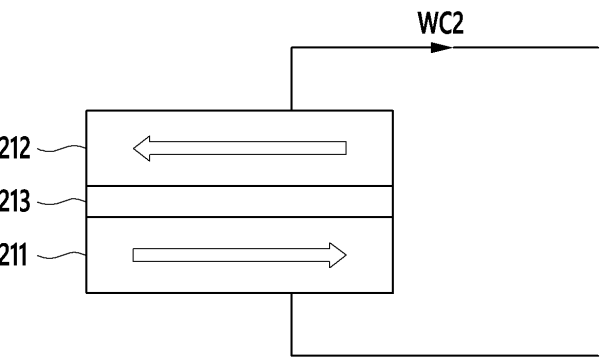
도면3



도면4

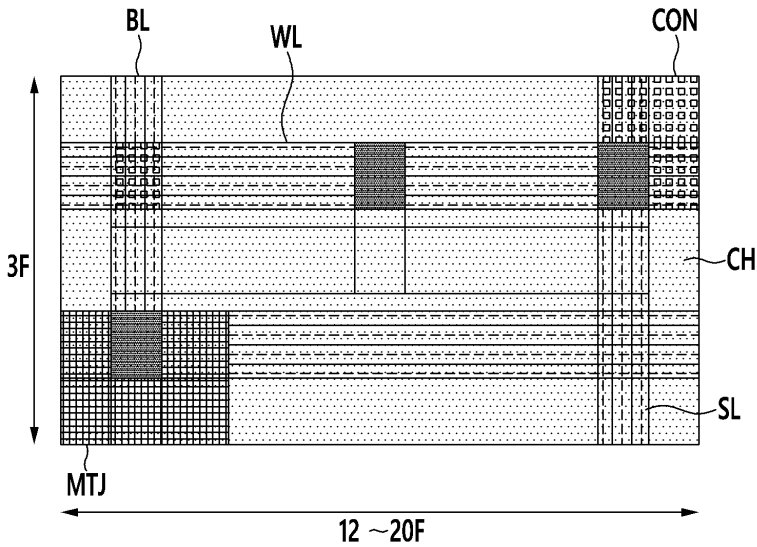


도면5

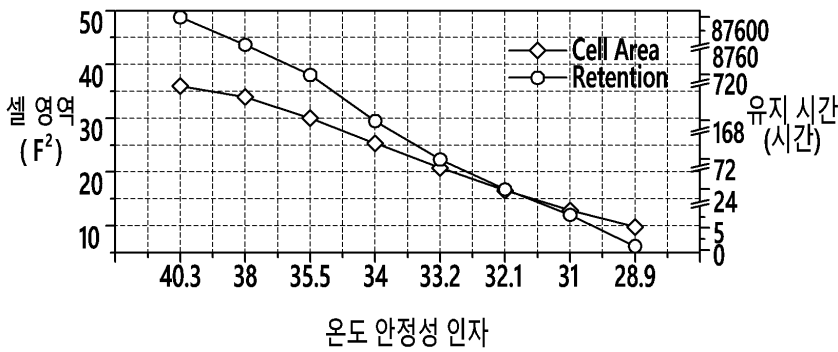




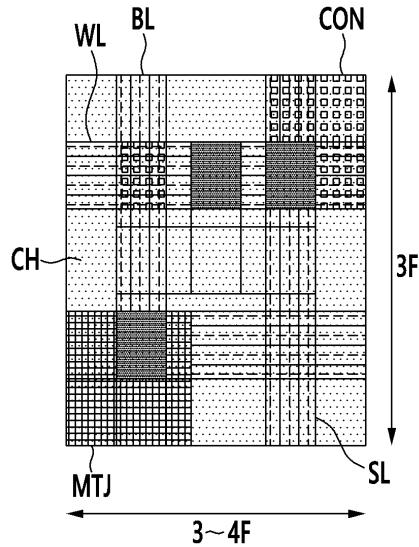
도면6



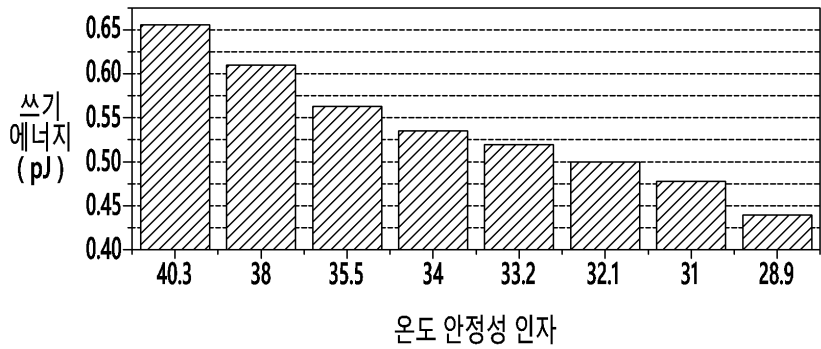
도면7



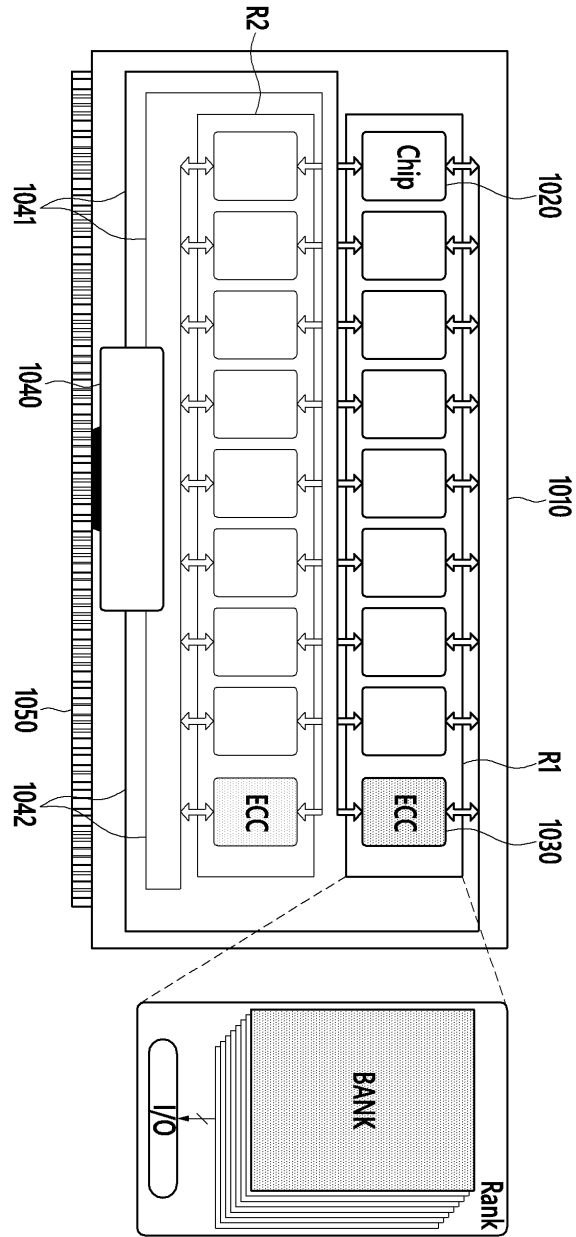
도면8



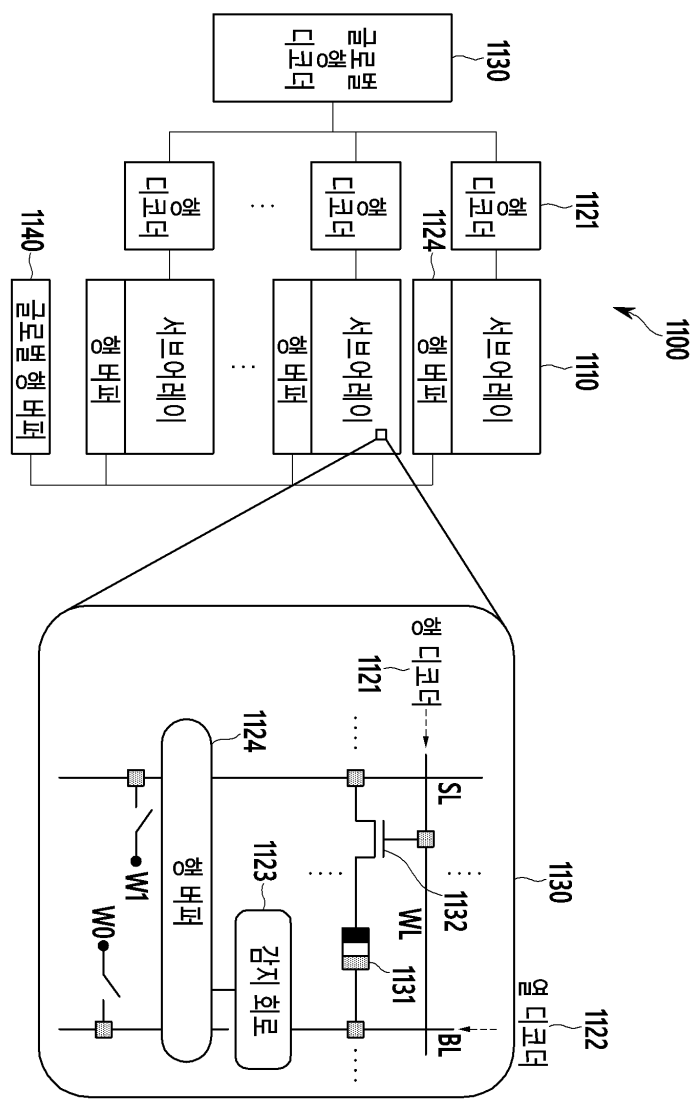
도면9



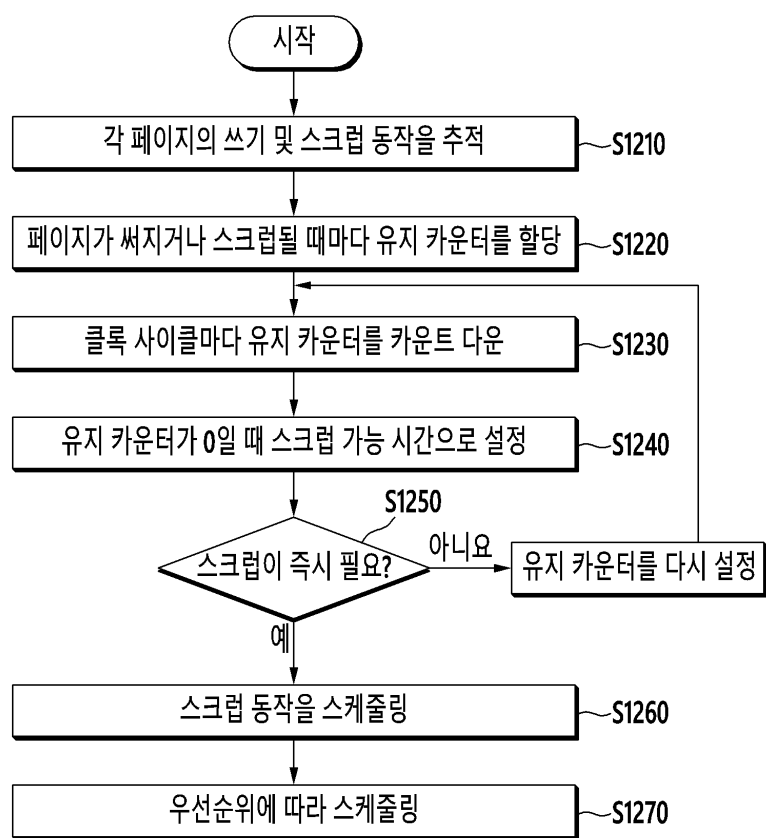
도면10



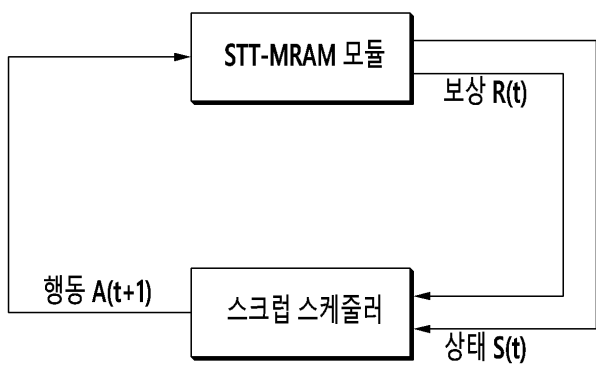
도면11



도면12



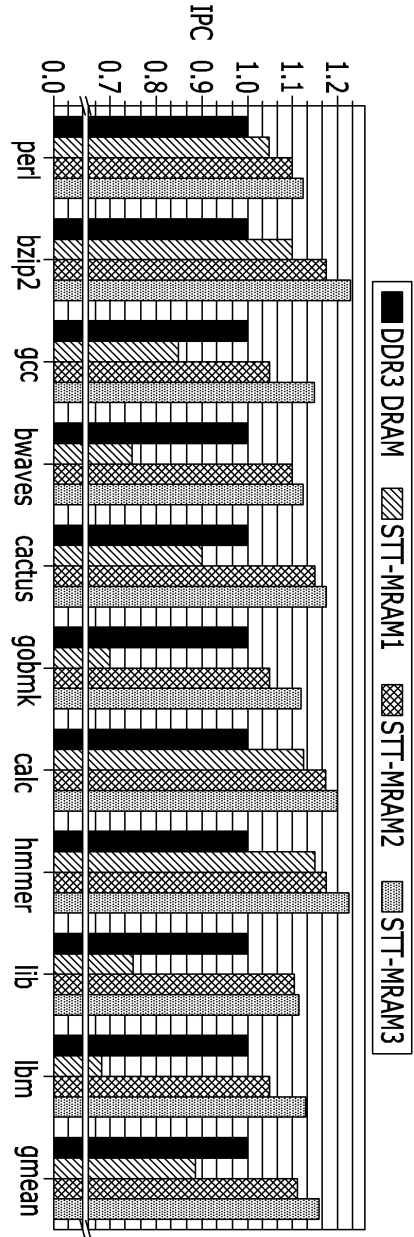
도면13



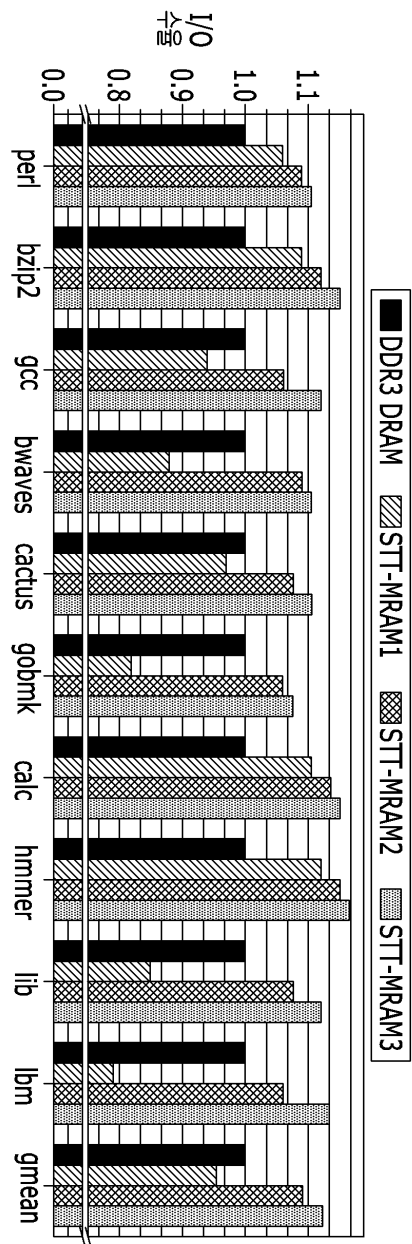
도면14

	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	...	S <sub>n</sub>
A <sub>1</sub>	Q <sub>11</sub>	Q <sub>12</sub>	Q <sub>13</sub>	...	Q <sub>1n</sub>
A <sub>2</sub>	Q <sub>21</sub>	Q <sub>22</sub>	Q <sub>23</sub>	...	Q <sub>2n</sub>
⋮	⋮	⋮	⋮	⋮	⋮
A <sub>m</sub>	Q <sub>m1</sub>	Q <sub>m2</sub>	Q <sub>m3</sub>	...	Q <sub>mn</sub>

도면15



도면16



도면17

