



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월17일
(11) 등록번호 10-2522942
(24) 등록일자 2023년04월13일

(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) G11C 11/22 (2006.01)
(52) CPC특허분류
G11C 15/046 (2013.01)
G11C 11/221 (2013.01)
(21) 출원번호 10-2022-0010758
(22) 출원일자 2022년01월25일
심사청구일자 2022년01월25일
(56) 선행기술조사문헌
KR1020190114919 A

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)
임세희
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)
(뒷면에 계속)
(74) 대리인
민영준

전체 청구항 수 : 총 20 항

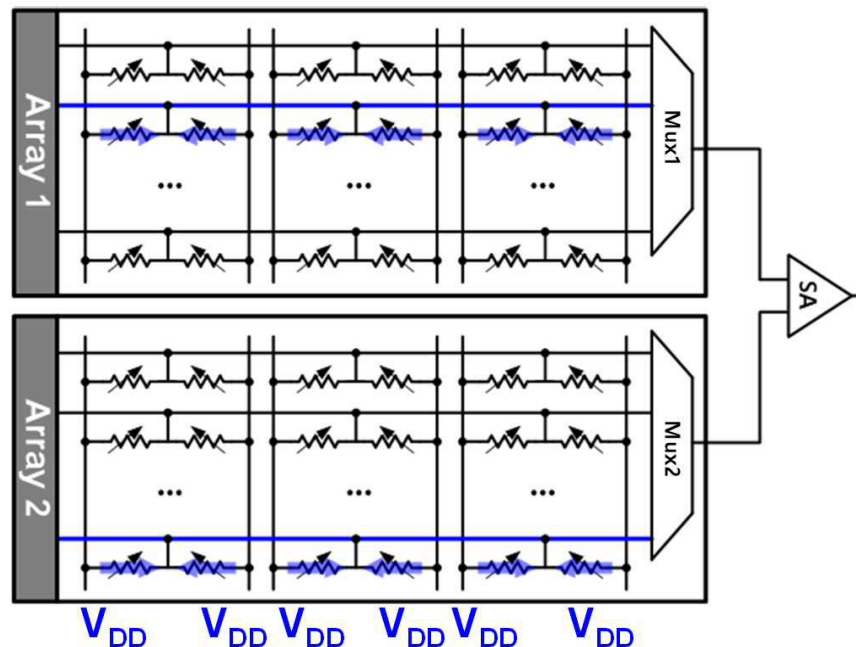
심사관 : 윤석채

(54) 발명의 명칭 듀얼 모드로 동작 가능한 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치 및 이의 동작 방법

(57) 요약

본 발명은 제1 방향으로 연장되는 다수의 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 서치라인쌍 사이에 각각 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)로 구성되는 다수의 메모리 셀; 다수의 매치라인과 다수의 서치라인쌍으로 동작
(뒷면에 계속)

대표도 - 도10



상태에 따른 전압을 공급하는 전원 공급부; 및 CAM(Content Addressable Memory) 모드와 PUF(Physically Unclonable Function) 모드 중 PUF 모드로 동작 시에 챌린지로서 전송된 주소에 따라 선택되는 매치라인에 연결된 다수의 메모리 셀 각각의 2개의 SR-FTJ에 역방향 전압이 인가되어 발생하는 누설 전류에 의해, 선택된 매치라인에 발생하는 전압 변화를 감지 증폭하여 챌린지에 대응하는 응답을 생성하는 PUF 응답 생성부를 포함하여, CAM과 PUF의 듀얼 모드로 동작할 수 있는 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치 및 이의 동작 방법을 제공한다.

(52) CPC특허분류

G11C 11/2273 (2013.01)

G11C 11/2297 (2013.01)

(72) 발명자

이영규

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

고동한

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

이 발명을 지원한 국가연구개발사업

| | |
|-------------|---|
| 과제고유번호 | 1711130190 |
| 과제번호 | 2020M3F3A2A01081918 |
| 부처명 | 과학기술정보통신부 |
| 과제관리(전문)기관명 | 한국연구재단 |
| 연구사업명 | 차세대지능형반도체기술개발(R&D) |
| 연구과제명 | 차세대 다치레벨 로직-메모리 융합소자를 이용한 고신뢰성 저전력 저면적 컴퓨팅-인-메모리 회로 및 아키텍처 개발 |
| 기 여 율 | 1/1 |
| 과제수행기관명 | 연세대학교 산학협력단 |
| 연구기간 | 2021.01.01 ~ 2021.12.31 |

명세서

청구범위

청구항 1

제1 방향으로 연장되는 다수의 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 서치라인쌍 사이에 각각 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)로 구성되는 다수의 메모리 셀;

상기 다수의 매치라인과 상기 다수의 서치라인쌍으로 동작 상태에 따른 전압을 공급하는 전원 공급부; 및

CAM(Content Addressable Memory) 모드와 PUF(Physically Unclonable Function) 모드 중 상기 PUF 모드로 동작 시에 챌린지로서 전송된 주소에 따라 선택되는 매치라인에 연결된 다수의 메모리 셀 각각의 2개의 SR-FTJ에 역방향 전압이 인가되어 발생하는 누설 전류에 의해, 선택된 매치라인에 발생하는 전압 변화를 감지 증폭하여 상기 챌린지에 대응하는 응답을 생성하는 PUF 응답 생성부를 포함하는 메모리 장치.

청구항 2

제1항에 있어서, 상기 다수의 메모리 셀 각각은

상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 서치라인쌍 중 대응하는 서치라인쌍의 서치라인 사이에 연결되는 제1 SR-FTJ; 및

상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 서치라인쌍 중 대응하는 서치라인쌍의 서치라인바 사이에 연결되는 제2 SR-FTJ를 포함하는 메모리 장치.

청구항 3

제2항에 있어서, 상기 응답 생성부는

상기 다수의 매치라인 중 서로 다른 기지정된 개수의 매치라인과 연결되어 상기 챌린지에 대응하는 매치라인을 선택하는 다수의 믹스; 및

상기 다수의 믹스 중 대응하는 2개의 믹스가 각각 선택한 매치라인 사이의 전압 차를 감지 증폭하여 상기 응답을 생성하는 적어도 하나의 센스 앰프를 포함하는 메모리 장치.

청구항 4

제3항에 있어서, 상기 전원 공급부는

디스차지 단계 및 응답 생성 단계로 구분되어 동작하는 상기 PUF 모드의 상기 디스차지 단계에서 상기 다수의 매치라인과 상기 다수의 서치라인쌍이 디스차지되도록 접지 전압 레벨을 인가하고,

상기 응답 생성 단계에서 상기 다수의 매치라인 중 상기 챌린지에 의해 지정된 주소에 따라 선택된 매치라인에는 인가되는 전압을 차단하여 플로팅시키고, 나머지 매치라인과 상기 서치라인쌍으로는 기지정된 전압 레벨의 전원 전압을 인가하는 메모리 장치.

청구항 5

제4항에 있어서, 상기 적어도 하나의 센스 앰프는

상기 응답 생성 단계에서 상기 다수의 믹스 중 대응하는 2개의 믹스가 각각 상기 챌린지에 의해 지정된 주소에 따라 매치라인을 선택하여 연결하면, 선택된 2개의 매치라인에 연결된 다수의 메모리 셀 각각에서 2개의 SR-FTJ에 역방향 전압이 인가되어 발생하는 누설 전류에 의해 변화하는 매치라인 사이의 전압 차를 감지 증폭하여 상기 응답을 생성하는 메모리 장치.

청구항 6

제4항에 있어서, 상기 다수의 메모리 셀 각각은

라이트 동작과 검색 동작으로 구분되어 동작하는 상기 CAM 모드의 상기 라이트 동작에 의해 데이터 "0"이 저장되는 경우 상기 제1 SR-FTJ는 고저항 상태(High Resistance State: HRS)를 갖고 상기 제2 SR-FTJ는 저저항 상태(Low Resistance State: LRS)를 가지며,

데이터 "1"이 저장되는 경우 상기 제1 SR-FTJ는 저저항 상태 갖고 상기 제2 SR-FTJ는 고저항 상태를 갖는 메모리 장치.

청구항 7

제6항에 있어서, 상기 전원 공급부는

상기 라이트 동작의 고저항 설정 단계에서 다수의 매치라인 중 인가된 주소에 따라 선택되는 매치라인으로 상기 접지 전압을 인가하고, 나머지 매치라인으로는 기지정된 전압 레벨의 라이트 전압의 1/2 레벨의 전압을 인가하며, 상기 다수의 서치라인쌍 각각에는 대응하는 메모리 셀(MC)에 저장되어야 하는 데이터에 따른 전압을 인가하고,

상기 라이트 동작의 저저항 설정 단계에서는 선택되는 매치라인으로 상기 라이트 전압을 인가하고, 나머지 매치라인과 상기 다수의 서치라인쌍으로는 상기 고저항 설정 단계에서 인가되는 전압을 유지하는 메모리 장치.

청구항 8

제7항에 있어서, 상기 전원 공급부는

상기 CAM 모드의 라이트 동작 시, 메모리 셀에 저장되어야 하는 데이터가 "0"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 라이트 전압을 인가하고, 서치라인바로는 상기 접지 전압을 인가하며,

메모리 셀에 저장되어야 하는 데이터가 "1"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 접지 전압을 인가하고, 서치라인바로는 상기 라이트 전압을 인가하는 메모리 장치.

청구항 9

제6항에 있어서, 상기 전원 공급부는

상기 검색 동작의 프리차지 단계에서 상기 다수의 매치라인과 상기 다수의 서치라인쌍으로 상기 전원 전압을 인가하여 프리차지하고,

상기 검색 동작의 매치 평가 단계에서는 상기 다수의 매치라인으로 인가되는 전원을 차단하여 플로팅 시키고, 상기 다수의 서치라인쌍으로 검색하고자 하는 데이터에 대응하는 전압을 인가하는 메모리 장치.

청구항 10

제9항에 있어서, 상기 전원 공급부는

상기 검색 동작 시에 검색되어야 하는 데이터가 "0"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 접지 전압을 인가하고, 서치라인바로는 상기 전원 전압을 인가하며,

검색되어야 하는 데이터가 "1"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 전원 전압을 인가하고, 서치라인바로는 상기 접지 전압을 인가하는 메모리 장치.

청구항 11

제1항에 있어서, 상기 다수의 메모리 셀은

상기 다수의 서치라인쌍 각각의 서치라인과 서치라인바가 상기 다수의 매치 라인의 상부 및 하부에 각각 배치되고, 상기 2개의 SR-FTJ는 대응하는 매치라인과 서치라인 사이 및 대응하는 매치라인과 서치라인바 사이에 적층된 3D 구조로 구현되는 메모리 장치.

청구항 12

제1 방향으로 연장되는 다수의 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 서치라인쌍 사이

에 각각 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)로 구성되는 다수의 메모리 셀을 포함하는 메모리 장치의 동작 방법에 있어서,

인가되는 명령에 따라 CAM 모드 또는 PUF 모드의 동작 모드를 판별하는 단계;

판별된 동작 모드가 상기 PUF 모드이면, 챌린지로서 전송된 주소에 따라 선택되는 매치라인에 연결된 다수의 메모리 셀 각각의 2개의 SR-FTJ에 역방향 전압이 인가되어 발생하는 누설 전류에 의해, 선택된 매치라인에 발생하는 전압 변화를 감지 증폭하여 상기 챌린지에 대응하는 응답을 생성하는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 13

제12항에 있어서, 상기 다수의 메모리 셀 각각은

상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 서치라인쌍 중 대응하는 서치라인쌍의 서치라인 사이에 연결되는 제1 SR-FTJ; 및

상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 서치라인쌍 중 대응하는 서치라인쌍의 서치라인바 사이에 연결되는 제2 SR-FTJ를 포함하는 메모리 장치의 동작 방법.

청구항 14

제13항에 있어서, 상기 응답을 생성하는 단계는

상기 다수의 매치라인과 상기 다수의 서치라인쌍으로 접지 전압을 인가하여 디스차지시키는 단계;

상기 다수의 매치라인 중 상기 챌린지에 의해 지정된 주소에 따라 선택된 매치라인에는 인가되는 전압을 차단하여 플로팅시키고, 나머지 매치라인과 상기 서치라인쌍으로는 기지정된 전압 레벨의 전원 전압을 인가하는 단계; 및

상기 챌린지에 의해 지정된 주소에 따라 매치라인을 선택하고, 상기 응답을 생성하기 위해 선택된 2개의 매치라인에 연결된 다수의 메모리 셀 각각에서 2개의 SR-FTJ에서 발생하는 누설 전류에 의해 변화하는 선택된 매치라인 사이의 전압 차를 감지 증폭하는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 15

제13항에 있어서, 상기 다수의 메모리 셀 각각은

데이터 "0"이 저장되는 경우 상기 제1 SR-FTJ는 고저항 상태(High Resistance State: HRS)를 갖고 상기 제2 SR-FTJ는 저저항 상태(Low Resistance State: LRS)를 가지며,

데이터 "1"이 저장되는 경우 상기 제1 SR-FTJ는 저저항 상태 갖고 상기 제2 SR-FTJ는 고저항 상태를 갖는 메모리 장치의 동작 방법.

청구항 16

제15항에 있어서, 상기 메모리 장치의 동작 방법은

판별된 동작 모드가 상기 CAM 모드이면, 라이트 명령 또는 검색 명령이 인가되는지 판별하는 단계;

상기 라이트 명령이 인가되면, 상기 다수의 메모리 셀 중 라이트 명령과 함께 인가된 주소에 따른 메모리 셀에 인가된 데이터를 라이트하는 단계; 및

상기 검색 명령이 인가되면, 검색 명령과 함께 인가된 데이터가 저장된 메모리 셀을 검색하는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 17

제16항에 있어서, 상기 라이트하는 단계는

다수의 매치라인 중 인가된 주소에 따라 선택되는 매치라인으로 접지 전압을 인가하고, 나머지 매치라인으로는 기지정된 전압 레벨의 라이트 전압의 1/2 레벨의 전압을 인가하며, 상기 다수의 서치라인쌍 각각에는 대응하는

메모리 셀(MC)에 저장되어야 하는 데이터에 따른 전압을 인가하는 고저항 설정 단계; 및

선택되는 매치라인으로 상기 라이트 전압을 인가하고, 나머지 매치라인과 상기 다수의 서치라인쌍으로는 상기 고저항 설정 단계에서 인가되는 전압을 유지하는 저저항 설정 단계를 포함하는 메모리 장치의 동작 방법.

청구항 18

제17항에 있어서, 상기 라이트하는 단계는

메모리 셀에 저장되어야 하는 데이터가 "0"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 라이트 전압을 인가하고, 서치라인바로는 상기 접지 전압을 인가하며,

메모리 셀에 저장되어야 하는 데이터가 "1"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 접지 전압을 인가하고, 서치라인바로는 상기 라이트 전압을 인가하는 메모리 장치의 동작 방법.

청구항 19

제16항에 있어서, 상기 검색하는 단계는

상기 다수의 매치라인과 상기 다수의 서치라인쌍으로 기지정된 전압 레벨의 전원 전압을 인가하여 프리차지하는 단계; 및

상기 다수의 매치라인으로 인가되는 전원을 차단하여 플로팅 시키고, 상기 다수의 서치라인쌍으로 검색하고자 하는 데이터에 대응하는 전압을 인가하여, 인가된 데이터에 대응하는 데이터가 저장된 메모리 셀이 연결된 매치라인의 전압이 강하되도록 하는 매치 평가 단계를 포함하는 메모리 장치의 동작 방법.

청구항 20

제19항에 있어서, 상기 검색하는 단계는

검색되어야 하는 데이터가 "0"이면, 대응하는 서치라인쌍에서 서치라인으로는 접지 전압을 인가하고, 서치라인바로는 상기 전원 전압을 인가하며,

검색되어야 하는 데이터가 "1"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 전원 전압을 인가하고, 서치라인바로는 상기 접지 전압을 인가하는 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치 및 이의 동작 방법에 관한 것으로, 내용 주소화 메모리 및 PUF의 듀얼 모드로 동작 가능한 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치 및 이의 동작 방법에 관한 것이다.

배경 기술

[0002] 내용 주소화 메모리(Content Addressable Memory: 이하 CAM)는 다수의 메모리 셀을 구비하여 데이터를 저장하는 메모리로서, 데이터를 입력으로 인가받아 인가된 데이터가 저장된 어드레스를 출력하도록 구성된 메모리를 의미한다. CAM은 네트워크 라우터에서의 검색 엔진이나 이미지 프로세스, 또는 신경망 등과 같이 고속 검색이 요구되는 다양한 응용 분야에 이용된다.

[0003] 한편, PUF(Physically Unclonable Function)는 회로를 동일한 설계 하에서 동일한 제조 공정에 따라 제조할지라도, 공정 상에서 불가피하게 발생하는 미세한 공정 변화(process variation)에 의해 제조된 회로에서 선로 지연, 게이트 지연과 같은 물리적인 편차가 존재하는 특성을 이용하는 보안 기법을 의미한다.

[0004] PUF 장치는 동일한 입력이 인가되어도 제조 공정 상황에 따른 물리적인 편차에 의해 랜덤하게 결정된 출력 키(output key)를 출력한다. 공정 상황에 따라 결정되는 출력 키는 회로 설계자도 예측할 수 없으므로, PUF 장치는 높은 보안 수준을 제공할 수 있어 보안이 요구되는 각종 장치에 적용되고 있다.

[0005] PUF 장치는 챌린지(challenge)라고 불리는 입력이 인가되면, 인가된 챌린지에 대응하는 응답(response)이라고 불리는 출력 키를 출력하도록 구성된다. 그리고 PUF 장치의 보안성을 검증하는 인증 서버에는 해당 PUF 장치에 대한 다수의 챌린지와 각 챌린지에 대응하는 응답이 쌍으로 매칭된 다수의 CRP(Challenge-Response Pair)가 미

리 저장된다. 이에 PUF 장치를 인증하기 위한 인증 서버는 PUF 장치로 챌린지를 전송하고, PUF 장치에서 회신되는 응답이 미리 저장된 CRP에 부합되는지 여부를 판별함으로써, 응답을 전송한 PUF 장치에 대한 인증을 수행한다.

[0006] 최근 사물 인터넷(Internet of Thing: 이하 IoT)의 발달로 인해 각종 IoT 기기의 보안의 중요성이 대두되고 있어 PUF 장치에 대한 요구가 증가되고 있다. 그리고 많은 IoT 기기는 소형 및 저전력 소비 기기로 제작되므로, IoT 기기에 적용되는 PUF 장치는 랜덤성, 독립성 및 안정성과 면적 효율성(area efficiency) 및 저전력 동작이 필수적으로 요구된다.

[0007] 기존의 PUF 장치로는 메모리 구조를 이용하여 랜덤 응답을 생성하는 메모리 PUF 가 주로 이용되었다. 메모리 PUF는 메모리 셀과 유사하게 다수의 PUF 셀이 어레이 구조로 배치되어, PUF 셀에 대한 주소가 챌린지로서 인가된다. 이에 메모리 PUF는 챌린지로서 인가된 주소에 대응하는 PUF 셀을 선택하고, 선택된 PUF 셀에서 저장 또는 생성된 값을 응답으로 출력할 수 있다.

[0008] CAM과 PUF는 모두 휘발성 또는 비휘발성 메모리로 구현될 수 있으나, 기존에는 CAM과 PUF를 별도의 메모리 장치로 제조하거나, 하나의 메모리 장치로 제조하는 경우에도 CAM으로 동작하는 메모리 셀과 PUF로 동작하는 메모리 셀을 서로 구분하였다. 즉 CAM과 PUF가 서로 다른 메모리 셀을 이용하여 구현되었다. 이로 인해 메모리 장치에 요구되는 용량 및 크기가 크다는 문제가 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 한국 등록 특허 제10-2179789호 (2020.11.11 등록)

발명의 내용

해결하려는 과제

[0010] 본 발명의 목적은 CAM 및 PUF의 듀얼 모드로 동작할 수 있는 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치 및 이의 동작 방법을 제공하는데 있다.

[0011] 본 발명의 다른 목적은 메모리 셀에 인가되는 전압 레벨에 따라 용이하게 CAM 또는 PUF 로 동작할 수 있는 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치 및 이의 동작 방법을 제공하는데 있다.

[0012] 본 발명의 또 다른 목적은 소형으로 제조 가능하고, 랜덤성이 우수한 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치 및 이의 동작 방법을 제공하는데 있다.

과제의 해결 수단

[0013] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치는 제1 방향으로 연장되는 다수의 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 서치라인쌍 사이에 각각 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)로 구성되는 다수의 메모리 셀; 상기 다수의 매치라인과 상기 다수의 서치라인쌍으로 동작 상태에 따른 전압을 공급하는 전원 공급부; 및 CAM(Content Addressable Memory) 모드와 PUF(Physically Unclonable Function) 모드 중 상기 PUF 모드로 동작 시에 챌린지로서 전송된 주소에 따라 선택되는 매치라인에 연결된 다수의 메모리 셀 각각의 2개의 SR-FTJ에 역방향 전압이 인가되어 발생하는 누설 전류에 의해, 선택된 매치라인에 발생하는 전압 변화를 감지 증폭하여 상기 챌린지에 대응하는 응답을 생성하는 PUF 응답 생성부를 포함한다.

[0014] 상기 다수의 메모리 셀 각각은 상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 서치라인쌍 중 대응하는 서치라인쌍의 서치라인 사이에 연결되는 제1 SR-FTJ; 및 상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 서치라인쌍 중 대응하는 서치라인쌍의 서치라인바 사이에 연결되는 제2 SR-FTJ를 포함할 수 있다.

[0015] 상기 응답 생성부는 상기 다수의 매치라인 중 서로 다른 기지정된 개수의 매치라인과 연결되어 상기 챌린지에 대응하는 매치라인을 선택하는 다수의 먹스; 및 상기 다수의 먹스 중 대응하는 2개의 먹스가 각각 선택한 매치

라인 사이의 전압 차를 감지 증폭하여 상기 응답을 생성하는 적어도 하나의 센스 앰프를 포함할 수 있다.

- [0016] 상기 전원 공급부는 디스차지 단계 및 응답 생성 단계로 구분되어 동작하는 상기 PUF 모드의 상기 디스차지 단계에서 상기 다수의 매치라인과 상기 다수의 서치라인쌍이 디스차지되도록 접지 전압 레벨을 인가하고, 상기 응답 생성 단계에서 상기 다수의 매치라인 중 상기 챌린지에 의해 지정된 주소에 따라 선택된 매치라인에는 인가되는 전압을 차단하여 플로팅시키고, 나머지 매치라인과 상기 서치라인쌍으로는 기지정된 전압 레벨의 전원 전압을 인가하여, 선택된 매치라인에 연결된 다수의 메모리 셀의 2개의 SR-FTJ에 역방향 전압이 인가되도록 할 수 있다.
- [0017] 상기 적어도 하나의 센스 앰프는 상기 응답 생성 단계에서 상기 다수의 먹스 중 대응하는 2개의 먹스가 각각 상기 챌린지에 의해 지정된 주소에 따라 매치라인을 선택하여 연결하면, 선택된 2개의 매치라인에 연결된 다수의 메모리 셀 각각에서 2개의 SR-FTJ에 역방향 전압이 인가되어 발생하는 누설 전류에 의해 변화하는 매치라인 사이의 전압 차를 감지 증폭하여 상기 응답을 생성할 수 있다.
- [0018] 상기 다수의 메모리 셀 각각은 라이트 동작과 검색 동작으로 구분되어 동작하는 상기 CAM 모드의 상기 라이트 동작에 의해 데이터 "0"이 저장되는 경우 상기 제1 SR-FTJ는 고저항 상태(High Resistance State: HRS)를 갖고 상기 제2 SR-FTJ는 저저항 상태(Low Resistance State: LRS)를 가지며, 데이터 "1"이 저장되는 경우 상기 제1 SR-FTJ는 저저항 상태 갖고 상기 제2 SR-FTJ는 고저항 상태를가질 수 있다.
- [0019] 상기 전원 공급부는 상기 라이트 동작의 고저항 설정 단계에서 다수의 매치라인 중 인가된 주소에 따라 선택되는 매치라인으로 상기 접지 전압을 인가하고, 나머지 매치라인으로는 기지정된 전압 레벨의 라이트 전압의 1/2 레벨의 전압을 인가하며, 상기 다수의 서치라인쌍 각각에는 대응하는 메모리 셀(MC)에 저장되어야 하는 데이터에 따른 전압을 인가하고, 상기 라이트 동작의 저저항 설정 단계에서는 선택되는 매치라인으로 상기 라이트 전압을 인가하고, 나머지 매치라인과 상기 다수의 서치라인쌍으로는 상기 고저항 설정 단계에서 인가되는 전압을 유지할 수 있다.
- [0020] 상기 전원 공급부는 상기 CAM 모드의 라이트 동작 시, 메모리 셀에 저장되어야 하는 데이터가 "0"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 라이트 전압을 인가하고, 서치라인바로는 상기 접지 전압을 인가하며, 메모리 셀에 저장되어야 하는 데이터가 "1"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 접지 전압을 인가하고, 서치라인바로는 상기 라이트 전압을 인가할 수 있다.
- [0021] 상기 전원 공급부는 상기 검색 동작의 프리차지 단계에서 상기 다수의 매치라인과 상기 다수의 서치라인쌍으로 상기 전원 전압을 인가하여 프리차지하고, 상기 검색 동작의 매치 평가 단계에서는 상기 다수의 매치라인으로 인가되는 전원을 차단하여 플로팅 시키고, 상기 다수의 서치라인쌍으로 검색하고자 하는 데이터에 대응하는 전압을 인가할 수 있다.
- [0022] 상기 전원 공급부는 상기 검색 동작 시에 검색되어야 하는 데이터가 "0"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 접지 전압을 인가하고, 서치라인바로는 상기 전원 전압을 인가하며, 검색되어야 하는 데이터가 "1"이면, 대응하는 서치라인쌍에서 서치라인으로는 상기 전원 전압을 인가하고, 서치라인바로는 상기 접지 전압을 인가할 수 있다.
- [0023] 상기 다수의 메모리 셀은 상기 다수의 서치라인쌍 각각의 서치라인과 서치라인바가 상기 다수의 매치 라인의 상부 및 하부에 각각 배치되고, 상기 2개의 SR-FTJ는 대응하는 매치라인과 서치라인 사이 및 대응하는 매치라인과 서치라인바 사이에 적층된 3D 구조로 구현될 수 있다.
- [0024] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치의 동작 방법은 제1 방향으로 연장되는 다수의 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 서치라인쌍 사이에 각각 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)로 구성되는 다수의 메모리 셀을 포함하는 메모리 장치의 동작 방법에 있어서, 인가되는 명령에 따라 CAM 모드 또는 PUF 모드의 동작 모드를 판별하는 단계; 판별된 동작 모드가 상기 PUF 모드이면, 챌린지로서 전송된 주소에 따라 선택되는 매치라인에 연결된 다수의 메모리 셀 각각의 2개의 SR-FTJ에 역방향 전압이 인가되어 발생하는 누설 전류에 의해, 선택된 매치라인에 발생하는 전압 변화를 감지 증폭하여 상기 챌린지에 대응하는 응답을 생성하는 단계를 포함한다.

발명의 효과

- [0025] 따라서, 본 발명의 실시예에 따른 자기-정류 강유전체 터널 접합 소자 기반 메모리 장치 및 이의 동작 방법은 2

개의 자기-정류 강유전체 터널 접합 소자로 구현되는 메모리 셀에 인가되는 전압 레벨에 따라 내용 주소화 메모리와 PUF의 듀얼 모드로 동작할 수 있어 메모리 장치의 공간 효율성을 크게 향상시킬 수 있다. 그리고 3D 크로스 포인트 어레이 구조로 구현될 수 있어 더욱 소형으로 제조될 수 있다. 또한 PUF로 동작시에 로우 단위로 비교하는 방식으로 랜덤성이 높아 우수한 보안 성능을 제공할 수 있다.

도면의 간단한 설명

- [0026] 도 1은 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.
- 도 2는 자기-정류 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.
- 도 3은 도 2의 자기-정류 강유전체 터널 접합 소자의 역방향 전압에 따른 누설 전류 특성을 설명하기 위한 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 메모리 장치의 메모리 셀 어레이 구조를 나타낸다.
- 도 5는 도 4의 메모리 셀 어레이의 3D 구조의 일 예를 나타낸다.
- 도 6 및 도 7은 본 실시예에 따른 메모리 장치의 CAM 모드에서의 라이트 동작을 설명하기 위한 도면이다.
- 도 8 및 도 9는 본 실시예에 따른 메모리 장치의 CAM 모드에서의 검색 동작을 설명하기 위한 도면이다.
- 도 10은 본 실시예에 따른 메모리 장치를 PUF 모드로 동작시키기 위한 구성의 일 예를 나타낸다.
- 도 11 및 도 12는 본 실시예에 따른 메모리 셀의 PUF 모드에서의 동작을 설명하기 위한 도면이다.
- 도 13은 본 발명의 일 실시예에 따른 메모리 장치의 동작 방법을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0028] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재를 나타낸다.
- [0029] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0030] 도 1은 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.
- [0031] 도 1에서 (a)는 강유전체 터널 접합 소자(Ferroelectric Tunnel Junction: 이하 FTJ)의 구조를 나타내고, (b)는 FTJ의 분극에 따른 상태를 나타내고, (c)는 FTJ의 전류 전압 그래프를 나타낸다. 그리고 (d)는 FTJ 소자 특성에 따른 스니크 전류 경로를 설명하기 위한 도면이다.
- [0032] (a)에 도시된 바와 같이, FTJ는 일 예로 반도체층(11) 상에 강유전성 터널층(12), 강유전체층(13) 및 금속층(14)이 순차적으로 적층된 구조로 형성될 수 있다. 일 예로 반도체층(11)은 P형 실리콘(P type Si)으로 형성될 수 있으며, 강유전성 터널층(12)은 산화 하프늄(HfO_2)로 도핑된 지르코늄(Zr)으로 형성될 수 있으며, 강유전체층(13)은 산화 알루미늄(Al_2O_3)으로 구현되고, 금속층(14)은 티타늄(Ti) 또는 알루미늄(Au)으로 구현될 수 있다.
- [0033] 이와 같은 FTJ는 (b)의 왼쪽과 같이 역방향 라이트 전압(또는 순방향 네거티브 라이트 전압)($-V_w$)이 인가되는지 또는 오른쪽과 같이 순방향 라이트 전압(V_w)이 인가되는지에 따라 강유전체층(13)의 분극(Polarization)이 상이한 방향으로 형성되어 저저항 상태(Low Resistance State: LRS) 또는 고저항 상태(High Resistance State: HRS)가 된다.
- [0034] 이에 역방향 라이트 전압($-V_w$)이 인가되어 FTJ가 저저항 상태(LRS)를 가지면, (c)의 그래프에서 검은색 선과 같

이 라이트 전압(V_W)보다 낮은 전압 레벨의 리드 전압에서 전류가 원활하게 흐르게 되어 스위치 온 상태로 볼 수 있다. 반면, 순방향 라이트 전압(또는 포지티브 라이트 전압이라고 함)(V_W)이 인가되어 FTJ가 고저항 상태(HRS)를 가지면, 붉은색 선과 같이 포지티브 라이트 전압(V_W)이 인가되어 리드 전압에서 전류가 원활하게 흐르지 못하므로 스위치 오프 상태로 볼 수 있다.

[0035] 이와 같은 FTJ는 저저항 상태(LRS)가 로직 "1"(Logic 1)을 나타내고, 고저항 상태(HRS)가 로직 "0"(Logic 0)을 나타내는 스위치 소자 또는 메모리 소자로 사용될 수 있다.

[0036] 상기에서는 반도체층(11)이 P형으로 형성되는 경우를 가정한 경우로서, 만일 반도체층(11)이 N형으로 형성되는 경우에, FTJ는 역방향 라이트 전압($-V_W$)이 인가되면 로직 "0"의 고저항 상태(HRS)를 갖고, 포지티브 라이트 전압(V_W)이 인가되면 로직 "1"의 저저항 상태(LRS)를 가질 수 있다.

[0037] 다만 이러한 FTJ는 양단에 인가되는 전압에 따라 양방향으로 전류가 흐를 수 있는 양방향 스위치 소자이므로, FTJ를 이용하여 메모리 어레이로 구성하는 경우, (d)에 도시된 바와 같이, 리드 동작 시에 의도하지 않은 경로로 전류 경로가 형성되어 스니크 전류(Sneak Current)가 흐를 수 있다는 문제가 있다. 이에 기존에는 FTJ가 메모리 장치나 CAM에 이용되는데 한계가 있었다.

[0038] 도 2는 자기-정류 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.

[0039] 상기한 FTJ의 양방향 특성에 따른 문제를 해소하기 위해, 최근에는 상기한 FTJ가 양방향 특성이 아닌 단방향 특성을 갖도록 조절한 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)가 개발되었다. SR-FTJ는 도 1의 (a)에 도시된 FTJ에서 반도체층(11), 강유전성 터널층(12), 강유전체층(13) 및 금속층(14)을 구성하는 원소와 도핑 수준 등을 조절하여 전압에 따른 분극 특성을 변화시킴으로써 구현될 수 있다.

[0040] 도 2의 (a)에서 왼쪽과 오른쪽 그래프는 각각 기존 FTJ와 SR-FTJ의 전압-분극(Voltage-Polarization: V-P) 특성 곡선과 전압-전류(I-V) 특성 곡선을 나타낸다. 기존 FTJ의 경우, 왼쪽에 도시된 바와 같이, 전압(V)에 따른 분극(P)이 순방향 전압뿐만 아니라 역방향 전압에서도 이루어지므로, 전압-전류(I-V) 특성 곡선 또한 양방향 특성을 갖는다. 그에 반해, SR-FTJ의 경우, 오른쪽에 도시된 바와 같이, 전압(V)에 따른 분극(P)이 포지티브 전압에서만 이루어지므로, (c)에 확대된 그래프와 같이 전압-전류(I-V) 특성 곡선이 단방향 특성을 갖는 것을 알 수 있다. 이는 SR-FTJ가 다이오드와 유사하게 정류 특성을 가져 역방향 전류 흐름을 억제할 수 있음을 나타낸다.

[0041] 도 3은 도 2의 자기-정류 강유전체 터널 접합 소자의 역방향 전압에 따른 누설 전류 특성을 설명하기 위한 도면이다.

[0042] 도 3에서 (a)는 SR-FTJ의 역방향 전압에 따른 누설 전류 변화를 나타낸다. 상기한 바와 같이, SR-FTJ가 다이오드와 유사하게 정류 특성을 가지며, 이에 도 3의 (a)에 도시된 바와 같이, 1V의 포지티브 전압 대비 -1V의 네거티브 전압이 인가될 때, 대략 10^3 수준의 정류비(Rectifying Ratio: RR)를 나타낸다. 즉 역방향 전압이 인가되면 SR-FTJ는 역방향 전류 흐름을 억제한다. 다만 역방향 전류가 완전하게 억제되지 않으며, 이에 누설 전류(leakage current)가 흐른다.

[0043] 도 3의 (b)는 SR-FTJ 소자별 상태에 따른 누설 전류 변화를 나타낸다. 대부분의 메모리 셀과 마찬가지로 SR-FTJ 또한 제조 시에도 미세한 공정 편차에 의해 SR-FTJ 소자 사이에 누설 전류 차이가 발생한다. 즉 (b)의 왼쪽에 도시된 바와 같이, 2개의 SR-FTJ 소자(A, B)가 모두 고저항 상태(HRS)인 경우, 2개의 SR-FTJ 소자(A, B)에는 동일한 누설 전류가 흐르지 않고, 하나의 SR-FTJ 소자(A)에는 제1 누설 전류($I_{leak,A}$)가 흐르는 반면, 나머지 SR-FTJ 소자(B)에는 제1 누설 전류($I_{leak,A}$)와 상이한 제2 누설 전류($I_{leak,B}$)가 흐르게 된다. 각 SR-FTJ에는 가우시안 분포에 따라 서로 누설 전류($I_{leak,A}$, $I_{leak,B}$)가 흐를 수 있으며, 이와 같은 누설 전류($I_{leak,A}$, $I_{leak,B}$)는 SR-FTJ 각각의 상태 변화에 따라 크기가 가변되지만 서로 다른 SR-FTJ가 동일하게 상태가 변화하는 경우, 각 SR-FTJ의 누설 전류 사이의 상대적 크기는 동일하게 유지된다.

[0044] 즉 (b)의 오른쪽에 도시된 바와 같이, 2개의 SR-FTJ 소자(A, B)의 상태가 저저항 상태(LRS)로 변화된 경우, 2개의 SR-FTJ 소자(A, B)의 상태 변화에 따라 누설 전류($I_{leak,A}$, $I_{leak,B}$)에 변화(ΔI_{leak})가 발생하지만, 이때 발생하는 누설 전류의 변화(ΔI_{leak})는 2개의 SR-FTJ 소자(A, B)에 동일한 크기로 발생한다. 따라서 소자별 누설 전

류($I_{leak,A} + \Delta I_{leak}$, $I_{leak,B} + \Delta I_{leak}$)의 차이는 SR-FTJ 소자(A, B)의 상태가 변화된 경우에도 동일하게 유지된다. 이는 2개의 SR-FTJ 소자(A, B)의 상태가 동일한 상태이면, 각 SR-FTJ 소자(A, B)의 제조 특성에 따라 역방향 전압이 인가되면 서로 상이한 크기의 누설 전류가 흐르게 된다는 것을 나타낸다. 그러므로 SR-FTJ 소자(A, B)로 구성되는 메모리 장치는 SR-FTJ 소자(A, B)의 누설 전류($I_{leak,A}$, $I_{leak,B}$)를 이용하여서도 PUF로 이용될 수 있다. 다만 SR-FTJ 소자(A, B)의 누설 전류($I_{leak,A}$, $I_{leak,B}$)를 이용하여서 PUF를 구성하기 위해서는 SR-FTJ 소자(A, B)의 상태에 따른 누설 전류의 변화(ΔI_{leak})가 반영되지 않도록, 2개의 SR-FTJ 소자(A, B)의 상태가 동일해야만 한다.

[0045] 도 4는 본 발명의 일 실시예에 따른 메모리 장치의 메모리 셀 어레이 구조를 나타낸다.

[0046] 도 4를 참조하면, 본 실시예에 따른 메모리 장치는 다수의 메모리 셀 어레이를 구비할 수 있으며, 각 메모리 셀 어레이는 제1 방향으로 진행되는 다수의 매치라인(ML)과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 서치라인쌍(SL, SLB) 및 다수의 매치라인(ML) 중 대응하는 매치라인과 다수의 서치라인쌍(SL, SLB) 중 대응하는 서치라인쌍 각각 사이에 연결되는 2개의 SR-FTJ(F1, F2)를 포함하는 다수의 메모리 셀(MC)을 포함한다. 본 실시예에서 다수의 메모리 셀(MC)은 각각 CAM에 대한 데이터를 저장하는 CAM 셀로 동작할 수 있다.

[0047] 그리고 다수의 메모리 셀(MC) 각각은 2개의 SR-FTJ(F1, F2)를 포함하고, 2개의 SR-FTJ(F1, F2) 중 제1 SR-FTJ(F1)는 대응하는 매치라인(ML)과 대응하는 서치라인(SL) 사이에 연결되고, 제2 SR-FTJ(F2)는 대응하는 매치라인(ML)과 대응하는 서치라인바(SLB) 사이에 연결된다. 즉 제1 SR-FTJ(F1)와 제2 SR-FTJ(F2)는 일단이 대응하는 매치라인(ML)에 공통으로 연결되는 반면, 타단은 대응하는 서치라인(SL) 또는 대응하는 서치라인바(SLB)에 구분되어 연결된다.

[0048] 따라서 본 실시예에 따른 메모리 장치에서 다수의 메모리 셀(MC) 각각은 단지 매치라인(ML)과 서치라인쌍(SL, SLB) 사이에 연결된 2개의 SR-FTJ(F1, F2)만으로 구성되며, 이로 인해 메모리 장치의 크기를 크게 줄일 수 있다.

[0049] 여기서는 설명의 편의를 위하여 2개의 매치라인(ML[0], ML[1])과 3개의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2])) 사이에 연결되어 2 × 3 형태로 배열되어 배치되는 6개의 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12]))만을 도시하였다. 그리고 이하 예에서는 6개의 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12]))을 배치 위치에 따라 제11 메모리 셀(MC[00]) 내지 제23 메모리 셀(MC[12])이라 한다. 제1 매치라인(ML[0])과 3개의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2])) 사이에 연결된 3개의 메모리 셀(MC)을 각각 제11 내지 제13 메모리 셀(MC[00], MC[01], MC[02])이라 하고, 제2 매치라인(ML[1])과 3개의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2])) 사이에 연결된 3개의 메모리 셀(MC)을 각각 제21 내지 제23 메모리 셀(MC[10], MC[11], MC[12])이라 한다.

[0050] 도 5는 도 4의 메모리 셀 어레이의 3D 구조의 일 예를 나타낸다.

[0051] 도 4에 도시된 본 실시예에 따른 메모리 장치에서 다수의 메모리 셀 어레이 각각은 도 5에 도시된 바와 같이, 3D 구조로 구현될 수 있다. 도 5에서도 설명의 편의를 위하여 2개의 매치라인(ML[0], ML[1])과 3개의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2])) 사이에 연결된 6개의 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12]))만을 도시하였다.

[0052] 도 5를 참조하면, 3D 구조의 메모리 셀 어레이는 제1 방향으로 연장되는 다수의 매치라인(ML[0], ML[1])을 중심으로 상측에 제1 방향과 수직하는 제2 방향으로 연장되는 다수의 서치라인(SL[0], SL[1], SL[2])이 형성되고, 하측에는 제2 방향으로 연장되는 다수의 서치라인바(SLB[0], SLB[1], SLB[2])가 형성된다. 그리고 다수의 매치라인(ML[0], ML[1]) 중 대응하는 매치라인과 다수의 서치라인(SL[0], SL[1], SL[2]) 중 대응하는 서치라인 사이에는 제1 SR-FTJ(F1)가 형성되고, 다수의 매치라인(ML[0], ML[1]) 중 대응하는 매치라인과 다수의 서치라인바(SLB[0], SLB[1], SLB[2]) 중 대응하는 서치라인바 사이에는 제2 SR-FTJ(F2)가 형성된다.

[0053] 도 5에 도시된 바와 같이, 다수의 서치라인(SL[0], SL[1], SL[2])과 다수의 서치라인바(SLB[0], SLB[1], SLB[2])가 각각 매치라인(ML[0], ML[1])을 중심으로 상측 및 하측에 위치하여 매치라인(ML[0], ML[1])에 수직 방향으로 연장되도록 형성되면, 각 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12]))의 2개의 SR-FTJ(F1, F2)은 적층된 구조로 형성된다. 따라서 메모리 장치의 크기를 더욱 줄일 수 있다.

[0054] 한편 도시하지 않았으나, 본 실시예의 메모리 장치는 다수의 매치라인(ML)과 다수의 서치라인쌍(SL, SLB) 각각

으로 전압을 공급하기 위한 전원 공급부(미도시)를 더 포함할 수 있다.

- [0055] 도 6 및 도 7은 본 실시예에 따른 메모리 장치의 CAM 모드에서의 라이트 동작을 설명하기 위한 도면이다.
- [0056] 도 6 및 도 7에서는 제1 매치라인(ML[0])에 연결되는 제1 행의 제11 메모리 셀(MC[00]), 제12 메모리 셀(MC[01]) 및 제13 메모리 셀(MC[02])에 각각 데이터 "0", "1" 및 "1"이 라이트되는 경우를 가정한다. 또한 여기서는 반도체층(11)이 N형으로 형성되는 경우를 가정하여, 메모리 셀(MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12])의 2개의 SR-FTJ(F1, F2)는 역방향 라이트 전압($-V_w$)이 인가되면 고저항 상태(HRS)를 갖고, 순방향 라이트 전압(V_w)이 인가되면 저저항 상태(LRS)를 갖는 것으로 설명한다.
- [0057] 그리고 본 실시예에서는 각 메모리 셀(MC)에서 제1 SR-FTJ(F1)가 고저항 상태(HRS)이고, 제2 SR-FTJ(F2)가 저저항 상태(LRS)인 경우에 해당 메모리 셀(MC)이 "0"의 데이터를 저장한 상태인 것으로 가정한다. 따라서 제1 SR-FTJ(F1)가 저저항 상태(LRS)이고, 제2 SR-FTJ(F2)가 고저항 상태(HRS)인 경우는 해당 메모리 셀(MC)이 "1"의 데이터를 저장한 상태라 할 수 있다.
- [0058] 본 실시예에 따른 메모리 셀의 CAM 모드에서의 라이트 동작은 도 5에 도시된 고저항 설정 단계와 도 6에 도시된 저저항 설정 단계로 구분되어 동작한다. 여기서 고저항 설정 단계는 메모리 셀(MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12])에 저장되어야 할 데이터에 따라 대응하는 SR-FTJ(F1, F2)가 고저항 상태(HRS)를 갖도록 하고, 저저항 설정 단계는 대응하는 SR-FTJ(F1, F2)가 저저항 상태(LRS)를 갖도록 한다.
- [0059] 라이트 동작 시 고저항 설정 단계 및 저저항 설정 단계 모두에서 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로는 대응하는 메모리 셀(MC[00], MC[01], MC[02])에 저장될 데이터에 따른 전압이 인가된다. 여기서는 3개의 메모리 셀(MC[00], MC[01], MC[02])에 각각 "0", "1" 및 "1"이 라이트되는 경우를 가정하였다. 이에 제1 서치라인쌍(SL[0], SLB[0])의 서치라인(SL[0])으로는 기지정된 전압 레벨을 갖는 라이트 전압(V_w)이 인가되고, 서치라인바(SLB[0])로는 접지 전압(0V)이 인가된다. 반면 제2 및 제3 서치라인쌍((SL[1], SLB[1]), (SL[2], SLB[2]))의 서치라인(SL[1], SL[2])로는 접지 전압(0V)이 인가되고, 서치라인바(SLB[1], SLB[2])로는 라이트 전압(V_w)이 인가된다.
- [0060] 한편 도 5를 참조하면, 라이트 동작의 고저항 설정 단계에서는 데이터가 라이트되어야 하는 메모리 셀(MC[00], MC[01], MC[02])을 행 단위로 선택하기 위해 데이터와 함께 인가되는 어드레스에 대응하는 매치라인(ML[0])이 선택되고, 선택된 매치라인(ML[0])으로 접지 전압(0V)을 인가한다. 그리고 선택되지 않은 나머지 매치라인(ML[1])에는 라이트 전압(V_w)의 절반 수준의 $V_w/2$ 레벨의 전압이 인가된다.
- [0061] 따라서 선택된 매치라인(ML[0])에 연결된 3개의 메모리 셀(MC[00], MC[01], MC[02]) 중 제11 메모리 셀(MC[00])의 제1 SR-FTJ(F1)와 제12 및 제13 메모리(MC[01], MC[02])의 제2 SR-FTJ(F2)에는 매치라인(ML[0])으로 인가된 접지 전압(0V)과 서치라인(SL[0]) 및 서치라인바(SLB[1], SLB[2])로 인가된 라이트 전압(V_w)에 의해 역방향으로 라이트 전압(V_w)이 인가되며, 이는 네거티브 라이트 전압($-V_w$)이 인가된 것으로 볼 수 있다. 이에 제11 메모리 셀(MC[00])의 제1 SR-FTJ(F1)와 제12 및 제13 메모리(MC[01], MC[02])의 제2 SR-FTJ(F2)는 고저항 상태(HRS)를 갖는다.
- [0062] 이때, 제11 메모리 셀(MC[00])의 제2 SR-FTJ(F2)와 제12 및 제13 메모리(MC[01], MC[02])의 제1 SR-FTJ(F1)는 매치라인(ML[0])과 서치라인바(SLB[0]) 및 서치라인(SL[1], SL[2])의 전압이 모두 접지 전압(0V)으로 동일하여 전압 차가 발생되지 않으므로, 상태 변화가 발생되지 않는다.
- [0063] 그리고 선택되지 않은 매치라인(ML[1])에 연결된 메모리 셀(MC[10], MC[11], MC[12])의 경우, 매치라인(ML[1])으로 라이트 전압(V_w)의 절반 수준의 $V_w/2$ 레벨의 전압이 인가되므로, 메모리 셀(MC[10], MC[11], MC[12])의 제1 및 제2 SR-FTJ(F1, F2)의 양단에 걸리는 전압이 $V_w/2$ 또는 $-V_w/2$ 수준이다. 따라서 선택되지 않은 매치라인(ML[1])에 연결된 메모리 셀(MC[10], MC[11], MC[12]) 또한 상태가 변화되지 않는다.
- [0064] 한편, 도 6을 참조하면, 라이트 동작의 저저항 설정 단계에서는 데이터가 선택된 매치라인(ML[0])으로 라이트 전압(V_w)이 인가되고, 선택되지 않은 나머지 매치라인(ML[1])에는 고저항 설정 단계에서 인가된 $V_w/2$ 레벨의 전압이 그대로 유지되어 인가된다.
- [0065] 따라서 제11 메모리 셀(MC[00])의 제2 SR-FTJ(F2)와 제12 및 제13 메모리(MC[01], MC[02])의 제1 SR-FTJ(F1)에

는 매치라인(ML[0])으로 인가된 라이트 전압(V_W)과 서치라인바(SLB[0]) 및 서치라인(SL[1], SL[2])으로 인가된 접지 전압(0V)에 의해 포지티브 라이트 전압(V_W)이 인가된다. 이에 제11 메모리 셀(MC[00])의 제2 SR-FTJ(F2)와 제12 및 제13 메모리(MC[01], MC[02])의 제1 SR-FTJ(F1)는 저저항 상태(LRS)를 갖는다.

[0066] 이때, 제11 메모리 셀(MC[00])의 제1 SR-FTJ(F1)와 제12 및 제13 메모리(MC[01], MC[02])의 제2 SR-FTJ(F2)는 매치라인(ML[0])과 서치라인바(SLB[0]) 또는 서치라인(SL[1], SL[2])의 전압이 모두 라이트 전압(V_W)으로 동일하여 전압 차가 발생되지 않으므로, 고저항 설정 단계에서 설정된 고저항 상태(HRS)를 유지한다.

[0067] 그리고 선택되지 않은 매치라인(ML[1])에 연결된 메모리 셀(MC[10], MC[11], MC[12])은 매치라인(ML[1])으로 $V_W/2$ 레벨의 전압이 그대로 인가되고, 메모리 셀(MC[10], MC[11], MC[12])의 제1 및 제2 SR-FTJ(F1, F2)의 양단에 걸리는 전압 또한 $V_W/2$ 또는 $-V_W/2$ 이다. 따라서 선택되지 않은 매치라인(ML[1])에 연결된 메모리 셀(MC[10], MC[11], MC[12]) 또한 상태가 변화되지 않는다.

[0068] 결과적으로 라이트 동작 시 고저항 설정 단계 및 저저항 설정 단계에서 선택된 매치라인(ML[1])에 접지 전압(0V) 및 라이트 전압(V_W)을 순차적으로 인가하고, 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로는 저장하고자 하는 데이터에 대응하는 전압(V_W , 0V)을 인가하여 메모리 셀(MC[10], MC[11], MC[12])의 제1 및 제2 SR-FTJ(F1, F2)가 고저항 상태(HRS) 및 저저항 상태(LRS)를 갖도록 한다.

[0069] 도 8 및 도 9는 본 실시예에 따른 메모리 장치의 CAM 모드에서의 검색 동작을 설명하기 위한 도면이다.

[0070] 본 실시예의 메모리 장치에서는 라이트 동작 시와 마찬가지로 검색 동작 또한 도 8에 도시된 프리차지 단계(Precharge)와 도 9에 도시된 매치 평가 단계(Match Evaluation)의 2단계로 구성된다.

[0071] 도 8을 참조하면, 프리차지 단계에서는 다수의 매치라인(ML[0], ML[1])과 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로 접지 전압(0V)과 라이트 전압(V_W) 사이의 기지정된 전압 레벨을 갖는 전원 전압(V_{DD})을 인가한다. 따라서 다수의 매치라인(ML[0], ML[1])과 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))이 모두 전원 전압(V_{DD})으로 프리차지 된다.

[0072] 여기서 다수의 매치라인(ML[0], ML[1]) 뿐만 아니라 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로도 전원 전압(V_{DD})을 인가하는 것은, 다수의 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12]))의 제1 및 제2 SR-FTJ(F1, F2)의 누설 전류에 의해 다수의 매치라인(ML[0], ML[1])에 프리차지된 전원 전압(V_{DD})이 강하되는 것을 방지하기 위해서이다.

[0073] 한편, 도 9를 참조하면 매치 평가 단계에서는 다수의 매치라인(ML[0], ML[1])으로 인가되는 전원을 차단하여 플로팅(floating) 시킴으로써 다수의 매치라인(ML[0], ML[1])이 프리차지된 전원 전압(V_{DD})을 유지하도록 한다.

[0074] 그리고 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로 검색하고자 하는 데이터에 따른 전압을 인가한다. 여기서는 데이터 "011"을 검색하는 경우를 가정하며, 제1 매치라인(ML[0])에 연결된 3개의 메모리 셀(MC[00], MC[01], MC[02])과 제2 매치라인(ML[1])에 연결된 3개의 메모리 셀(MC[10], MC[11], MC[12])에는 각각 데이터 "101", "011"이 저장된 것으로 가정한다.

[0075] 이에 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))에서 제1 서치라인(SL[0])과 제2 및 제3 서치라인바(SLB[1], SLB[2])로는 접지 전압(0V)을 인가하고, 제1 서치라인바(SLB[0])와 제2 및 제3 서치라인(SL[1], SL[2])으로는 전원 전압(V_{DD})을 인가한다.

[0076] 이와 같이 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로 검색하고자 하는 데이터에 따른 전압을 인가하면, 다수의 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12])) 중 제11 및 제12 메모리 셀(MC[00], MC[01])에서 저저항 상태(LRS)를 갖는 제1 및 제2 SR-FTJ(F1, F2)의 양단 사이에 포지티브 전원 전압(V_{DD})이 걸리게 되므로, 제11 메모리 셀(MC[00])의 제1 SR-FTJ(F1)와 제12 메모리 셀(MC[01])의 제2 SR-FTJ(F2)를 통해 전류 경로가 형성된다. 이때, 제13 메모리 셀(MC[02])의 제2 SR-FTJ(F2)의 양단에도 포지티브 전원 전압(V_{DD})이 걸리지만, 제2 SR-FTJ(F2)가 고저항 상태(HRS)이므로 전류 경로는 형성되지 않는다. 따라서 제1 매치라인(ML[0])은 서치라인(SL[0]) 및 서치라인바(SLB[1])로 흐르는 전류에 의해 전압 레벨이 접지 전압 레벨(0V)로 강하한다.

- [0077] 반면, 제2 매치라인(ML[1])에서는 3개의 메모리 셀(MC[10], MC[11], MC[12])에 저장된 데이터 "011"가 검색하고자 하는 데이터 "011"와 매칭된다. 그러므로 양단에 포지티브 전원 전압(V_{DD})이 걸리는 제21 메모리 셀(MC[10])의 제1 SR-FTJ(F1)와 제22 및 제23 메모리 셀(MC[11], MC[12])의 제2 SR-FTJ(F2)는 모두 고저항 상태(HRS)이다. 따라서 전류 경로가 형성되지 않아 제2 매치라인(ML[1])은 프리차지된 전원 전압(V_{DD})이 유지된다.
- [0078] 결과적으로 검색하고자 하는 데이터 "011"에 매치되는 데이터가 저장된 제2 매치라인(ML[1])은 프리차지된 전원 전압(V_{DD}) 레벨을 유지하는 반면, 나머지 매치라인(ML[0])에서는 전압이 접지 전압(0V) 레벨로 강하되므로, 용이하게 매치되는 데이터가 저장된 매치라인(ML[1])을 판별하여, 대응하는 주소를 획득할 수 있다. 즉 CAM으로 동작할 수 있다.
- [0079] 도 10은 본 실시예에 따른 메모리 장치를 PUF 모드로 동작시키기 위한 구성의 일 예를 나타낸다.
- [0080] 본 실시예에서 메모리 장치는 PUF로 동작하기 위해 도 10에 도시된 바와 같이, 다수의 매치라인(ML)과 다수의 서치라인쌍(SL, SLB) 사이에 연결된 2개의 SR-FTJ(F1, F2)로 구성되는 다수의 메모리 셀(MC)과 각각 기지정된 개수의 매치라인(ML)에 연결되는 다수의 믹스(Mux1, Mux2) 및 적어도 하나의 센스 앰프(SA)를 포함할 수 있다. 여기서는 설명의 편의를 위하여 다수의 메모리 셀(MC)을 기지정된 개수의 매치라인(ML)에 연결되는 다수의 믹스(Mux1, Mux2)에 의해 다수의 메모리 셀 어레이(Array 1, Array 2)로 구분하여 설명한다. 즉 본 실시예에서 다수의 메모리 셀(MC)은 물리적으로 구분되지 않고, 믹스(Mux1, Mux2)에 의해 가상으로 다수의 메모리 셀 어레이(Array 1, Array 2)로 구분되는 것으로 볼 수 있다.
- [0081] PUF 모드로 동작시에 다수의 믹스(Mux1, Mux2)는 각각 챌린지로서 인가된 주소에 따라 다수의 매치라인(ML) 중 하나의 매치라인을 선택하여 적어도 하나의 센스 앰프(SA) 중 대응하는 센스 앰프와 연결한다. 이때, 챌린지로서 인가되는 주소는 2개의 메모리 셀 어레이(Array 1, Array 2) 각각에서 독립적으로 하나의 매치라인(ML)을 선택할 수 있도록 2개의 매치라인(ML)에 대한 주소로 인가될 수 있으나, 2개의 메모리 셀 어레이(Array 1, Array 2)에서 하나의 매치라인(ML)에 대한 주소만이 인가될 수도 있다.
- [0082] 만일 서로 다른 메모리 셀 어레이(Array 1, Array 2)에 배치된 2개의 매치라인(ML)에 대한 주소가 챌린지로서 인가되면, 2개의 믹스(Mux1, Mux2)는 각각 대응하는 주소에 따른 매치라인(ML)을 선택하여 센스 앰프(SA)와 연결한다. 적어도 하나의 센스 앰프(SA) 각각은 다수의 믹스 중 대응하는 2개의 믹스(Mux1, Mux2)에 의해 연결된 2개의 매치라인(ML) 사이의 전압차를 증폭하여 출력한다.
- [0083] 본 실시예의 메모리 장치가 PUF 동작 시에 서로 다른 메모리 셀 어레이(Array 1, Array 2)에 배치된 2개의 매치라인(ML)을 선택하여 센스 앰프(SA)와 연결하는 것은 해당 선택된 매치라인(ML)에 연결된 메모리 셀(MC)의 제조 특성을 확인하여 응답을 생성할 수 있도록 하기 위함이다.
- [0084] 기존의 PUF에서는 일반적으로 다수의 메모리 셀에 대한 주소가 챌린지로서 인가되면, 개별 메모리 셀의 특성에 따른 응답을 생성하여 출력하고, 출력된 응답과 미리 준비된 CRP를 비교하여 보안 검증을 수행하였다. 즉 다수의 메모리 셀 각각의 개별 제조 특성에 기반하여 응답을 생성하였다. 그러나 이와 같이 각 메모리 셀의 제조 특성에 따른 응답을 생성하도록 구성되는 경우, 해당 메모리 셀은 특정 데이터를 저장하는 저장 장치로서 이용될 수 없다. 이는 각 메모리 셀에 저장된 데이터의 값에 따라 특성에 변화가 발생할 수 있기 때문이다.
- [0085] 본 실시예에서는 이와 같은 문제를 극복하여 도 6 내지 도 9에 도시된 바와 같이, 각각 2개의 SR-FTJ(F1, F2)로 구성되는 다수의 메모리 셀(MC) 각각을 CAM로 동작시키면서도 동시에 PUF로 사용할 수 있도록, 다른 메모리 셀(MC)과의 제조 특성 차이를 비교 증폭하여 응답을 생성하는 방식을 이용한다.
- [0086] 특히 본 실시예의 메모리 장치에서는 2개의 믹스(Mux1, Mux2)가 각각 매치라인(ML)을 선택하도록 함으로써, 단일 메모리 셀(MC)이 아닌 메모리 셀 로우(row) 단위로 제조 특성 차이를 비교 증폭하여 응답을 생성하는 방식을 이용하도록 한다.
- [0087] 본 실시예에서는 PUF 모드로 동작 시에 메모리 셀(MC)에 CAM 모드를 위해 저장된 데이터가 변경되지 않도록 2개의 SR-FTJ(F1, F2)로 구성되는 다수의 메모리 셀(MC)에서 발생하는 누설 전류를 제조 특성에 따른 응답으로 획득하여 이용한다. 다만 누설 전류는 2개의 SR-FTJ(F1, F2)에 역방향 전압이 인가된 상태에서 발생하는 미세 전류이다. 따라서 비록 다른 메모리 셀과의 상대적 특성을 비교 증폭하는 방식을 이용할지라도, 개별 메모리 셀(MC) 사이의 누설 전류를 비교하는 방식으로 안정적인 응답을 생성하기는 어렵다는 문제가 있다. 이러한 문제를 해소하기 위해 본 실시예에서는 각 매치라인(ML)에 연결된 다수의 메모리 셀(MC)에서 발생하는 누설 전류를

합하여 메모리 셀 로우(row) 단위로 상호 비교를 수행함으로써 정확한 응답을 생성할 수 있도록 한다.

- [0088] 상기한 바와 같이, 본 실시예에의 메모리 장치에서 다수의 메모리 셀(MC) 각각은 2개의 SR-FTJ(F1, F2)만으로 구성되고, 메모리 셀(MC)에 저장된 데이터에 무관하게 2개의 SR-FTJ(F1, F2)의 상태는 항상 서로 상이한 상태를 갖는다. 즉 메모리 셀(MC)에 저장되는 데이터가 "0" 인 경우나 "1"인 경우 모두 2개의 SR-FTJ(F1, F2) 중 하나는 고저항 상태(HRS)를 갖는 반면, 나머지 하나는 저저항 상태(LRS)를 갖는다.
- [0089] 따라서 각 매치라인(ML)에 연결된 다수의 메모리 셀(MC)에 서로 다른 데이터가 저장될지라도, 각 매치라인(ML)에 연결된 메모리 셀(MC)의 개수는 동일하며, 결과적으로 저저항 상태(LRS)를 갖는 SR-FTJ의 개수와 고저항 상태(HRS)를 갖는 SR-FTJ의 개수 또한 매치라인(ML)에 연결된 메모리 셀(MC)의 개수와 동일하다.
- [0090] 그리고 도 3의 (b)에서 설명한 바와 같이, 제조 특성에 따른 기본적인 누설 전류(I_{leak})의 크기는 동일하고, SR-FTJ는 상태 변화에 따라 발생하는 누설 전류의 변화(ΔI_{leak})는 모든 SR-FTJ에서 동일하다. 동일한 개수의 메모리 셀(MC)에서 발생한 누설 전류의 크기를 비교하는 경우, 상태 변화에 따라 발생하는 누설 전류의 변화(ΔI_{leak})가 서로 동등하여 상쇄되므로, 메모리 셀(MC)에 저장된 데이터에 무관하게 제조 특성에 따른 누설 전류(I_{leak})의 크기만을 비교하여 응답을 생성할 수 있게 된다.
- [0091] 여기서는 설명의 편의를 위하여 다수의 메모리 셀 어레이(Array 1, Array 2) 각각에 대응하는 믹스(Mux1, Mux2)가 포함되는 것으로 도시하였으나, 믹스(Mux1, Mux2)는 메모리 셀 어레이(Array 1, Array 2)와 별도의 구성으로 볼 수 있다. 특히 믹스(Mux1, Mux2)와 센스 앰프(SA)는 PUF 응답 생성부라고 할 수 있다.
- [0092] 도 11 및 도 12는 본 실시예에 따른 메모리 셀의 PUF 모드에서의 동작을 설명하기 위한 도면이다.
- [0093] 이해의 편의를 위하여 도 11 및 도 12에서도 도 4와 같이 2개의 매치라인(ML[0], ML[1])과 3개의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2])) 사이에 연결된 6개의 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12]))을 포함하는 하나의 메모리 셀 어레이를 도시하였다. 그리고 6개의 메모리 셀((MC[00], MC[01], MC[02]), (MC[10], MC[11], MC[12])) 각각은 2개의 SR-FTJ(F1, F2)를 포함한다.
- [0094] PUF 모드에서의 동작 또한 CAM 모드의 검색 동작과 유사하게 도 11에 도시된 디스차지 단계와 도 12에 도시된 응답 생성 단계의 2단계로 구성된다.
- [0095] 도 11을 참조하면, 디스차지 단계에서는 도 8의 프리차지 단계와 반대로 다수의 매치라인(ML[0], ML[1])과 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로 접지 전압(0V)을 인가하여 디스차지(discharge) 시킨다.
- [0096] 도 12를 참조하면, 응답 생성 단계에서는 다수의 매치라인(ML[0], ML[1]) 중 선택되는 매치라인(여기서는 일 예로 제1 매치라인(ML[0]))은 인가되는 전압을 차단하여 플로팅시키고, 선택된 매치라인(ML[0])을 제외한 나머지 매치라인(ML[1])과 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로 전원 전압(V_{DD})을 인가한다.
- [0097] 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))으로 전원 전압(V_{DD})이 인가되면, 제1 매치라인(ML[0])이 접지 전압(0V) 디스차지되어 플로팅된 상태이므로, 연결된 다수의 메모리 셀(MC[00], MC[01], MC[02]) 각각의 2개의 SR-FTJ(F1, F2)에는 역방향 전압이 인가되어 누설 전류가 발생하고, 이로 인해 제1 매치라인(ML[0])의 전압 레벨이 상승하게 된다.
- [0098] 반면 선택되지 않은 매치라인(ML[1])은 다수의 서치라인쌍((SL[0], SLB[0]), (SL[1], SLB[1]), (SL[2], SLB[2]))과 동일하게 전원 전압(V_{DD})이 인가되고 있는 상태이므로, 전압 변화가 발생되지 않는다.
- [0099] 그리고 적어도 하나의 센스 앰프(SA) 각각은 서로 다른 메모리 셀 어레이(Array 1, Array 2)에서 믹스(Mux1, Mux2)에 의해 선택된 2개의 매치라인(ML)의 전압차를 감지 증폭하여 응답으로 생성한다. 여기서 생성되는 응답은 단지 1비트의 데이터이다.
- [0100] 이에 PUF의 보안성을 높이기 위해 다수 비트의 응답을 생성하고자 하는 경우, 챌린지는 서로 다른 다수의 메모리 셀 어레이의 매치라인(ML)에 대한 주소를 포함하고, 믹스(Mux1, Mux2)와 센스 앰프(SA)는 반복적으로 비트별 응답을 생성하도록 구성될 수 있다. 그러나 이 경우 순차적으로 비트별 응답을 생성하여 PUF 동작 속도가 느려지게 되므로, 다수의 믹스가 챌린지에 의해 지정되는 매치라인(ML)을 동시에 선택하여 다수의 센스 앰프(SA) 중

대응하는 센스 앰프와 연결하여 병렬로 동시에 각 비트의 응답을 생성하도록 하여 동작 속도를 개선할 수도 있다.

- [0101] 도 13은 본 발명의 일 실시예에 따른 메모리 장치의 동작 방법을 나타낸다.
- [0102] 도 1 내지 도 12를 참조하여 도 13의 메모리 장치의 동작 방법을 설명하면, 우선 CAM 모드로 동작할 지 여부를 판별한다(S10). 본 실시예의 메모리 장치는 CAM 모드 또는 PUF 모드로 동작할 수 있으며, CAM 모드 또는 PUF 모드로의 동작 여부는 인가된 명령에 따라 결정될 수 있다. 일 예로 메모리 장치는 라이트 명령 또는 검색 명령이 인가되면 CAM 모드로 동작하고, 챌린지가 인가되면 PUF로 동작하도록 설정될 수 있다.
- [0103] 만일 CAM 모드로 동작하는 것으로 판별되면, CAM 단계를 수행한다. CAM 단계에서는 우선 라이트 명령이 인가되었는지 여부를 판별한다(S21). 라이트 명령이 인가되었으면, 라이트 명령과 함께 인가된 주소에 대응하는 매치라인(ML)에 연결된 다수의 메모리 셀(MC)의 2개의 SR-FTJ(F1, F2) 중 하나를 인가된 데이터에 따라 고저항 상태(HRS)로 설정한다(S22).
- [0104] 고저항 상태로 설정하는 단계(S22)에서는 인가된 주소에 따라 다수의 매치라인 중 하나의 매치라인을 선택하여 접지 전압(0V)을 인가하고, 나머지 매치라인으로는 기지정된 전압 레벨의 라이트 전압(V_w)의 절반 수준의 $V_w/2$ 레벨의 전압을 인가하며, 다수의 서치라인쌍(SL, SLB) 각각에는 대응하는 메모리 셀(MC)에 저장되어야 하는 데이터에 따른 전압을 인가한다. 이때 메모리 셀(MC)에 저장되어야 하는 데이터가 "0"이면, 서치라인쌍(SL, SLB)에서 서치라인(SL)으로는 라이트 전압(V_w)을 인가하고, 서치라인바(SLB)로는 접지 전압(0V)을 인가한다. 반면, 저장되어야 하는 데이터가 "1"이면, 서치라인쌍(SL, SLB)에서 서치라인(SL)으로는 접지 전압(0V)을 인가하고, 서치라인바(SLB)로는 라이트 전압(V_w)을 인가한다. 이에 선택된 매치라인(ML)에 연결된 메모리 셀(MC)의 2개의 SR-FTJ(F1, F2) 중 하나에는 역방향의 라이트 전압(V_w)이 인가되고, 따라서 고저항 상태(HRS)로 설정된다.
- [0105] 이후, 인가된 주소에 대응하는 매치라인(ML)에 연결된 다수의 메모리 셀(MC)의 2개의 SR-FTJ(F1, F2) 중 나머지를 하나를 인가된 데이터에 따라 저저항 상태(LRS)로 설정한다(S23).
- [0106] 저저항 상태로 설정하는 단계(S23)에서도 다수의 서치라인쌍(SL, SLB) 각각에는 대응하는 메모리 셀(MC)에 저장되어야 하는 데이터에 따른 전압이 그대로 유지되어 인가된다. 그리고 선택되지 않은 매치라인 또한 인가된 $V_w/2$ 레벨의 전압이 유지된다. 그러나 인가된 주소에 대응하여 선택된 매치라인으로는 라이트 전압(V_w)을 인가한다. 따라서 선택된 매치라인(ML)에 연결된 메모리 셀(MC)의 2개의 SR-FTJ(F1, F2) 중 고저항 상태(HRS)로 설정되지 않은 나머지 하나에는 순방향의 라이트 전압(V_w)이 인가되고, 따라서 저저항 상태(LRS)로 설정된다.
- [0107] 한편, 라이트 명령이 인가되지 않고 검색 명령이 인가되면, 검색 명령에 따라 다수의 매치라인(ML)과 다수의 서치라인쌍(SL, SLB)으로 전원 전압(V_{DD})을 인가하여 프리차지한다(S24).
- [0108] 이후 다수의 매치라인(ML)으로는 인가되는 전원을 차단하여 플로팅 시키고, 다수의 서치라인쌍(SL, SLB)으로 검색하고자 하는 데이터에 대응하는 전압을 인가하여 매치 평가를 수행한다(S25). 이때 검색하고자 하는 데이터가 "0"이면, 서치라인(SL)으로는 접지 전압(0V)을 인가하고, 서치라인바(SLB)로는 전원 전압(V_{DD})을 인가한다. 반면, 검색하고자 하는 데이터가 "1"이면, 서치라인(SL)으로는 전원 전압(V_{DD})을 인가하고, 서치라인바(SLB)로는 접지 전압(0V)을 인가한다.
- [0109] 이에 다수의 매치라인(ML) 각각에 연결된 다수의 메모리 셀(MC) 중 적어도 하나의 메모리 셀에서 대응하는 서치라인쌍(SL, SLB)를 통해 인가된 전압과 미스매치가 발생되어, 2개의 SR-FTJ(F1, F2) 중 저저항 상태(LRS)의 SR-FTJ에 순방향 전압이 인가되면, 대응하는 매치라인(ML)에 프리차지된 전원 전압(V_{DD}) 레벨이 접지 전압(0V) 레벨로 강하한다. 그에 반해, 매치라인(ML)에 연결된 다수의 메모리 셀(MC)에 저장된 데이터가 각각 대응하는 서치라인쌍(SL, SLB)를 통해 인가된 전압과 모두 매치되면, 모든 메모리 셀(MC)에서 저저항 상태(LRS)의 SR-FTJ에 역방향 전압이 인가되어 해당 매치라인(ML)에 프리차지된 전원 전압(V_{DD})이 그대로 유지된다. 따라서 다수의 매치라인(ML)의 전압 레벨을 판별하여, 인가된 데이터에 대응하는 데이터가 저장된 주소를 용이하게 검색할 수 있다.
- [0110] 한편 CAM 명령이 아닌 챌린지가 인가되면, CAM모드가 아닌 PUF 모드로 동작하는 PUF 단계를 수행한다. PUF 단계에서는 우선 다수의 매치라인(ML)과 다수의 서치라인쌍(SL, SLB)으로 접지 전압(0V)을 인가하여 디스차지시킨

다(S31).

[0111] 이후, 챌린지로 전송된 주소에 따라 선택되는 매치라인(ML)에 연결된 다수의 메모리 셀(MC)의 2개의 SR-FTJ(F1, F2)에 역방향 전압을 인가하여 발생하는 누설 전류에 의한 매치라인(ML)의 변화를 감지 증폭하여 응답을 생성한다(S32).

[0112] 구체적으로 응답 생성 단계(S32)에서는 챌린지로 전송된 주소에 따라 맥스(Max)로 구분된 다수의 메모리 셀 어레이 중 서로 다른 2개의 메모리 셀 어레이에서 하나씩의 매치라인(ML)을 선택하고, 선택된 매치라인(ML)은 인가되는 전압을 차단하여 플로팅시키고, 선택된 매치라인(ML)을 제외한 나머지 매치라인(ML)과 다수의 서치라인 쌍으로는 전원 전압(V_{DD})을 인가한다. 즉 선택된 매치라인에 연결된 다수의 메모리 셀(MC)을 구성하는 2개의 SR-FTJ(F1, F2)에 모두 역방향 전압이 인가되도록 한다.

[0113] 이에 선택된 매치라인(ML)에 연결된 2개의 SR-FTJ(F1, F2)에는 제조 특성에 따른 크기의 누설 전류가 흐르고, 이에 선택된 매치라인(ML)의 전압 레벨이 상승한다. 따라서 서로 다른 메모리 셀 어레이에서 선택된 각 매치라인(ML)의 전압 레벨은 연결된 메모리 셀(MC)을 구성하는 연결된 2개의 SR-FTJ(F1, F2)에는 제조 특성에 따라 서로 다른 속도로 상승하게 되며, 각 먹스가 선택된 매치라인(ML)을 대응하는 센스 앰프(SA)와 연결하면, 센스 앰프(SA)는 연결된 2개의 매치라인(ML)의 전압 차를 감지 증폭하여 응답을 생성한다.

[0114] 결과적으로 본 실시예에 따른 메모리 장치는 다수의 메모리 셀(MC)이 각각 2개의 SR-FTJ(F1, F2)만으로 구성될 뿐만 아니라, 3D 적층 구조로 구현될 수 있어 초소형으로 제조될 수 있으며, CAM의 데이터를 저장하면서도 동시에 PUF의 응답을 생성하기 위해 이용될 수 있다. 즉 듀얼 모드로 동작할 수 있다. 특히 각 메모리 셀(MC)의 2개의 SR-FTJ(F1, F2)가 저장되는 데이터에 무관하게 항상 고정항 상태(HRS)와 저저항 상태(LRS)의 서로 다른 상태를 가지므로, PUF에 요구되는 랜덤성, 독립성 및 안정성과 면적 효율성(area efficiency)을 제공할 수 있다.

[0115] 본 발명에 따른 방법은 컴퓨터에서 실행시키기 위한 매체에 저장된 컴퓨터 프로그램으로 구현될 수 있다. 여기서 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스 될 수 있는 임의의 가용 매체일 수 있고, 또한 컴퓨터 저장 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함하며, ROM(판독 전용 메모리), RAM(랜덤 액세스 메모리), CD(컴팩트 디스크)-ROM, DVD(디지털 비디오 디스크)-ROM, 자기 테이프, 플로피 디스크, 광데이터 저장장치 등을 포함할 수 있다.

[0116] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

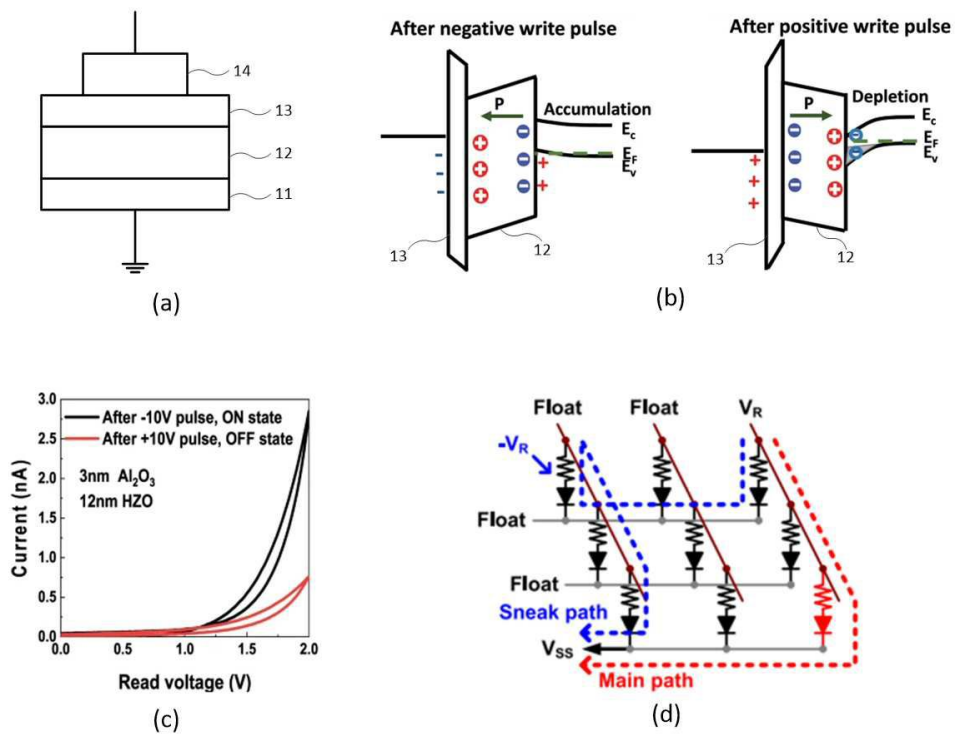
[0117] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

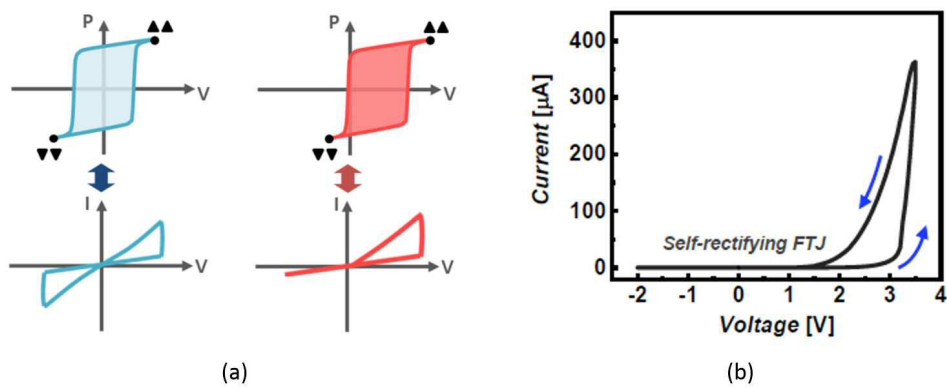
[0118] ML: 매치라인 SL: 서치라인
SLB: 서치라인바 MC: 메모리 셀
Mux: 믹스 SA: 센스 앰프

도면

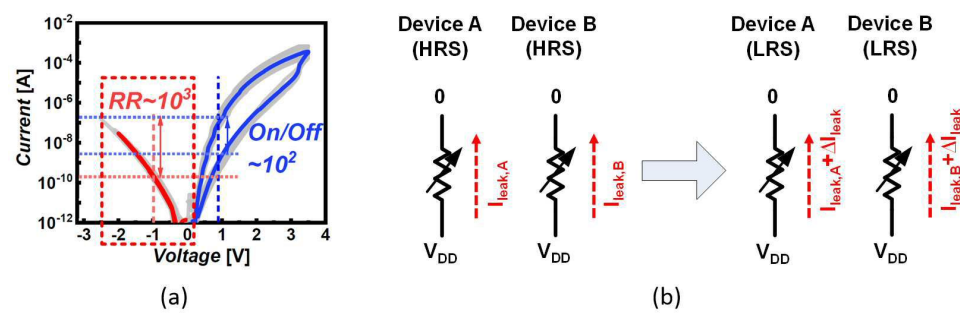
도면1



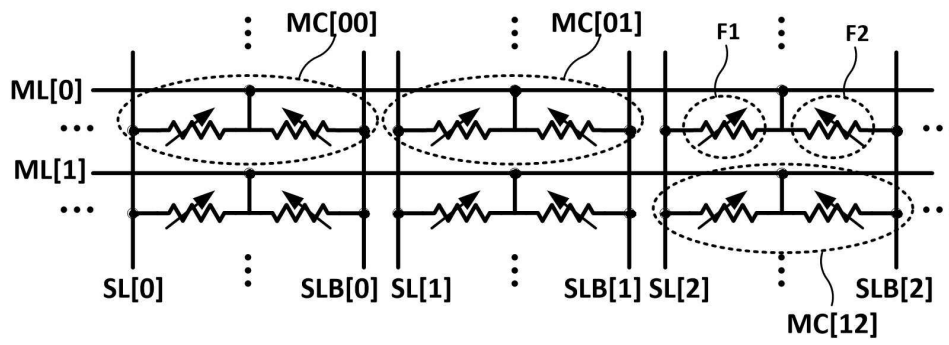
도면2



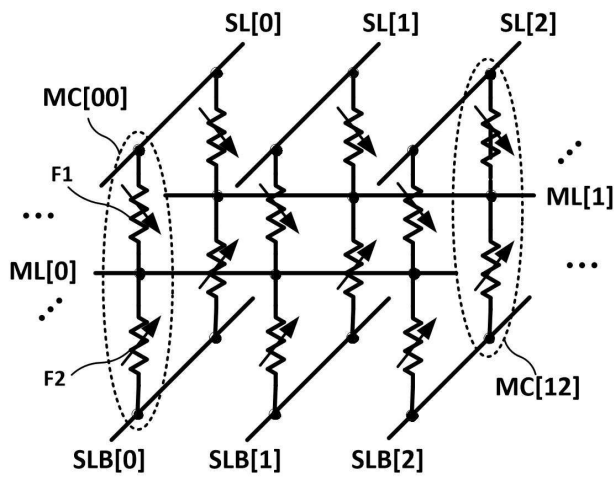
도면3



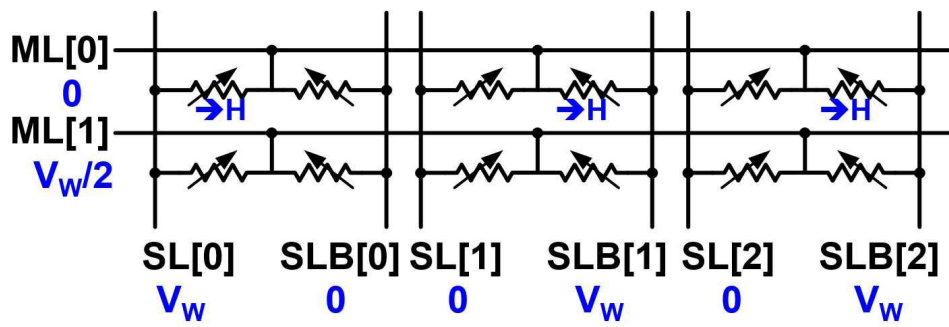
도면4



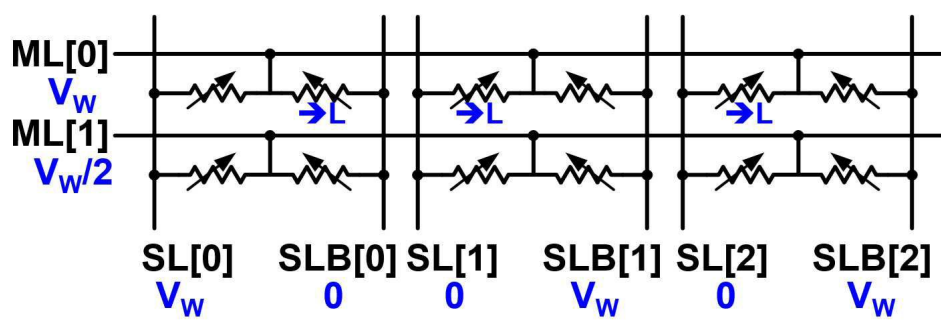
도면5



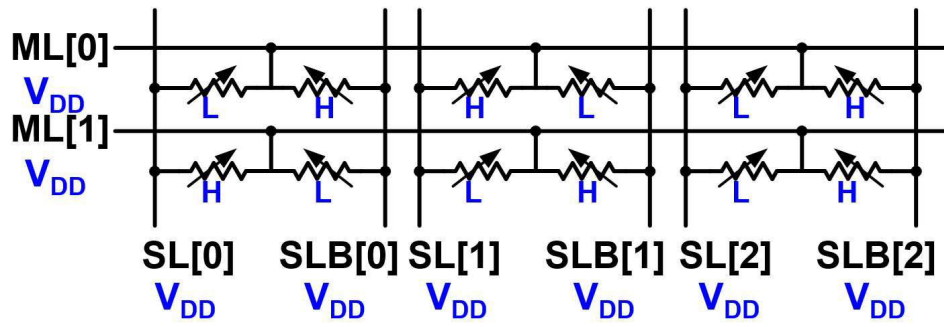
도면6



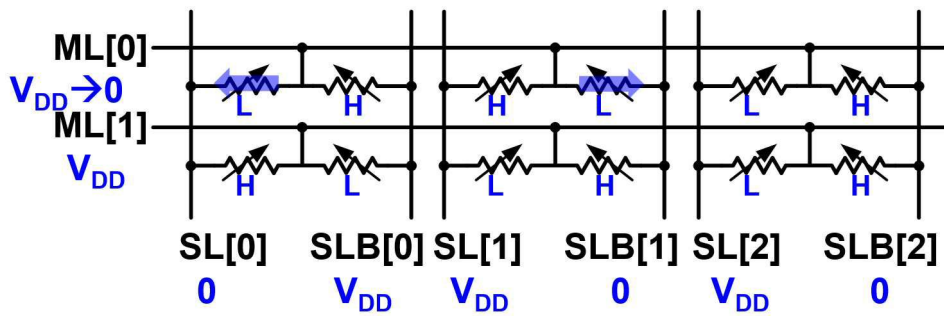
도면7



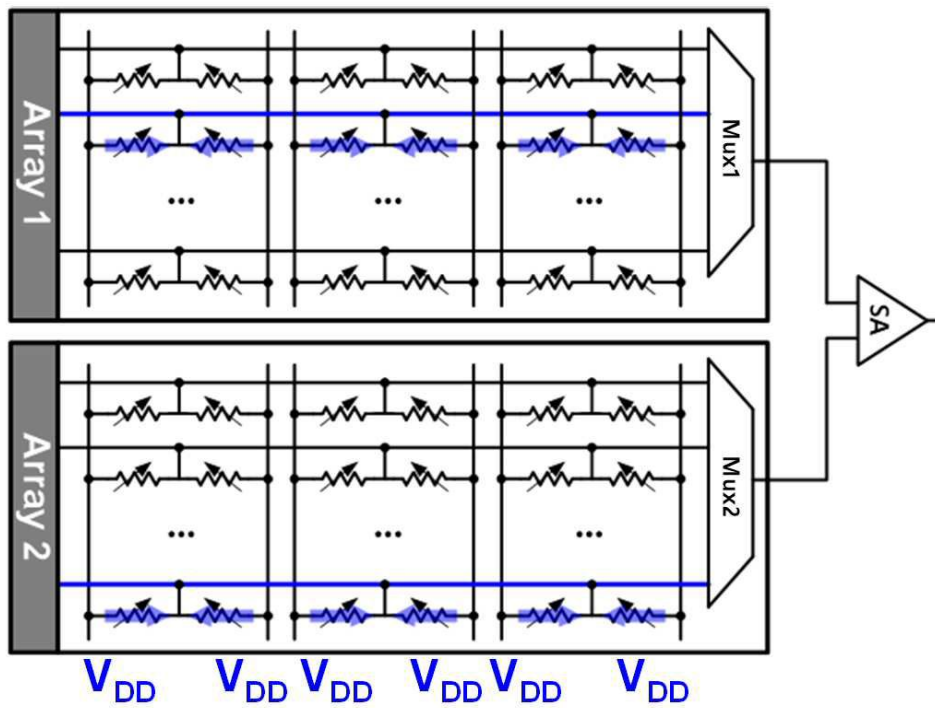
도면8



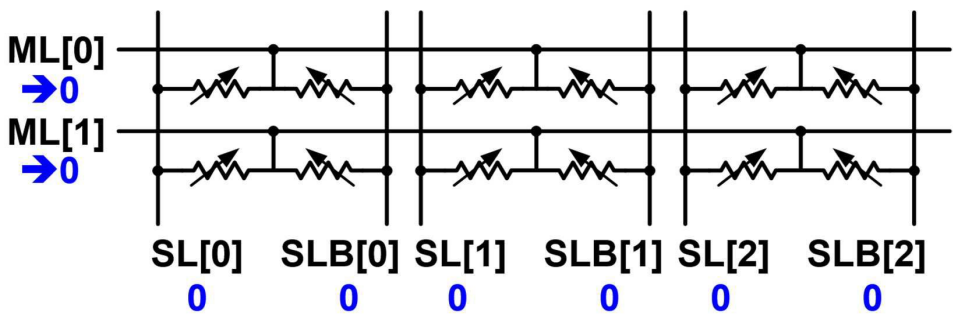
도면9



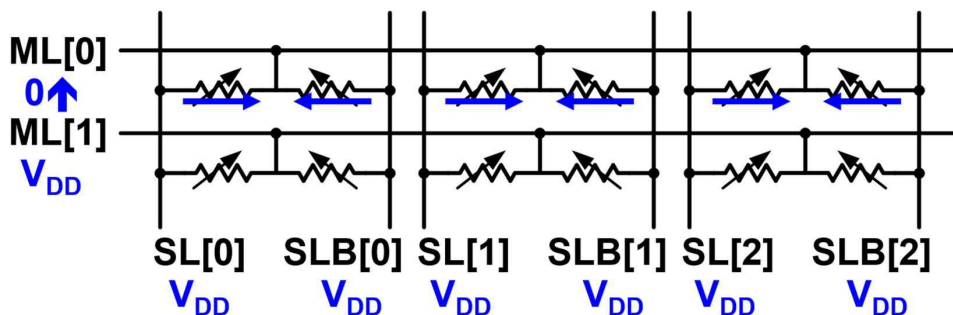
도면10



도면11



도면12



도면13

