



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년08월16일
(11) 등록번호 10-2567236
(24) 등록일자 2023년08월10일

(51) 국제특허분류(Int. Cl.)
H10B 41/30 (2023.01) H01L 29/78 (2006.01)
H01L 29/788 (2006.01) H01L 29/792 (2006.01)
H10B 43/30 (2023.01) H10B 53/30 (2023.01)
(52) CPC특허분류
H10B 41/30 (2023.02)
H01L 29/78391 (2015.01)
(21) 출원번호 10-2022-0016693
(22) 출원일자 2022년02월09일
심사청구일자 2022년02월09일
(56) 선행기술조사문헌
JP2003068890 A*
KR100431551 B1*
KR101789405 B1*
KR101973021 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
유경화
서울특별시 서초구 바우피로7길 51, 106동 1201호(우면동, 대림아파트)
이창준
서울특별시 은평구 진흥로1길 21, 301호(역촌동)
김명진
서울특별시 서대문구 연희로10길 24, 301호(연희동)
(74) 대리인
특허법인다나

전체 청구항 수 : 총 14 항

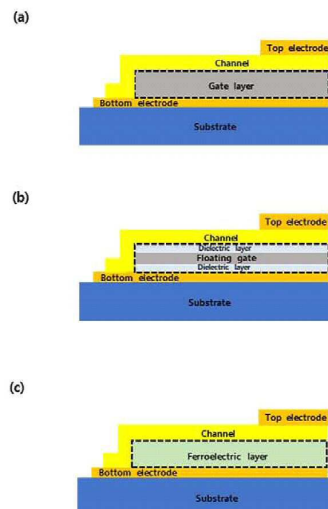
심사관 : 박세웅

(54) 발명의 명칭 자가 게이트 효과를 이용한 이단자 메모리 소자 및 이의 제조방법

(57) 요약

본 발명은 기판; 상기 기판 상에 배치된 제1 전극층; 상기 제1 전극층 상에 배치된 게이트 층; 상기 게이트 층 상부에 배치되며, 상기 제1 전극층의 일부와 연결된 채널 층(또는 반도체 층); 및 상기 반도체 층 상에 배치된 제2 전극층을 포함하며, 상기 반도체 층을 통해 정류 현상과 비휘발성 메모리 특성을 가지는 이단자 메모리 소자를 제공한다. 본 발명의 일 실시형태에 따르면, 셀렉터 없이 누설전류를 차단하면서도 안정적으로 구동 가능한 자가 게이트 효과를 이용한 2단자 메모리 소자를 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 29/788 (2013.01)

H01L 29/792 (2013.01)

H10B 43/30 (2023.02)

H10B 53/30 (2023.02)

명세서

청구범위

청구항 1

자가 게이트 효과를 이용한 셀렉터가 없는 이단자 메모리 소자로서,
기관;

상기 기관 상에 배치된 제1 전극층;

상기 제1 전극층 상에 배치된 게이트 층; 상기 게이트 층 상부에 배치되며, 상기 제1 전극층의 일부와 연결된 채널 층; 및

상기 채널 층 상에 배치된 제2 전극층을 포함하며,

상기 채널 층을 통해 정류 현상과 비휘발성 메모리 특성을 가지는 이단자 메모리 소자.

청구항 2

제1항에 있어서,

상기 게이트 층은 플로팅(floating) 게이트 층인 이단자 메모리 소자.

청구항 3

제2항에 있어서,

상기 플로팅(floating) 게이트 층은 두 절연층 사이에 배치된 이단자 메모리 소자.

청구항 4

제2항에 있어서,

상기 플로팅(floating) 게이트 층은 Au, Ag, Pt 및 Al을 포함하는 금속, 그래핀을 포함하는 반금속, 전이금속디칼코겐화합물(transition metal dichalcogenides, TMDC), n-type 및 p-type 실리콘을 포함하는 반도체 및 질화규소(Silicon nitride)를 포함하는 절연성 물질 중의 어느 하나 이상을 포함하는 이단자 메모리 소자.

청구항 5

제3항에 있어서,

상기 절연층은 육방정계 질화붕소(h-BN), 산화지르코늄(ZrO_2), 산화마그네슘(MgO), 산화알루미늄(Al_2O_3), 질화규소(Silicon nitride) 및 이산화규소(SiO_2)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 이단자 메모리 소자.

청구항 6

제1항에 있어서,

상기 게이트 층은 강유전체 층인 이단자 메모리 소자.

청구항 7

제6항에 있어서,

상기 강유전체 층은 강유전성 물질을 포함하며, 상기 강유전성 물질은 PVDF 및 P(VDF-TrFE)를 포함하는 강유전성 고분자, HfO_2 및 $HfZrO_2$ 를 포함하는 강유전성 금속산화물 및 $CuInP_2S_6$ 를 포함하는 강유전성 2차원 물질 중의 어느 하나 이상인 이단자 메모리 소자.

청구항 8

제1항에 있어서,

상기 채널 층은 전이금속디칼코겐화합물을 포함하는 이단자 메모리 소자.

청구항 9

자가 게이트 효과를 이용한 셀렉터가 없는 이단자 메모리 소자의 제조방법으로서,

기관 상에 제1 전극층을 형성하는 단계;

상기 제1 전극층 상에 게이트 층을 형성하는 단계;

상기 게이트 층 상부에 형성하며, 상기 제1 전극층의 일부와 연결되도록 채널 층을 형성하는 단계; 및

상기 채널 층 상에 제2 전극층을 형성하는 단계;를 포함하는 이단자 메모리 소자 제조방법.

청구항 10

제9항에 있어서,

상기 제1 전극층과 제2 전극층 사이에 걸리는 전압은 액티브 채널 바이어스(Active channel bias) 전압 및 게이트 전압의 기능을 가지며, 상기 채널 층을 통해 온/오프가 작동하는 이단자 메모리 소자 제조방법.

청구항 11

제9항에 있어서,

상기 이단자 메모리 소자는 정류 기능을 갖는 이단자 메모리 소자 제조방법.

청구항 12

자가 게이트 효과를 이용한 셀렉터가 없는 이단자 메모리 소자 크로스바 어레이로서,

복수 개가 제1 방향으로 이격 배치된 제1 전극층;

상기 제1 전극층 상에 배치된 게이트 층;

상기 게이트 층 상부에 배치되며, 상기 제1 전극층의 일부와 연결된 채널 층; 및

상기 채널 층 상에 배치되며, 제2 방향으로 이격 배치되는 제2 전극층을 포함하며,

상기 채널 층을 통해 정류 현상과 비휘발성 메모리 특성을 가지는 이단자 메모리 소자 크로스바 어레이.

청구항 13

제12항에 있어서,

상기 이단자 메모리 소자의 전류를 조절하여 논리곱/논리합(AND/OR) 로직(Logic)을 구현하는 이단자 메모리 소자 크로스바 어레이.

청구항 14

제12항에 있어서,

상기 제1 전극층과 상기 채널 층은 상부면 중 일부 영역이 외부로 노출된 형태인 이단자 메모리 소자 크로스바 어레이.

발명의 설명

기술 분야

본 발명은 자가 게이트 효과를 이용한 이단자 메모리 소자 및 이의 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 나노 테크놀로지가 발전함에 따라 반도체 소자를 작게 만들어 고집적화를 이루는 연구는 계속해서 진행되어 왔다.
- [0003] 무어의 법칙(Moore's law)에 따라 트랜지스터 사이즈는 점점 작아지고 있지만 물리적 한계에 봉착하고 있다. 이에 따라 기존보다 더 높은 집적도로 회로를 만들 필요성이 대두되고 있고 여러가지 해결방안이 연구되고 있다. 그 해결방안 가운데 하나는 2단자 소자이다. 소스, 드레인, 게이트 전극으로 대표되는 기존 3단자 소자와 달리 두개의 전극만을 사용함으로써 소자의 집적도를 보다 용이하게 높일 수 있는 장점을 지니고 있다.
- [0004] 또한, 최근 빅데이터를 기반으로 한 인공지능(AI, artificial intelligence)에 대한 관심이 점점 커지고 있다. 하지만 빅데이터를 기존의 폰 노이만(Von Neumann) 구조가 가지고 있는 컴퓨팅 시스템으로 처리하기에는 한계가 있고 이를 극복하기 위해 인간의 뇌를 모사하는 뉴로모픽(Neuromorphic) 연구가 크게 각광받고 있다. 2단자 소자는 crossbar array 형태로 제작할 경우 병렬 계산을 가능하게 해주며 뉴로모픽 연구에 적극적으로 응용될 수 있다.
- [0005] 따라서 2단자 소자는 최근 미래가치가 높은 차세대 소자로 주목받고 있다. 기존에 보고된 2단자 소자로는 이온의 움직임을 사용한 ReRAM(Resistive random access memory)이나, 상변이를 이용한 PCM(Phase change memory) 등이 있다.
- [0006] 하지만 이러한 기존의 2단자 소자들은 안정성이 떨어지고 누설전류(Sneak path)를 차단하기 위해 셀렉터(selector)의 추가적인 외부적 연결이 필요하므로, crossbar array 구조로 제작하여 응용하는 데에 어려움이 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 한국 공개특허공보 제10-2013-0142761호

발명의 내용

해결하려는 과제

- [0008] 본 발명은 상기의 문제점을 해결하기 위하여 셀렉터 없이 누설전류를 차단하면서도 안정적으로 구동가능한 “자가 게이트 효과를 이용한 2단자 메모리 소자” 및 이의 제조방법을 제공한다.

과제의 해결 수단

- [0009] 본 발명의 일 실시형태에 따르면, 기판; 상기 기판 상에 배치된 제1 전극층; 상기 제1 전극층 상에 배치된 게이트 층; 상기 게이트 층 상부에 배치되며, 상기 제1 전극층의 일부와 연결된 채널 층(또는 반도체 층); 및 상기 반도체 층 상에 배치된 제2 전극층을 포함하며, 상기 반도체 층을 통해 정류 현상과 비휘발성 메모리 특성을 가지는 이단자 메모리 소자를 제공한다.
- [0010] 상기 게이트 층은 플로팅(floating) 게이트 층일 수 있다.
- [0011] 플로팅 게이트 층은 두 절연층 사이에 형성될 수 있다.
- [0012] 플로팅 게이트 층은 전자를 트랩(trap)할 수 있는 물질을 제한 없이 사용할 수 있으며, 예를 들어 금속(Au, Ag, Pt, Al 등), 반금속(Graphene), 반도체(TMDs, n-type 및 p-type silicon) 또는 절연성 물질(Silicon nitride)과 같은 물질을 사용할 수 있다.
- [0013] 상기 절연층은 육방정계 질화붕소(h-BN), 산화지르코늄(ZrO_2), 산화마그네슘(MgO), 산화알루미늄(Al_2O_3), 질화규소(Silicon nitride), 또는 이산화규소(SiO_2)와 같은 절연성 물질이 될 수 있다.
- [0014] 일 예로서 상기 게이트 층은 그래핀층의 상부 및 하부에 육방정계 질화붕소(hexagonal Boron Nitride, h-BN)층이 적층된 형태일 수 있다.

- [0015] 상기 게이트 층은 강유전체 층일 수 있다.
- [0016] 상기 강유전체 층은 강유전성 물질을 포함할 수 있다. 상기 강유전성 물질은 이에 제한되는 것은 아니나, 강유전성 고분자(PVDF, P(VDF-TrFE)), 강유전성 금속산화물(HfO_2 , HfZrO_2), 또는 강유전성 2차원 물질(CuInP_2S_6)이 포함될 수 있다.
- [0017] 상기 반도체 층은 n-type 또는 p-type 실리콘(silicon), 또는 전이금속 칼코겐 화합물(TMDC, transition metal dechalcogenides)을 포함할 수 있다. TMDC는 MX_2 ($\text{M}=\text{Mo}$, W , $\text{X} = \text{S}$, Se)로 표시될 수 있고, 예를 들어 WS_2 , MoSe_2 , WSe_2 , 또는 이황화몰리브덴 (MoS_2)을 포함할 수 있다.
- [0018] 본 발명의 일 실시형태에서 상기 강유전체 층이 HfO_2 를 포함하고, 상기 반도체 층이 이황화몰리브덴 (MoS_2)을 포함함으로써, 높은 수준의 온/오프비(on/off ratio)를 얻을 수 있다.
- [0019] 본 발명의 다른 실시형태는, 기판 상에 제1 전극층을 형성하는 단계; 상기 제1 전극층 상에 게이트 층을 형성하는 단계; 상기 게이트 층 상부에 형성하며, 상기 제1 전극층의 일부와 연결되도록 반도체 층을 형성하는 단계; 및 상기 반도체 층 상에 제2 전극층을 형성하는 단계;를 포함하는 이단자 메모리 소자 제조방법을 제공한다.
- [0020] 상기 제1 전극층과 제2 전극층 사이에 걸리는 전압은 액티브 채널 바이어스(Active channel bias) 전압 및 게이트 전압의 기능을 가지며, 상기 반도체 층을 통해 온/오프가 작동한다.
- [0021] 상기 이단자 메모리 소자는 정류 기능을 가질 수 있다.
- [0022] 본 발명의 또 다른 실시형태에 따르면, 복수 개가 제1 방향으로 이격 배치된 제1 전극층; 상기 제1 전극층 상에 배치된 게이트 층; 상기 게이트 층 상부에 배치되며, 상기 제1 전극층의 일부와 연결된 채널 층; 및 상기 채널 층 상에 배치되며, 제2 방향으로 이격 배치되는 제2 전극층을 포함하며, 상기 채널 층을 통해 정류 현상과 비휘발성 메모리 특성을 가지는 이단자 메모리 소자 크로스바 어레이를 제공한다.
- [0023] 상기 이단자 메모리 소자의 전류를 조절하여 논리곱/논리합(AND/OR) 로직(Logic)을 구현할 수 있다.
- [0024] 상기 제1 전극층과 상기 반도체 층은 상부면 중 일부 영역이 외부로 노출된 형태일 수 있다.

발명의 효과

- [0025] 본 발명의 일 실시형태에 따르면, 셀렉트 없이 누설전류를 차단하면서도 안정적으로 구동 가능한 자가 게이트 효과를 이용한 2단자 메모리 소자를 제공할 수 있다.
- [0026] 또한, 본 발명의 일 실시형태에 따른 이단자 메모리 소자는 제1 전극층과 제2 전극층 사이에 걸리는 전압은 액티브 채널 바이어스(Active channel bias) 전압 및 게이트 전압의 기능을 가지며, 반도체 층을 통해 온/오프가 작동되기 때문에, 종래에 비하여 온/오프 ratio가 우수하다. 특히, 본 발명에서는 $V=+15\text{ V}$ 와 -15 V pulse (width, 1ms) 인가에 의해 $10^4 \sim 10^5$ 수준의 on/off ratio를 얻을 수 있었다.
- [0027] 또한, 본 발명의 일 실시형태에 따른 이단자 메모리 소자는 빛 펄스의 폭이 증가할수록 메모리 상태가 증가하는 것을 확인할 수 있었으며, 이를 바탕으로 멀티 레벨을 구현할 수 있다.
- [0028] 또한, 이단자 메모리 소자의 멀티 레벨 특성을 이용하여 상기 이단자 로직 인 메모리 소자의 전류를 조절함으로써, 논리곱/논리합(AND/OR) 로직(Logic)을 구현할 수 있다.

도면의 간단한 설명

- [0029] 도 1(a)는 본 발명의 일 실시형태에 따른 자가 게이트 효과를 이용한 2단자 메모리 소자, 도 1(b)는 게이트 층이 플로팅(Floating) 게이트 층일 경우, 도 1(c)는 게이트 층이 강유전체 층인 2단자 메모리 소자의 개략 단면도이다.
- 도 2는 본 발명의 비교예인 종래 FET(소자 1)와 본 발명의 실시예 1인 자가 게이트 소자(소자 2)를 비교한 도면이다. (a) 소자 1의 게이트 전압 변화에 따른 I-V Curve이고, (b) 소자 2의 게이트 전압 변화에 따른 I-V Curve를 나타낸다.
- 도 3은 본 발명의 다른 실시형태에 따른 자가 게이트 2단자 메모리 소자의 개략 단면도이다 (실시예 2: Floating gate 기반의 자가 게이트 2단자 메모리 소자(소자 3), 실시예 3: 강유전체 기반의 자가 게이트 2단자

메모리 소자(소자 4)): (a), (b)는 Floating gate를 게이트 층으로 이용한 소자 3의 I-V 특성 곡선 및 보존특성 테스트(Retention test) 결과이고, (c), (d)는 강유전체인 HfO_2 를 gate layer로 이용한 소자 4의 I-V 특성 곡선 및 보존특성 테스트(Retention test) 결과를 나타낸다.

도 4는 (a) 펄스 전압 세기 및 (b) 펄스 전압 폭에 따른 메모리 상태 변화를 나타낸 그래프이다.

도 5는 연속적인 펄스 전압 인가에 따른 멀티 메모리 레벨 예시를 나타내는 그래프이다: (a), (b)는 각각 100 개 양/음의 펄스 전압 인가, (c)는 연속적인 양의 펄스 전압 인가.

도 6은 본 발명의 일 실시형태에 따른 빛을 이용한 멀티레벨 소자의 작동 방식을 나타내는 개략 단면도이다.

도 7은 광 메모리 소자의 실제 적용 예시: (a) 빛 펄스 세기에 따른 메모리 상태 및 (b) 빛 펄스의 폭에 따른 메모리 상태를 나타낸다.

도 8은 본 발명의 일 실시형태에 따른 2단자 메모리 소자의 (a) 단면도, (b) 3차원 모식도 및 (c) 복수 개의 2 단자 메모리 소자를 연결한 크로스바 어레이의 개략 사시도이다.

도 9는 본 발명의 일 실시형태에 따른 2 x 2 크로스바 어레이 모식도이다.

도 10은 본 발명의 일 실시형태에 따른 크로스바 어레이에 전압을 인가한 상황을 나타낸다: (a)는 1~10번 순으로 V_{11} , V_{12} , V_{21} , V_{22} 에 전압을 인가하는 경우이고, (b)는 인풋 전압에 따른 아웃풋 전류 값들을 그레이 스케일 맵과 히스토그램이다.

도 11은 본 발명의 일 실시형태에 따른 2단자 메모리 소자를 이용한 논리곱/논리합(AND/OR) 로직 진리표(logic truth table)이다.

도 12는 본 발명의 일 실시형태에 따른 크로스바 어레이에서의 멀티 레벨 특성 예를 나타낸다: (a)는 양의 전압을 인가했을 때이고, (b)는 음의 전압을 인가했을 때이다.

도 13은 본 발명의 일 실시형태에 따른 2단자 메모리 소자를 이용한 재설정 가능 논리곱/논리합(AND/OR) 로직 실시 형태이다: (a) 0.1V를 logic '0', 1V를 logic '1'로 설정, (b) 총 전류에서 I_{TH} 값을 초과하면 logic '1', 미만이면 logic '0'으로 설정 및 (c) 양의 전압이 인가의 경우와 (d) 음의 전압이 인가의 경우 논리곱/논리합(AND/OR) 로직의 상호 스위칭을 나타내는 개략도.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 실시예를 통해 본 발명을 보다 구체적으로 설명한다. 그러나 이들 예는 본 발명의 이해를 돕기 위한 것일 뿐 어떠한 의미로든 본 발명의 범위가 이들 예로 한정되는 것은 아니다.

[0032] 1. 실시예

[0033] 도 1 (a)는 본 발명의 일 실시형태에 따른 자가 게이트 효과를 이용한 2단자 메모리 소자, 도 1 (b)는 게이트 층이 플로팅(Floating) 게이트 층일 경우, 도 1 (c)는 게이트 층이 강유전체 층인 2단자 메모리 소자의 개략 단면도이다.

[0034] 본 발명의 일 실시형태에 따르면, 기판; 상기 기판 상에 배치된 제1 전극층; 상기 제1 전극층 상에 배치된 게이트 층; 상기 게이트 층 상부에 배치되며, 상기 제1 전극층의 일부와 연결된 채널 층(또는 반도체 층); 및 상기 반도체 층 상에 배치된 제2 전극층을 포함하며, 상기 반도체 층을 통해 정류 현상과 비휘발성 메모리 특성을 가지는 이단자 메모리 소자를 제공한다 (도 1(a)).

[0035] 도 2는 본 발명의 비교예인 종래 FET(소자 1)와 본 발명의 실시예 1인 자가 게이트 소자(소자 2)를 비교한 도면이다. (a) 소자 1의 게이트 전압 변화에 따른 I-V Curve이고, (b) 소자 2의 게이트 전압 변화에 따른 I-V Curve를 나타낸다.

[0036] 도 2를 참조하면, 본 발명의 비교예인 종래 전계효과 트랜지스터(Field Effect Transistor, FET)(소자 1)는 3 단자 소자로서, n-type인 MoS_2 FET 경우 선형의 I-V 곡선이 게이트 전압에 따라 변화된다 (도 2(a)).

[0037] 그러나, 본 발명의 실시예 1인 자가 게이트 소자(소자 2)의 경우 도 2(b)와 같이 게이트 전압 변화에 따른 I-V Curve를 통해 정류 현상을 나타냄을 알 수 있다.

- [0038] 제1 전극층(Bottom electrode)과 제2 전극층(top electrode) 사이에 걸리는 전압이 액티브 채널 바이어스(active channel bias) 전압과 게이트 전압의 역할을 동시에 수행한다. (+) 전압이 걸리면 n-type 인 MoS_2 의 전기전도도가 높아져 전류가 잘 흐르는 LRS (Low Resistance State) 상태가 되는 반면 (-) 전압이 걸리면 MoS_2 의 전기전도도가 매우 낮아져서 전류가 잘 흐르지 않는 HRS (High resistance state) 상태가 된다.
- [0039] 기판은 신축성을 가지는 고분자 물질을 포함할 수 있으나, 이에 제한되지 않는다. 고분자 물질의 비제한적인 예는 폴리이미드(Polyimide) 또는 폴리디메틸실록산(Polydimethylsiloxane)을 포함한다.
- [0040] 제1 전극층(Bottom electrode)과 제2 전극층(top electrode)은 2단자 로직 인 메모리 소자의 전극으로서, 백금(Pt), 텅스텐(W), 금(Au), 팔라듐(Pd), 로듐(Rh) 이리듐(Ir), 루테튬(Ru), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 바나듐(V), 티타늄(Ti), 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni), 망간(Mn), 주석(Sn) 및 이의 합금일 수 있고, 상기 금속 또는 합금을 포함하는 질화물이거나 또는 산화물일 수 있다. 또한 그래핀(graphene), 그라파이트(graphite), 탄소나노튜브 및 풀러렌(fullerene) 중 어느 하나 이상일 수 있다. 특히 일 실시예에 따르면, 상기 제1 전극층(Bottom electrode)과 제2 전극층(top electrode)은 그래핀(graphene) 및/또는 금(Au)일 수 있다.
- [0041] 상기 제1 전극층(Bottom electrode)과 제2 전극층(top electrode)은 20nm 내지 100nm의 두께를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0042] 제1 전극층의 일부는 게이트 층 상부의 일부 또는 채널 층 일부에 형성되어 채널 층과 연결될 수 있다.
- [0043] 제1 전극층과 제2 전극층은 서로 상이한 방향으로 배열될 수 있다. 예를 들어 제1 전극층은 제1 방향을 따라 형성되고 제2 전극층은 제1방향과 상이한 제2 방향을 따라 형성될 수 있다.
- [0044] 제1 전극층과 제2 전극층은 각각 기판 및 채널층의 일부면에 형성될 수 있다. 따라서 기판 및 채널층의 다른 면은 각각 제1 전극층과 제2 전극층이 형성되지 않아 외부에 노출된 일부 영역을 가질 수 있다.
- [0045] 상기 게이트 층은 절연성을 가지는 물질을 포함할 수 있다. 상기 절연성을 가지는 물질은 육방정계 질화붕소(h-BN), 산화지르코늄(ZrO_2), 산화마그네슘(MgO), 산화알루미늄(Al_2O_3), 산화하프늄(HfO_2), 질화규소(Silicon nitride) 및 이산화 규소(SiO_2)로 이루어진 군에서 선택된 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다. 일 구체예에서 게이트 층은 육방정계 질화붕소(hexagonal Boron Nitride, h-BN)을 포함할 수 있다.
- [0046] 상기 게이트 층의 두께는 20nm 내지 100nm의 두께를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0047] 상기 게이트 층은 제1 전극층의 일부면에 형성될 수 있다. 이 경우 제1 전극층의 다른 면은 게이트 층이 형성되지 않아 외부에 노출된 일부 영역을 가질 수 있다. 또한 게이트 층이 형성되지 않은 제1 전극층 일부 영역은 외부에 노출된 일부 영역 이외에 채널 층이 형성된 일부 영역도 포함할 수 있다.
- [0048] 다른 실시예에서, 제1 전극층이 서로 이격된 한쌍은 전극인 경우, 게이트 층의 일부는 제1 전극층이 이격된 영역에서 기판과 직접 접촉할 수 있다.
- [0049] 상기 채널 층(또는 반도체 층)은 n-type 또는 p-type 실리콘(silicon)이나 전이금속디칼코겐화합물(transition metal dichalcogenides, TMDC)을 포함할 수 있다. TMDC는, 예를 들어, 이황화 몰리브덴(MoS_2), 텅스텐 디셀레나이드(WSe_2), 이황화 텅스텐(WS_2), 및 이셀렌화 몰리브덴(MoSe_2)로 이루어진 그룹 중에서 선택된 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0050] 상기 채널 층은 게이트 층의 상부 면에 형성되고, 게이트 층의 일 측면과 제1 전극 층의 일부 영역까지 연장될 수 있다.
- [0051] 도 3은 본 발명의 다른 실시형태에 따른 자가 게이트 2단자 메모리 소자의 개략 단면도이다 (실시예 2: Floating gate 기반의 자가 게이트 2단자 메모리 소자(소자 3), 실시예 3: 강유전체 기반의 자가 게이트 2단자 메모리 소자(소자 4)): (a), (b)는 Floating gate를 게이트 층으로 이용한 소자 3의 I-V 특성 곡선 및 보존특성 테스트(Retention test) 결과이고, (c), (d)는 강유전체인 HfO_2 를 gate layer로 이용한 소자 4의 I-V 특성 곡선 및 보존특성 테스트(Retention test) 결과를 나타낸다. 보존특성 테스트(Retention test)는 0.1 V의 Reading voltage에서 진행되었다. 전압 pulse를 1ms 동안 +15 V 또는 -15 V를 인가하여 각각 LRS와 HRS를 만들었다.

- [0052] 도 3을 참조하면, 상기 게이트 층은 플로팅(floating) 게이트 층일 수 있으며, 일 예로서 상기 게이트 층은 그래핀층의 상부 및 하부에 육방정계 질화붕소(hexagonal Boron Nitride, h-BN)층이 적층된 형태일 수 있다(실시예 2: Floating gate 기반의 자가 게이트 2단자 메모리 소자(소자 3)).
- [0053] 상기 게이트 층은 강유전체 층일 수 있으며, 상기 게이트 층은 육방정계 질화붕소(hexagonal Boron Nitride, h-BN)층 하부에 강유전체 층이 적층된 형태일 수 있다(실시예 3: 강유전체 기반의 자가 게이트 2단자 메모리 소자(소자 4)).
- [0054] 상기 강유전체 층은 절연성 금속산화물을 포함할 수 있다. 상기 절연성 금속산화물은 이에 제한되는 것은 아니나, 예를 들어 Al_2O_3 , HfO_2 , ZrO_2 및 MgO 로부터 선택되는 1종 이상을 포함할 수 있고, 바람직하게는 HfO_2 일 수 있다.
- [0055] 도 3에서 보는 바와 같이 전하를 트랩(trap)할 수 있는 플로팅 게이트(floating gate)나 강유전체를 게이트 층(gate layer)으로 사용하면 정류 현상뿐만 아니라 비휘발성 메모리 특성을 보이는 소자를 구현할 수 있다.
- [0056] 도 3(a)는 플로팅 게이트(floating gate)를 게이트 층(gate layer)으로 이용한 소자 3의 I-V 특성 곡선이다. 초기에 (-) 전압을 걸어주면 MoS_2 의 전기전도도가 낮아져서 전류가 거의 흐르지 않으며 (-)전압에 의해 그래핀 층(graphene layer)으로 터널링(tunneling)한 전자들이 $V=0$ V 상태에서 그래핀 층(graphene layer)에 트랩(trap)되기 때문에 계속 HRS 상태가 유지된다. 하지만 (+) 전압의 크기가 커지면 트랩(trap)되어 있던 전자들이 방출(release)되어 흐르는 전류의 값이 커지므로 LRS 상태로 스위칭(switching)된다. 다시 말해 $V=+15$ V와 -15 V pulse (width, 1ms)를 이용하여 10^4 수준의 온/오프(on/off) ratio를 얻을 수 있었으며 보존 시간(retention time)은 2×10^4 초 보다 더 길었다 (도 3(b)).
- [0057] 도 3(c)는 강유전체인 HfO_2 를 게이트 층(gate layer)으로 이용한 소자 4의 I-V 특성곡선이다. 인가 전압에 의한 분극 이력(polarization hysteresis)를 보이는 강유전체 특성 때문에 소자 3과 유사한 정류현상과 비휘발성 메모리 특성을 보이는 I-V 곡선을 얻을 수 있었다. $V=+15$ V 와 -15 V pulse (width, 1ms) 인가에 의해 $10^4 \sim 10^5$ 수준의 on/off ratio를 얻을 수 있었다 (도 3(d)).
- [0058] 상기 반도체 층은 이황화몰리브덴 (MoS_2)을 포함할 수 있다. 본 발명의 일 실시형태에서 상기 강유전체 층이 HfO_2 를 포함하고, 상기 반도체 층이 이황화몰리브덴 (MoS_2)을 포함함으로써, 높은 수준의 온/오프 ratio를 얻을 수 있다.
- [0059] 본 발명의 다른 실시형태는, 기판 상에 제1 전극층을 형성하는 단계; 상기 제1 전극층 상에 게이트 층을 형성하는 단계; 상기 게이트 층 상부에 형성하며, 상기 제1 전극층의 일부와 연결되도록 반도체 층을 형성하는 단계; 및 상기 반도체 층 상에 제2 전극층을 형성하는 단계;를 포함하는 이단자 메모리 소자 제조방법을 제공한다.
- [0060] 상기 제1 전극층과 제2 전극층 사이에 걸리는 전압은 액티브 채널 바이어스(Active channel bias) 전압 및 게이트 전압의 기능을 가지며, 상기 반도체 층을 통해 온/오프가 작동한다. 상기 이단자 로직 인 메모리 소자는 정류 기능을 가질 수 있다.
- [0062] **2. 응용예**
- [0063] **(멀티레벨 소자)**
- [0064] 멀티레벨 소자는 기존 메모리 소자가 0과 1의 메모리 상태를 지닌 것과는 다르게, 0과 1사이에 여러가지 메모리 상태(멀티레벨)를 지닐 수 있는 소자이다. 이러한 멀티 레벨을 구현하기 위해서는 플로팅 게이트 소자의 경우, 플로팅 게이트에 출입하는 전자의 양을 미세하게 조절하고, 강유전체 소자의 경우에는 분극(Polarization)의 방향을 미세하게 조절해야 한다. 그러므로 전자의 양과 분극(Polarization)의 방향을 미세하게 조절하기 위해서는 전압을 펄스로 인가해야 한다.
- [0065] 도 4는 펄스 전압을 본 소자에 인가하고 1V 전압으로 해당 메모리 상태를 읽었을 때를 전류-시간 그래프로 나타낸 것이다. 도 4 (a)와 같이 펄스의 세기가 강해질수록 따라서 메모리 상태가 점진적으로 증가함을 알 수 있으며, 도 4 (b)는 펄스 전압의 폭이 증가할수록 메모리 상태가 증가하는 것을 확인할 수가 있다. 이를 통해 본 소자의 펄스 전압 및 폭에 따른 메모리 상태의 의존성을 확인할 수 있으며, 이를 바탕으로 멀티 레벨을 구현할 수 있다.

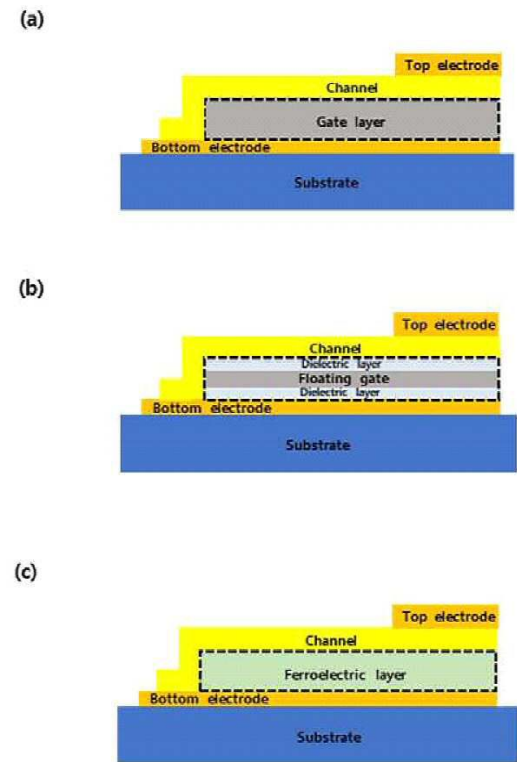
- [0066] 도 5는 100개의 연속적인 펄스 전압을 인가했을 때 100개의 메모리 상태가 구현되는 것을 전류-펄스 개수 그래프를 통해 나타낸 것이다. 도 5(a), 5(b)는 각각 100개 양/음의 펄스 전압을 인가했을 때 전류가 증가/감소하는 방식으로 100개의 메모리 상태가 구현됨을 확인할 수 있다. 도 5(c)는 연속적인 양의 펄스 전압을 인가한 직후, 연속적인 음의 펄스 전압을 인가한 상황이며, 다양한 세트의 양/음 펄스 전압에서도 멀티 메모리 레벨이 성공적으로 구현될 수 있음을 확인할 수 있다.
- [0067] (빛을 이용한 멀티레벨 소자)
- [0068] 도 6은 본 발명의 일 실시형태에 따른 빛을 이용한 멀티레벨 소자의 작동 방식을 나타내는 개략 단면도이다.
- [0069] 플로팅 게이트 메모리 소자의 경우, 도 6(a)와 같이 빛을 소자에 입사하면 플로팅 게이트에 갇혀 있던 전자들이 밖으로 탈출할 수 있게 되어 도 6(b)와 같이 LRS가 된다. 그러므로 빛의 양을 미세하게 조절할 수 있다면 멀티 메모리 레벨을 구현할 수 있다.
- [0070] 도 7은 광 메모리 소자의 실제 적용 예시: (a) 빛 펄스 세기에 따른 메모리 상태 및 (b) 빛 펄스의 폭에 따른 메모리 상태를 나타낸다.
- [0071] 도 7은 100개의 빛 펄스를 이용해 100개의 메모리 상태가 구현되는 것을 전류-펄스 개수 그래프를 통해 나타낸 것이다. 도 7(a)와 같이 빛 펄스의 세기가 강해질수록 따라서 메모리 상태가 점진적으로 증가함을 알 수 있으며, 도 7(b)는 빛 펄스의 폭이 증가할수록 메모리 상태가 증가하는 것을 확인할 수가 있다. 이를 통해 본 소자의 빛 펄스 세기 및 폭에 따른 메모리 상태의 의존성을 확인할 수 있으며, 이를 바탕으로 멀티 레벨을 구현할 수 있다.
- [0072] 도 8은 본 발명의 일 실시형태에 따른 2단자 메모리 소자의 (a) 단면도, (b) 3차원 모식도 및 (c) 복수 개의 2단자 메모리 소자를 연결한 크로스바 어레이의 개략 사시도이다.
- [0073] 본 발명의 또 다른 실시형태에 따르면, 복수 개가 제1 방향으로 이격 배치된 제1 전극층; 상기 제1 전극층 상에 배치된 게이트 층; 상기 게이트 층 상부와 측면에 배치되며, 상기 제1 전극층 상부에 배치되어 상기 제1 전극층과 연결된 채널 층; 및 상기 채널 층 상에 배치되며, 제2 방향으로 이격 배치되는 제2 전극층을 포함하며, 상기 채널 층을 통해 정류 현상과 비휘발성 메모리 특성을 가지는 이단자 로직 인 메모리 소자 크로스바 어레이를 제공한다.
- [0074] 상기 제1방향과 제2방향은 서로 상이하고, 직교하는 방향일 수 있으나 이에 제한되지 않는다.
- [0075] 상기 제1 전극층과 상기 반도체 층은 상부면 중 일부 영역이 외부로 노출된 형태일 수 있다.
- [0076] 이로 인하여, 본 발명의 일 실시형태에 따르면, 셀렉터 없이 누설전류를 차단하면서도 안정적으로 구동 가능한 자가 게이트 효과를 이용한 2단자 로직 인 메모리 (Logic in memory) 소자를 제공할 수 있다.
- [0077] 크로스바 어레이란 도 8(c)와 같이 여러 개의 소자를 제1 전극층(Bottom electrode)과 제2 전극층(Top electrode)이 서로 교차(Cross)되게 연결한 어레이(array) 형태를 말한다. 본 발명에서 제안한 2단자 메모리 소자 (도 8(a))를 3차원 모식도로 나타내면 도 8(b)과 같이 제1 전극층(Bottom electrode)과 제2 전극층(Top electrode)이 서로 교차되어 있음을 알 수 있다. 그러므로 여러 개의 2단자 메모리 소자를 도 8(c)와 같이 크로스바 어레이로 제작할 수 있음을 확인할 수 있다.
- [0078] 도 9는 2단자 메모리 소자를 이용해서 실제로 구현된 2x2 크로스바 어레이의 모식도이다. 2단자 메모리 소자를 R로 표기를 하였고, 파란색 줄로 표시된 1번과 빨간색 줄로 표시된 1번이 교차된 위치를 R_{11} 로 명명하였다. 마찬가지로 R_{11} 에 인가된 전압을 V_{11} 로 명명하였다.
- [0079] 도 10은 2x2 크로스바 어레이에 전압을 인가했을 때의 상황이다. 도 10(a)는 1~10번 순으로 V_{11} , V_{12} , V_{21} , V_{22} 에 전압을 인가하게 되는 상황이다. 도 10(b)는 인풋 전압에 따른 아웃풋 전류 값들을 그레이 스케일 맵과 히스토그램으로 나타내었으며, 이를 통해 2x2 크로스바를 구성하는 각 셀이 ON/OFF가 정상적으로 작동함을 확인할 수 있다.
- [0080] 도 11은 본 발명의 일 실시형태에 따른 2단자 메모리 소자를 이용한 논리곱/논리합(AND/OR) 로직 진리표(logic truth table)이다.
- [0081] 도 11을 참조하면, 상기 이단자 로직 인 메모리 소자의 전류를 조절하여 논리곱/논리합(AND/OR) 로직(Logic)을

구현할 수 있다.

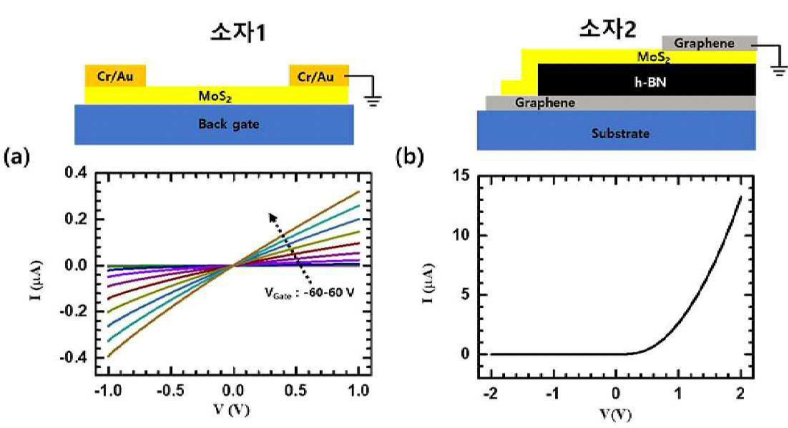
- [0082] 재설정 가능 논리곱/논리합 로직 게이트(Reconfigurable AND/OR logic gate)란 도 11과 같이 논리곱/논리합(AND/OR) 로직(Logic) 결과를 AND에서 OR로, OR에서 AND로 전환할 수 있는 특성을 지녔다. 2단자 메모리 소자의 멀티 레벨 특성을 이용한다면 재설정 가능 논리곱/논리합 로직(Reconfigurable AND/OR logic)을 구현할 수 있다.
- [0083] 도 12는 본 발명의 일 실시형태에 따른 크로스바 어레이에서의 멀티 레벨 특성 예를 나타낸다: (a)는 양의 전압을 인가했을 때이고, (b)는 음의 전압을 인가했을 때이다.
- [0084] 도 12는 크로스바 어레이에서 R_1 과 R_3 의 전류를 변화시킬 수 있을 정도로 전압을 인가한 후, 0.1V, 1V의 전압을 인가하여 R_1 과 R_3 에 흐르는 총 전류를 측정하고 있는 상황이다. 도 12(a)는 양의 전압을 인가했을 때의 상황으로, 총 전류가 파란선에서 빨간선 방향으로 증가함을 확인할 수 있다. 도 12(b)는 음의 전압을 인가했을 때, 총 전류가 빨간선에서 파란선 방향으로 감소함을 보여주고 있다.
- [0085] 도 13은 본 발명의 일 실시형태에 따른 2단자 메모리 소자를 이용한 재설정 가능 논리곱/논리합(AND/OR) 로직 실시 형태이다: (a) 0.1V를 logic '0', 1V를 logic '1'로 설정, (b) 총 전류에서 I_{TH} 값을 초과하면 logic '1', 미만이면 logic '0'으로 설정 및 (c) 양의 전압이 인가의 경우와 (d) 음의 전압이 인가의 경우 논리곱/논리합(AND/OR) 로직의 상호 스위칭을 나타내는 개략도이다.
- [0086] 이러한 상황에서 도 13(a)와 같이 0.1V를 logic '0', 1V를 logic '1'이라고 정하고, 도 13(b)와 같이 총 전류에서 I_{TH} 값을 초과하면 logic '1', 미만이면 logic '0'이라고 정의를 한다면, 도 13(c)와 같이 0-2초에서는 인풋이 00이 입력되고, 2-4초에는 10, 4-6초에는 01, 6-8초에는 11의 logic 값이 입력되게 된다. 그러므로 총전류는 초기에는 각각 0,0,0,1의 결과값을 내는 AND logic이 가능하고, 양의 전압이 인가된 후에는 OR logic으로서 구현될 수 있다. 도 13(d)는 음의 전압이 인가된 상황이며 OR logic에서 AND logic으로 바꿀 수 있음을 확인할 수 있다. 이와 같이 크로스바 어레이에서 2단자 메모리의 전류의 증감을 이용하면 재설정 가능 논리곱/논리합 로직(Reconfigurable AND/OR logic)을 구현할 수 있다.
- [0087] 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어서 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변경이 가능하므로 전술한 실시예에 한정되는 것은 아니다.

도면

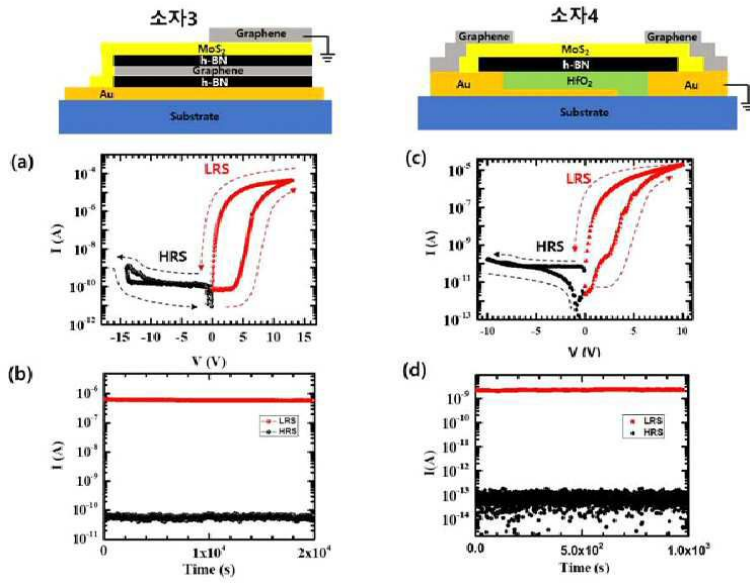
도면1



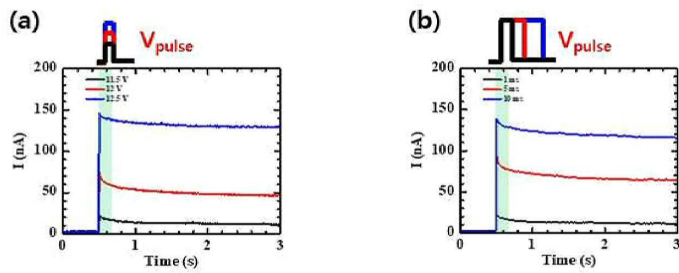
도면2



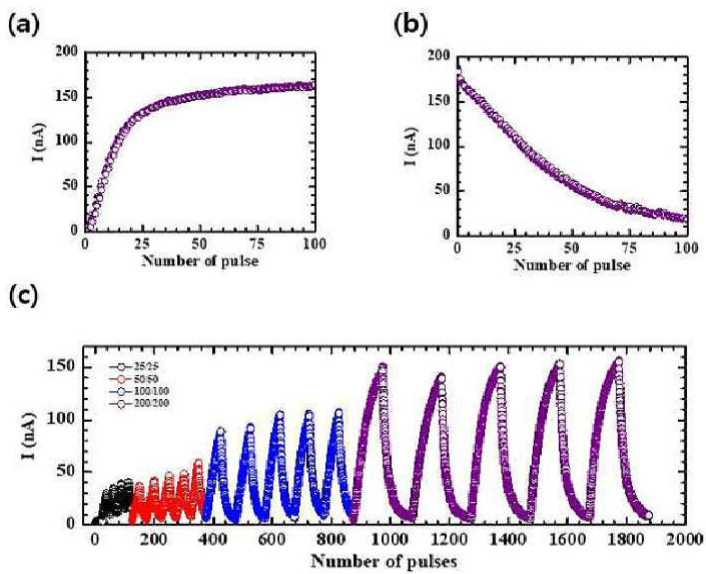
도면3



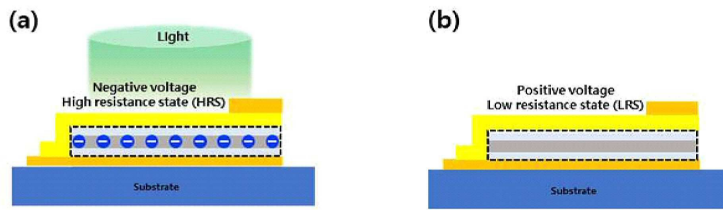
도면4



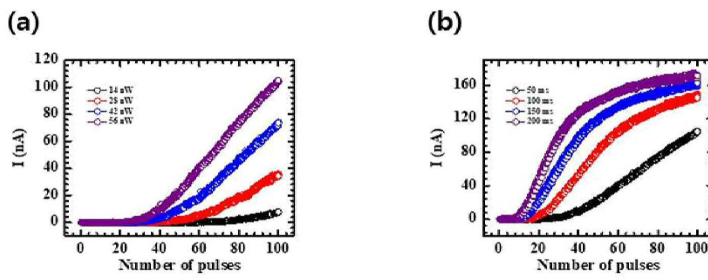
도면5



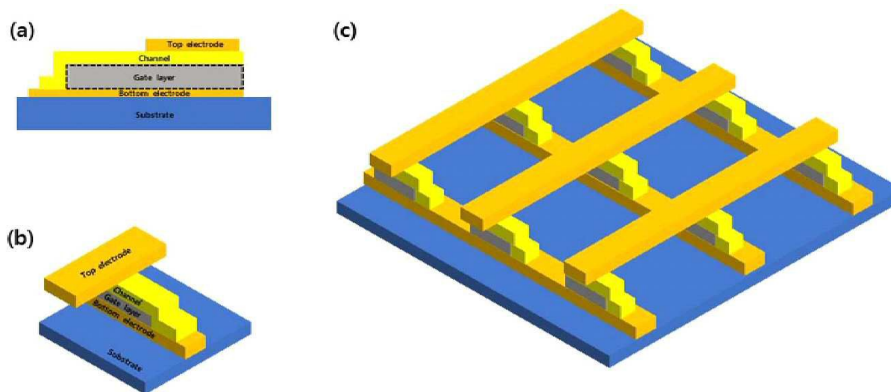
도면6



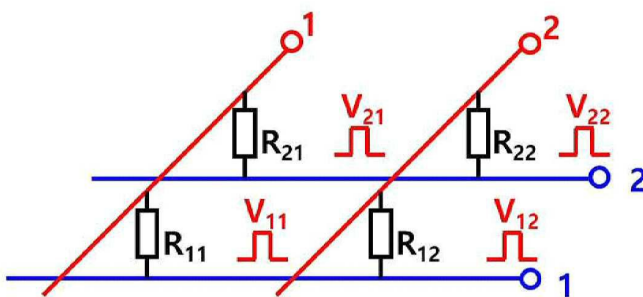
도면7



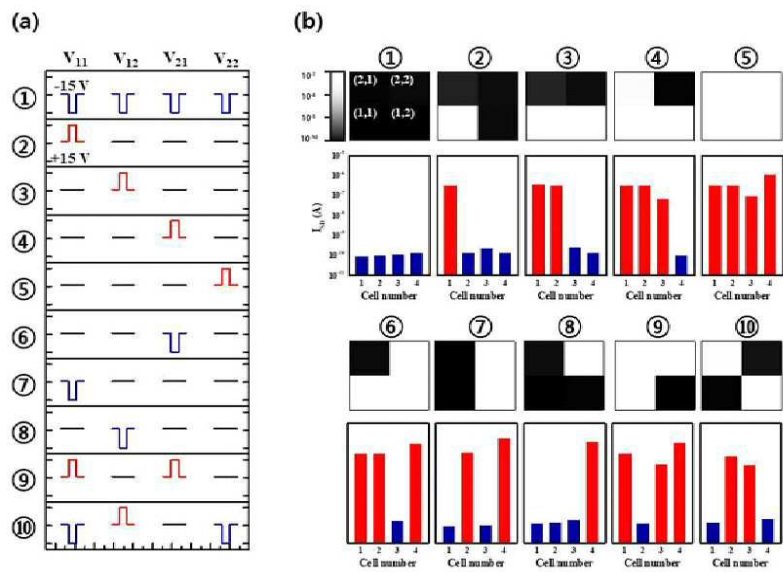
도면8



도면9



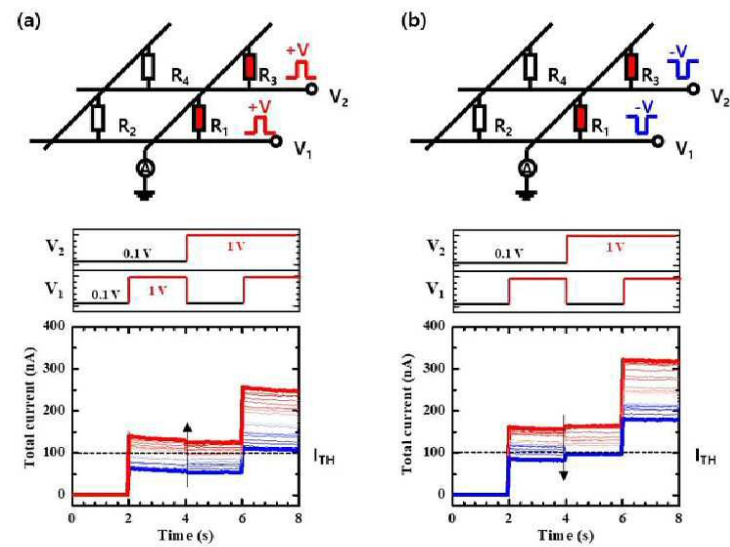
도면10



도면11

V_1	V_2	I_{AND}	I_{OR}
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	1

도면12



도면13

