



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월26일
(11) 등록번호 10-2535875
(24) 등록일자 2023년05월18일

(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) G11C 11/22 (2006.01)
(52) CPC특허분류
G11C 15/046 (2013.01)
G11C 11/2255 (2013.01)
(21) 출원번호 10-2021-0124496
(22) 출원일자 2021년09월17일
심사청구일자 2021년09월17일
(65) 공개번호 10-2023-0041186
(43) 공개일자 2023년03월24일
(56) 선행기술조사문헌
KR1020190114919 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)
임세희
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)
(74) 대리인
민영준

전체 청구항 수 : 총 13 항

심사관 : 윤석채

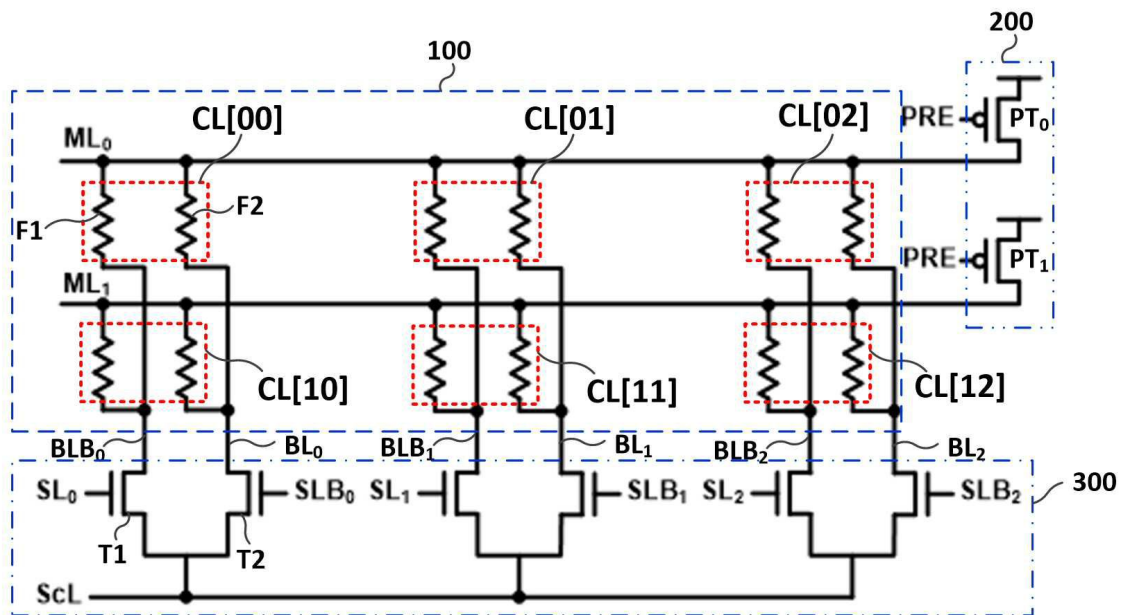
(54) 발명의 명칭 자기-정류 강유전체 터널 접합 소자 기반 내용 주소화 메모리

(57) 요약

본 발명은 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 비트라인 쌍 중 대응하는 비트라인 쌍 사이에 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)를 각각 포함하는 다수의 TCAM 셀을

(뒷면에 계속)

대표도 - 도4



구비하는 셀 어레이부, 프리차지 신호에 응답하여 다수의 매치라인 중 대응하는 매치라인을 전원 전압 레벨로 프리차지하는 프리차지부, 및 라이트 또는 검색하고자 하는 데이터 따라 다수의 검색라인 쌍 중 대응하는 검색라인 쌍을 통해 인가되는 전압에 응답하여, 다수의 비트라인 쌍 중 대응하는 비트라인 쌍과 소스라인을 전기적으로 연결하거나 차단하는 다수의 액세스 트랜지스터 쌍을 구비하는 데이터 입출력부를 포함하여, 초소형으로 제조될 수 있으며, 라이트 디스터번스를 유발하지 않고 검색시 소모되는 에너지를 크게 줄일 수 있는 자기-정류 강유전체 터널 접합 소자 기반 내용 주소화 메모리를 제공한다.

(52) CPC특허분류

G11C 11/2275 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130292
과제번호	2019M3F3A1A02071969
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	혁신성장연계지능형반도체선도기술개발(R&D)
연구과제명	전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 비트라인 쌍 중 대응하는 비트라인 쌍 사이에 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)를 각각 포함하는 다수의 TCAM 셀을 구비하는 셀 어레이부;

프리차지 신호에 응답하여 상기 다수의 매치라인 중 대응하는 매치라인을 전원 전압 레벨로 프리차지하는 프리차지부; 및

라이트 또는 검색하고자 하는 데이터 따라 다수의 검색라인 쌍 중 대응하는 검색라인 쌍을 통해 인가되는 전압에 응답하여, 상기 다수의 비트라인 쌍 중 대응하는 비트라인 쌍과 소스라인을 전기적으로 연결하거나 차단하는 다수의 액세스 트랜지스터 쌍을 구비하는 데이터 입출력부를 포함하는 TCAM.

청구항 2

제1항에 있어서, 상기 다수의 TCAM 셀 각각은

대응하는 매치라인과 대응하는 비트라인 쌍의 비트라인바 사이에 연결되는 제1 SR-FTJ; 및

대응하는 매치라인과 대응하는 비트라인 쌍의 비트라인 사이에 연결되는 제2 SR-FTJ를 포함하는 TCAM.

청구항 3

제2항에 있어서, 상기 다수의 TCAM 셀 각각은

라이트 동작에 의해 데이터 "0"이 저장되는 경우 상기 제1 SR-FTJ는 저저항 상태(Low Resistance State: LRS)를 갖고 상기 제2 SR-FTJ는 고저항 상태(High Resistance State: HRS)를 가지며,

데이터 "1"이 저장되는 경우 상기 제1 SR-FTJ는 고저항 상태 갖고 상기 제2 SR-FTJ는 저저항 상태를 가지며,

데이터 "X"(don't care)가 저장되는 경우에는 상기 제1 및 제2 SR-FTJ가 모두 고저항 상태를 갖는 TCAM.

청구항 4

제3항에 있어서, 상기 다수의 액세스 트랜지스터 쌍 각각은

대응하는 비트라인 쌍의 비트라인바와 상기 소스라인 사이에 연결되고 게이트로 대응하는 검색라인 쌍의 검색라인이 연결되는 제1 액세스 트랜지스터; 및

대응하는 비트라인 쌍의 비트라인과 상기 소스라인 사이에 연결되고 게이트로 대응하는 검색라인 쌍의 검색라인바가 연결되는 제2 액세스 트랜지스터를 포함하는 TCAM.

청구항 5

제4항에 있어서, 상기 TCAM은

제1 단계 및 제2 단계로 구분되는 라이트 동작의 제1 단계에서 데이터와 함께 인가되는 어드레스에 대응하는 매치라인을 선택하여 라이트 전압(V_W)을 기준으로 $-V_W/2$ 전압을, 선택되지 않은 매치라인으로 접지 전압을 인가하고, 상기 소스라인으로 $V_W/2$ 전압을 인가하여, 상기 다수의 TCAM 셀 중 선택된 매치에 대응하는 TCAM 셀의 상기 제1 SR-FTJ 또는 상기 제2 SR-FTJ가 대응하는 검색라인 쌍을 통해 인가되는 전압 레벨에 따라 고저항 상태를 갖는 TCAM.

청구항 6

제5항에 있어서, 상기 TCAM은

상기 다수의 검색라인 쌍 중 대응하는 검색라인 쌍의 검색라인과 검색라인바 각각으로 접지 전압과 $V_{\text{th}}/2$ 전압이 인가되면, 선택된 매치라인에 연결된 다수의 TCAM 셀 중 대응하는 TCAM 셀의 상기 제2 SR-FTJ가 고저항 상태를 갖고,

대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 $V_{\text{th}}/2$ 전압과 접지 전압이 인가되면, 선택된 매치라인에 연결된 대응하는 TCAM 셀의 상기 제1 SR-FTJ가 고저항 상태를 가지며,

대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 $V_{\text{th}}/2$ 전압이 인가되면, 선택된 매치라인에 연결된 대응하는 TCAM 셀의 상기 제1 및 제2 SR-FTJ가 고저항 상태를 갖는 TCAM.

청구항 7

제6항에 있어서, 상기 TCAM은

상기 라이트 동작의 제2 단계에서 선택된 매치라인으로 $V_{\text{th}}/2$ 전압을, 선택되지 않은 매치라인으로 접지 전압을 인가하고, 상기 소스라인으로 $-V_{\text{th}}/2$ 전압을 인가하여, 상기 다수의 TCAM 셀 중 선택된 매치에 대응하는 TCAM 셀의 상기 제1 SR-FTJ 또는 상기 제2 SR-FTJ가 대응하는 검색라인 쌍을 통해 인가되는 전압 레벨에 따라 저저항 상태를 갖는 TCAM.

청구항 8

제7항에 있어서, 상기 TCAM은

대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 접지 전압과 $-V_{\text{th}}/2$ 전압이 인가되면, 선택된 매치라인에 연결된 다수의 TCAM 셀 중 대응하는 TCAM 셀의 상기 제1 SR-FTJ가 저저항 상태를 갖고,

대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 $-V_{\text{th}}/2$ 전압과 접지 전압이 인가되면, 선택된 매치라인에 연결된 대응하는 TCAM 셀의 상기 제2 SR-FTJ가 저저항 상태를 가지는 TCAM.

청구항 9

제8항에 있어서, 상기 다수의 TCAM 셀의 제1 및 제2 SR-FTJ는

상기 라이트 동작의 제1 단계에서 바디 전압으로 접지 전압이 인가되고, 제2 단계에서 $-V_{\text{th}}/2$ 전압이 인가되는 TCAM.

청구항 10

제8항에 있어서, 상기 프리차지부는

전원 전압과 상기 다수의 매치라인 중 대응하는 매치라인 사이에 연결되고 게이트로 상기 프리차지 신호를 인가 받는 다수의 프리차지 트랜지스터를 포함하는 TCAM.

청구항 11

제10항에 있어서, 상기 다수의 프리차지 트랜지스터 각각은

프리차지 단계와 평가 단계로 구분되는 검색 동작의 프리차지 단계에서 접지 전압 레벨로 활성화된 상기 프리차지 신호에 응답하여 턴온되어 상기 다수의 매치라인 중 대응하는 매치라인을 전원 전압 레벨로 프리차지하고, 상기 라이트 동작과 상기 평가 단계에서 전원 전압 레벨로 비활성화된 상기 프리차지 신호에 응답하여 턴오프되는 TCAM.

청구항 12

제11항에 있어서, 상기 TCAM은

상기 프리차지 단계에서 상기 소스라인과 상기 다수의 검색라인 쌍 각각의 상기 검색라인과 상기 검색라인바로 전원 전압을 인가하여 상기 다수의 비트라인 쌍의 비트라인바와 비트라인을 전원 전압 레벨로 프리차지하는

TCAM.

청구항 13

제12항에 있어서, 상기 TCAM은

상기 평가 단계에서 상기 소스라인으로 접지 전압을 인가하고,

검색하고자 하는 데이터가 "0"이면, 상기 검색라인과 상기 검색라인바 각각으로 상기 접지 전압과 상기 전원 전압을 인가하며,

검색하고자 하는 데이터가 "1"이면, 상기 검색라인과 상기 검색라인바 각각으로 상기 전원 전압과 상기 접지 전압을 인가하는 TCAM.

발명의 설명

기술 분야

[0001] 본 발명은 내용 주소화 메모리에 관한 것으로, 자기-정류 강유전체 터널 접합 소자 기반 내용 주소화 메모리에 관한 것이다.

배경 기술

[0002] 내용 주소화 메모리(Content Addressable Memory: 이하 CAM)는 다수의 CAM 셀을 구비하여 데이터를 저장하는 메모리로서, 데이터를 입력으로 인가받아 인가된 데이터가 저장된 어드레스를 출력하도록 구성된 메모리를 의미한다. CAM은 네트워크 라우터에서의 검색 엔진이나 이미지 프로세스, 또는 신경망 등과 같이 고속 검색이 요구되는 다양한 응용 분야에 이용된다.

[0003] CAM은 데이터 저장 방식에 따라 바이너리 캠(binary CAM)과 터너리 CAM(Ternary CAM: 이하 TCAM)으로 구분될 수 있다. 바이너리 캠은 각 CAM 셀이 로직 "1" 상태와 로직 "0" 상태의 2가지 상태 중 하나의 상태 정보를 저장할 수 있도록 구성된다. 반면, TCAM은 로직 "0" 상태, 로직 "1" 상태뿐만 아니라 "X" (don't care) 상태를 추가적으로 저장할 수 있도록 구성된다. TCAM은 "X" 상태를 추가로 저장할 수 있도록 하여 검색의 유연성을 제공할 수 있다는 장점이 있다.

[0004] 기존에 CAM은 휘발성 소자인 CMOS로 구현되거나 비휘발성 소자인 MTJ(Magnetic Tunnel Junction) 또는 ReRAM(Resistive RAM) 등으로 구현되었다. CMOS로 구현된 CAM은 각 셀이 다수의 트랜지스터(일 예로 16T)를 필요로 하여, 대면적을 요구할 뿐만 아니라 전원이 인가되지 않으면 데이터가 소실되는 한계가 있다. 그리고 MTJ CAM의 경우 CMOS 보다는 적은 수의 트랜지스터 개수(10T-4MTJ)를 필요로 하지만 여전히 많은 개수의 소자를 요구하며, 온/오프 비(on/off ratio)가 낮은 MTJ 소자 특성으로 인해 검색 정확도가 낮다는 문제가 있다. ReRAM CAM는 MTJ CAM에 비해서도 소자 개수를 대폭 줄일 수 있으나, MTJ CAM과 마찬가지로 온/오프 비(on/off ratio)가 낮다는 문제가 있다.

[0005] 따라서 적은 소자 개수로 좁은 면적에 고집적화할 수 있으며 높은 검색 정확도를 갖는 CAM에 대한 요구가 이어져 오고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국 공개 특허 제10-2019-0114919호 (2019.10.10 공개)

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 적은 개수의 소자로 좁은 면적에 고집적화하여 초소형으로 구현할 수 있는 내용 주소화 메모리를 제공하는데 있다.

[0008] 본 발명의 다른 목적은 온/오프 비가 높은 자기-정류 강유전체 터널 접합 소자를 이용하여 저전력으로 정확한 검색을 수행할 수 있는 내용 주소화 메모리를 제공하는데 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 내용 주소화 메모리는 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인과 제1 방향과 교차하는 제2 방향으로 연장되는 다수의 비트라인 쌍 중 대응하는 비트라인 쌍 사이에 연결되는 2개의 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)를 각각 포함하는 다수의 TCAM 셀을 구비하는 셀 어레이부; 프리차지 신호에 응답하여 상기 다수의 매치라인 중 대응하는 매치라인을 전원 전압 레벨로 프리차지하는 프리차지부; 및 라이트 또는 검색하고자 하는 데이터 따라 다수의 검색라인 쌍 중 대응하는 검색라인 쌍을 통해 인가되는 전압에 응답하여, 상기 다수의 비트라인 쌍 중 대응하는 비트라인 쌍과 소스라인을 전기적으로 연결하거나 차단하는 다수의 액세스 트랜지스터 쌍을 구비하는 데이터 입출력부를 포함한다.

[0010] 상기 다수의 TCAM 셀 각각은 대응하는 매치라인과 대응하는 비트라인 쌍의 비트라인바 사이에 연결되는 제1 SR-FTJ; 및 대응하는 매치라인과 대응하는 비트라인 쌍의 비트라인 사이에 연결되는 제2 SR-FTJ를 포함할 수 있다.

[0011] 상기 다수의 TCAM 셀 각각은 라이트 동작에 의해 데이터 "0"이 저장되는 경우 상기 제1 SR-FTJ는 저저항 상태(Low Resistance State: LRS)를 갖고 상기 제2 SR-FTJ는 고저항 상태(High Resistance State: HRS)를 가지며, 데이터 "1"이 저장되는 경우 상기 제1 SR-FTJ는 고저항 상태 갖고 상기 제2 SR-FTJ는 저저항 상태를 가지며, 데이터 "X"(don't care)가 저장되는 경우에는 상기 제1 및 제2 FeFET가 모두 고저항 상태를 가질 수 있다.

[0012] 상기 다수의 액세스 트랜지스터 쌍 각각은 대응하는 비트라인 쌍의 비트라인바와 상기 소스라인 사이에 연결되고 게이트로 대응하는 검색라인 쌍의 검색라인이 연결되는 제1 액세스 트랜지스터; 및 대응하는 비트라인 쌍의 비트라인과 상기 소스라인 사이에 연결되고 게이트로 대응하는 검색라인 쌍의 검색라인바가 연결되는 제2 액세스 트랜지스터를 포함할 수 있다.

[0013] 상기 TCAM은 제1 단계 및 제2 단계로 구분되는 라이트 동작의 제1 단계에서 데이터와 함께 인가되는 어드레스에 대응하는 매치라인을 선택하여 라이트 전압(V_w)을 기준으로 $-V_w/2$ 전압을, 선택되지 않은 매치라인으로 접지 전압을 인가하고, 상기 소스라인으로 $V_w/2$ 전압을 인가하여, 상기 다수의 TCAM 셀 중 선택된 매치에 대응하는 TCAM 셀의 상기 제1 SR-FTJ 또는 상기 제2 SR-FTJ가 대응하는 검색라인 쌍을 통해 인가되는 전압 레벨에 따라 고저항 상태를 가질 수 있다.

[0014] 상기 TCAM은 상기 다수의 검색라인 쌍 중 대응하는 검색라인 쌍의 검색라인과 검색라인바 각각으로 접지 전압과 $V_w/2$ 전압이 인가되면, 선택된 매치라인에 연결된 다수의 TCAM 셀 중 대응하는 TCAM 셀의 상기 제2 SR-FTJ가 고저항 상태를 갖고, 대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 $V_w/2$ 전압과 접지 전압이 인가되면, 선택된 매치라인에 연결된 대응하는 TCAM 셀의 상기 제1 SR-FTJ가 고저항 상태를 가지며, 대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 $V_w/2$ 전압이 인가되면, 선택된 매치라인에 연결된 대응하는 TCAM 셀의 상기 제1 SR-FTJ가 고저항 상태를 가질 수 있다.

[0015] 상기 TCAM은 상기 라이트 동작의 제2 단계에서 선택된 매치라인으로 $V_w/2$ 전압을, 선택되지 않은 매치라인으로 접지 전압을 인가하고, 상기 소스라인으로 $-V_w/2$ 전압을 인가하여, 상기 다수의 TCAM 셀 중 선택된 매치에 대응하는 TCAM 셀의 상기 제1 SR-FTJ 또는 상기 제2 SR-FTJ가 대응하는 검색라인 쌍을 통해 인가되는 전압 레벨에 따라 저저항 상태를 가질 수 있다.

[0016] 상기 TCAM은 대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 접지 전압과 $-V_w/2$ 전압이 인가되면, 선택된 매치라인에 연결된 다수의 TCAM 셀 중 대응하는 TCAM 셀의 상기 제1 SR-FTJ가 저저항 상태를 갖고, 대응하는 검색라인 쌍의 상기 검색라인과 상기 검색라인바 각각으로 $-V_w/2$ 전압과 접지 전압이 인가되면, 선택된 매치라인에 연결된 대응하는 TCAM 셀의 상기 제2 SR-FTJ가 저저항 상태를 가질 수 있다.

[0017] 상기 다수의 TCAM 셀의 제1 및 제2 SR-FTJ는 상기 라이트 동작의 제1 단계에서 바디 전압으로 접지 전압이 인가되고, 제2 단계에서 $-V_w/2$ 전압이 인가될 수 있다.

[0018] 상기 프리차지부는 전원 전압과 상기 다수의 매치라인 중 대응하는 매치라인 사이에 연결되고 게이트로 상기 프

리차지 신호를 인가받는 다수의 프리차지 트랜지스터를 포함할 수 있다.

[0019] 상기 다수의 프리차지 트랜지스터 각각은 프리차지 단계와 평가 단계로 구분되는 검색 동작의 프리차지 단계에서 접지 전압 레벨로 활성화된 상기 프리차지 신호에 응답하여 턴오프되어 상기 다수의 매치라인 중 대응하는 매치라인을 전원 전압 레벨로 프리차지하고, 상기 라이트 동작과 상기 평가 단계에서 전원 전압 레벨로 비활성화된 상기 프리차지 신호에 응답하여 턴오프될 수 있다.

[0020] 상기 TCAM은 상기 프리차지 단계에서 상기 소스라인과 상기 다수의 검색라인 쌍 각각의 상기 검색라인과 상기 검색라인바로 전원 전압을 인가하여 상기 다수의 비트라인 쌍의 비트라인바와 비트라인을 전원 전압 레벨로 프리차지할 수 있다.

[0021] 상기 TCAM은 상기 평가 단계에서 상기 소스라인으로 접지 전압을 인가하고, 검색하고자 하는 데이터가 "0"이면, 상기 검색라인과 상기 검색라인바 각각으로 상기 접지 전압과 상기 전원 전압을 인가하며, 검색하고자 하는 데이터가 "1"이면, 상기 검색라인과 상기 검색라인바 각각으로 접지 전압과 접지 전압을 인가할 수 있다.

발명의 효과

[0022] 따라서, 본 발명의 실시예에 따른 자기-정류 강유전체 터널 접합 소자 기반 내용 주소화 메모리는 단지 2개의 자기-정류 강유전체 터널 접합 소자로 내용 주소화 메모리 셀을 구성할 수 있어 초저면적에 고집적되어 초소형으로 제조될 수 있으며, 검색시 소모되는 에너지를 크게 줄일 수 있을 뿐만 아니라 높은 검색 정확도가 높다.

도면의 간단한 설명

[0023] 도 1은 CAM의 NOR 타입과 NAND 타입의 검색 동작을 설명하기 위한 도면이다.

도 2는 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.

도 3은 자기-정류 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 TCAM 구조를 나타낸다.

도 5는 본 실시예에 따른 TCAM의 라이트 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.

도 6 및 도 7은 본 실시예에 따른 TCAM의 라이트 동작을 설명하기 위한 도면이다.

도 8은 본 실시예에 따른 TCAM의 검색 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.

도 9 및 도 10은 본 실시예에 따른 TCAM의 검색 동작을 설명하기 위한 도면이다.

도 11은 본 실시예에 따른 TCAM의 스니크 전류 방지 특성을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0025] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재를 나타낸다.

[0026] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0027] 도 1은 CAM의 NOR 타입과 NAND 타입의 검색 동작을 설명하기 위한 도면이다.

[0028] 도 1에서 (a)는 NOR 타입 CAM의 검색 동작을 나타내고, (b)는 NAND 타입 CAM의 검색 동작을 나타낸다. 도 1에 도시된 바와 같이, CAM은 인가된 데이터가 저장된 메모리 셀을 검색하여 어드레스를 출력하는 메모리로서 검색 동작 방식에 따라 NOR 타입과 NAND 타입으로 구분된다.

- [0029] 도 1의 (a)에 도시된 NOR 타입의 경우, 다수의 CAM 셀 각각이 저장된 데이터와 인가된 데이터의 매치 여부에 따라 매치라인(ML)의 전류가 병렬 연결 방식으로 접지로 흐르도록 구성된다. 따라서 NOR 타입에서는 하나 CAM 셀에서 미스매치가 발생하더라도 전류가 흘러 빠른 검색 속도를 나타낼 수 있으나 에너지 소모가 크다.
- [0030] 반면, 도 1의 (b)에 도시된 NAND 타입의 경우, 다수의 CAM 셀 각각이 저장된 데이터와 인가된 데이터의 매치 여부에 따라 매치라인(ML)의 전류가 직렬 연결 방식으로 접지로 흐르도록 구성된다. 따라서 동일한 매치라인(ML)에 연결되는 모든 CAM 셀에서 매치가 된 경우에만 매치라인(ML)의 전류가 접지로 흐르도록 구성된다. 따라서 NAND 타입에서는 하나의 셀에서만 미스매치가 발생하더라도 전류가 흐르지 않아 에너지 소모가 작다는 장점이 있으나, 매치라인(ML)의 방전 경로가 직렬로 구성됨에 따라 검색 속도가 느리다는 단점이 있다.
- [0031] 상기한 바와 같이, CAM에서는 NOR 타입과 NAND 타입 모두 장단점을 갖고 있으므로, NOR 타입 또는 NAND 타입은 CAM의 활용 목적에 따라 선택적으로 이용된다.
- [0032] 도 2는 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.
- [0033] 도 2에서 (a)는 강유전체 터널 접합 소자(Ferroelectric Tunnel Junction: 이하 FTJ)의 구조를 나타내고, (b)는 FTJ의 분극에 따른 상태를 나타내고, (c)는 FTJ의 전류 전압 그래프를 나타낸다. 그리고 (d)는 FTJ 소자 특성에 따른 스니크 전류 경로를 설명하기 위한 도면이다.
- [0034] (a)에 도시된 바와 같이, FTJ는 일 예로 반도체층(11) 상에 강유전성 터널층(12), 강유전체층(13) 및 금속층(14)이 순차적으로 적층된 구조로 형성될 수 있다. 일 예로 반도체층(11)은 P형 실리콘(P type Si)으로 형성될 수 있으며, 강유전성 터널층(12)은 산화 하프늄(HfO_2)로 도핑된 지르코늄(Zr)으로 형성될 수 있으며, 강유전체층(13)은 산화 알루미늄(Al_2O_3)으로 구현되고, 금속층(14)은 티타늄(Ti) 또는 알루미늄(Au)으로 구현될 수 있다.
- [0035] 이와 같은 FTJ는 (b)의 왼쪽과 같이 네거티브 라이트 전압($-V_w$)이 인가되는지 또는 오른쪽과 같이 포지티브 라이트 전압(V_w)이 인가되는지에 따라 강유전체층(13)의 분극(Polarization)이 상이한 방향으로 형성되어 저저항 상태(Low Resistance State: LRS) 또는 고저항 상태(High Resistance State: HRS)가 된다.
- [0036] 이에 네거티브 라이트 전압($-V_w$)이 인가되어 FTJ가 저저항 상태(LRS)를 가지면, (c)의 그래프에서 검은색 선과 같이 라이트 전압(V_w)보다 낮은 전압 레벨의 리드 전압에서 전류가 원활하게 흐르게 되어 스위치 온 상태로 볼 수 있다. 반면, 포지티브 라이트 전압(V_w)이 인가되어 FTJ가 고저항 상태(HRS)를 가지면, 붉은색 선과 같이 포지티브 라이트 전압(V_w)이 인가되어 리드 전압에서 전류가 원활하게 흐르지 못하므로 스위치 오프 상태로 볼 수 있다.
- [0037] 이와 같은 FTJ는 저저항 상태(LRS)가 로직 "1"(Logic 1)을 나타내고, 고저항 상태(HRS)가 로직 "0"(Logic 0)을 나타내는 스위치 소자 또는 메모리 소자로 사용될 수 있다.
- [0038] 상기에서는 반도체층(11)이 P형으로 형성되는 경우를 가정한 경우로서, 만일 반도체층(11)이 N형으로 형성되는 경우, FTJ는 네거티브 라이트 전압($-V_w$)이 인가되면 로직 "0"의 고저항 상태(HRS)를 갖고, 포지티브 라이트 전압(V_w)이 인가되면 로직 "1"의 저저항 상태(LRS)를 가질 수 있다.
- [0039] 다만 이러한 FTJ는 양단에 인가되는 전압에 따라 양방향으로 전류가 흐를 수 있는 양방향 스위치 소자이므로, FTJ를 이용하여 메모리 어레이로 구성하는 경우, (d)에 도시된 바와 같이, 리드 동작 시에 의도하지 않은 경로로 전류 경로가 형성되어 스니크 전류(Sneak Current)가 흐를 수 있다는 문제가 있다. 이에 기존에는 FTJ가 메모리 장치나 CAM에 이용되는데 한계가 있었다.
- [0040] 도 3은 자기-정류 강유전체 터널 접합 소자의 특성을 설명하기 위한 도면이다.
- [0041] 상기한 FTJ의 양방향 특성에 따른 문제를 해소하기 위해, 최근에는 상기한 FTJ가 양방향 특성이 아닌 단방향 특성을 갖도록 조절한 자기-정류 강유전체 터널 접합 소자(Self-rectifying Ferroelectric Tunnel Junction Element: 이하 SR-FTJ)가 개발되었다. SR-FTJ는 반도체층(11), 강유전성 터널층(12), 강유전체층(13) 및 금속층(14)을 구성하는 원소와 도핑 수준 등에 따라 전압에 따른 분극 특성을 조절함으로써 구현될 수 있다.
- [0042] 도 3의 (a)에서 왼쪽과 오른쪽 그래프는 각각 기존 FTJ와 SR-FTJ의 전압-분극(Voltage-Polarization: V-P) 특성 곡선과 전압-전류(I-V) 특성 곡선을 나타낸다. 기존 FTJ의 경우, 왼쪽에 도시된 바와 같이, 전압(V)에 따른

분극(P)이 포지티브 전압뿐만 아니라 네거티브 전압에서도 이루어지므로, 전압-전류(I-V) 특성 곡선 또한 양??
 향 특성을 갖는다. 그에 반해, SR-FTJ의 경우, 오른쪽에 도시된 바와 같이, 전압(V)에 따른 분극(P)이 포지티
 브 전압에서만 이루어지므로, (c)에 확대된 그래프와 같이 전압-전류(I-V) 특성 곡선이 단방향 특성을 갖는 다
 는 것을 알 수 있다. 이는 SR-FTJ가 다이오드와 유사하게 정류 특성을 가져 역방향 전류 흐름을 방지할 수 있
 음을 나타낸다.

[0043] 도 4는 본 발명의 일 실시예에 따른 TCAM 구조를 나타낸다.

[0044] 도 4를 참조하면 본 실시예에 따른 TCAM은 셀 어레이부(100)와 프리차지부(200) 및 데이터 입출력부(300)를 포
 함한다.

[0045] 셀 어레이부(100)는 제1 방향으로 진행되는 다수의 매치라인(ML_0 , ML_1)과 제1 방향과 교차하는 제2 방향으로 연
 장되는 다수의 비트라인 쌍((BLB_0, BL_0) , (BLB_1, BL_1)) 및 다수의 매치라인(ML_0 , ML_1) 중 대응하는 매치라인과 다
 수의 비트라인 쌍((BLB_0, BL_0) , (BLB_1, BL_1) , $((BLB_2, BL_2))$) 중 대응하는 비트라인 쌍 각각 사이에 연결되는 2개
 의 SR-FTJ($F1$, $F2$)를 포함하는 다수의 TCAM 셀($(CL[00], CL[01], CL[02])$, $(CL[10], CL[11], CL[12])$)을 포함
 한다.

[0046] 다수의 TCAM 셀($(CL[00], CL[01], CL[02])$, $(CL[10], CL[11], CL[12])$) 각각에서 제1 SR-FTJ($F1$)는 대응하는
 매치라인(ML_0 , ML_1)과 대응하는 비트라인바(BLB_0 , BLB_1 , BLB_2) 사이에 연결되고, 제2 SR-FTJ($F2$)는 대응하는 매
 치라인(ML_0 , ML_1)과 대응하는 비트라인(BL_0 , BL_1 , BL_2) 사이에 연결된다. 즉 제1 SR-FTJ($F1$)와 제2 SR-
 FTJ($F2$)는 일단이 대응하는 매치라인(ML_0 , ML_1)에 공통으로 연결되는 반면, 타단은 대응하는 비트라인바(BLB_0 ,
 BLB_1 , BLB_2) 또는 대응하는 비트라인(BL_0 , BL_1 , BL_2)에 구분되어 연결된다.

[0047] 여기서는 일 예로서 셀 어레이부(100)에 2×3 형태로 6개의 TCAM 셀(CL)이 배열된 경우를 도시하였다. 이에
 제1 방향으로 진행되는 2개의 매치라인(ML_0 , ML_1)과 제2 방향으로 진행되는 3개의 비트라인 쌍((BLB_0, BL_0) ,
 (BLB_1, BL_1) , $((BLB_2, BL_2))$)이 배치되었다. 여기서는 설명의 편의를 위해, 2×3 형태로 배열된 6개의 TCAM 셀
 (CL)을 배치 위치에 따라 제11 TCAM 셀($CL[00]$)로부터 제23 TCAM 셀($CL[12]$)로 구분하였다.

[0048] 프리차지부(200)는 전원 전압(V_{DD})과 다수의 매치라인(ML_0 , ML_1) 중 대응하는 매치라인 각각 사이에 연결되고 게
 이트로 프리차지 신호(PRE)가 인가되는 다수의 프리차지 트랜지스터(PT_0 , PT_1)를 포함한다. 여기서 다수의 프리
 차지 트랜지스터(PT_0 , PT_1) 각각은 게이트로 인가되는 프리차지 신호(PRE)가 후술하는 검색 동작의 프리차지 단
 계에서 비활성화되면, 활성화되어 전원 전압(V_{DD})을 대응하는 매치라인으로 인가하여, 대응하는 매치라인을 전원
 전압(V_{DD}) 레벨로 프리차지한다. 다수의 프리차지 트랜지스터(PT_0 , PT_1)는 일 예로 PMOS 트랜지스터로 구현될
 수 있다. 여기서 전원 전압(V_{DD})은 라이트 전압(V_W)과 접지 전압 사이의 전압 레벨을 갖는다.

[0049] 한편, 데이터 입출력부(300)는 소스라인(ScL) 및 소스라인(ScL)과 다수의 비트라인 쌍((BLB_0, BL_0) , $(BLB_1$,
 $BL_1)$, $((BLB_2, BL_2))$) 대응하는 비트라인 쌍((BLB_0, BL_0) , (BLB_1, BL_1) , $((BLB_2, BL_2))$) 사이에 연결되는 다수의 액
 세스 트랜지스터쌍을 포함한다.

[0050] 여기서 다수의 액세스 트랜지스터 쌍 각각은 2개의 액세스 트랜지스터($T1$, $T2$)를 포함하며, 2개의 액세스 트랜
 지스터($T1$, $T2$) 중 제1 액세스 트랜지스터($T1$)는 대응하는 비트라인바(BLB_0 , BLB_1 , BLB_2)와 소스라인(ScL) 사
 이에 연결되고 게이트로 다수의 검색라인 쌍((SL_0, SLB_0) , (SL_1, SLB_1) , $((SL_2, SLB_2))$) 중 대응하는 검색라인 쌍의
 검색라인(SL_0 , SL_1 , SL_2)이 연결된다. 그리고 제2 액세스 트랜지스터($T2$)는 대응하는 비트라인(BL_0 , BL_1 , BL_2)과
 소스라인(ScL) 사이에 연결되고 게이트로 다수의 검색라인 쌍((SL_0, SLB_0) , (SL_1, SLB_1) , $((SL_2, SLB_2))$) 중 대
 응하는 검색라인 쌍의 검색라인바(SLB_0 , SLB_1 , SLB_2)가 연결된다.

[0051] 따라서 데이터 입출력부(300)의 다수의 액세스 트랜지스터 쌍 각각에서 제1 액세스 트랜지스터($T1$)는 대응하는
 검색라인(SL_0 , SL_1 , SL_2)으로 인가되는 데이터에 따라 대응하는 비트라인바(BLB_0 , BLB_1 , BLB_2)와 소스라인(ScL)을
 전기적으로 연결하거나 차단함으로써, 대응하는 비트라인바(BLB_0 , BLB_1 , BLB_2)의 전압 레벨이 이전 레벨을 유지
 하거나 접지 전압 레벨(여기서는 일 예로 0V)로 강하되도록 할 수 있다. 마찬가지로 제2 액세스 트랜지스터

(T2)는 대응하는 검색라인바(SLB₀, SLB₁, SLB₂)로 인가되는 데이터에 따라 대응하는 비트라인(BL₀, BL₁, BL₂)과 소스라인(ScL)을 전기적으로 연결하거나 차단함으로써, 대응하는 비트라인(BL₀, BL₁, BL₂)의 전압 레벨이 이전 레벨을 유지하거나 접지 전압 레벨로 강하되도록 할 수 있다. 여기서 제1 및 제2 액세스 트랜지스터(T1, T2)는 일 예로 NMOS 트랜지스터로 구현될 수 있다.

[0052] 상기한 바와 같이, 본 실시예에서는 셀 어레이부(100)의 다수의 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12])) 각각이 단지 2개의 SR-FTJ(F1, F2)만을 포함하여 구성되고, 2개의 SR-FTJ(F1, F2)는 각각 고저항 상태(HRS)와 저저항 상태(LRS)를 가질 수 있으므로 2개의 SR-FTJ(F1, F2)의 저항 상태 조합에 따라 데이터 "0"과 "1" 뿐만 아니라 "X"가 저장될 수 있으므로, 초소형 TCAM으로 구현될 수 있다.

[0053] 또한 다수의 매치라인(ML₀, ML₁) 각각에 대응하는 1개씩의 프리차지 트랜지스터(PT₀, PT₁)만을 포함하고, 데이터 입출력부(300)는 다수의 비트라인 쌍((BLB₀, BL₀), (BLB₁, BL₁), ((BLB₂, BL₂))) 각각에 대응하는 액세스 트랜지스터 쌍만을 구비하므로, 본 실시예의 TCAM의 크기는 더욱 소형으로 구현될 수 있다.

[0054] 도 5는 본 실시예에 따른 TCAM의 라이트 동작을 설명하기 위한 타이밍 다이어그램을 나타내고, 도 6 및 도 7은 본 실시예에 따른 TCAM의 라이트 동작을 설명하기 위한 도면이다.

[0055] 여기서도 TCAM 어레이에 2 × 3 형태로 6개의 TCAM 셀(CL[])이 배열된 경우를 도시하였으며, 제1행의 제11 TCAM 셀(CL[00]), 제12 TCAM 셀(CL[01]) 및 제13 TCAM 셀(CL[02])에 각각 데이터 "0", "1" 및 "X"이 라이트되는 경우를 가정한다. 또한 여기서는 반도체층(11)이 N형으로 형성되는 경우를 가정하여, 다수의 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 2개의 SR-FTJ(F1, F2)는 네거티브 라이트 전압(-V_W)이 인가되면 고저항 상태(HRS)를 갖고, 포지티브 라이트 전압(V_W)이 인가되면 저저항 상태(LRS)를 갖는 것으로 설명한다.

[0056] 또한 본 실시예에서는 비트라인바(BLB₀, BLB₁, BLB₂)에 연결되는 제1 SR-FTJ(F1)가 저저항 상태(LRS)를 갖고, 비트라인(BL₀, BL₁, BL₂)에 연결되는 제2 SR-FTJ(F2)가 고저항 상태(HRS)를 가지면, 해당 TCAM 셀에는 데이터 "0"이 라이트되고, 제1 SR-FTJ(F1)가 고저항 상태(HRS)를 갖는 반면, 제2 SR-FTJ(F2)가 저저항 상태(LRS)를 가지면 데이터 "1"이 라이트된 것으로 가정한다. 그리고 제1 및 제2 SR-FTJ(F1, F2)가 모두 고저항 상태(HRS)를 가지면 데이터 "X"가 라이트된 것으로 가정하여 설명한다.

[0057] 여기서는 설명의 편의를 위해, 2 × 3 형태로 배열된 6개의 TCAM 셀(CL)을 배치 위치에 따라 제11 TCAM 셀(CL[00])로부터 제23 TCAM 셀(CL[12])로 구분한다. 그리고 제1행의 제11 TCAM 셀(CL[00]), 제12 TCAM 셀(CL[01]) 및 제13 TCAM 셀(CL[02])에 각각 데이터 "0", "1" 및 "X"이 라이트되는 경우를 가정한다.

[0058] 도 5를 참조하면, 본 실시예에 따른 TCAM의 라이트 동작은 제1 및 제2 단계(1st phase, 2nd phase)로 구분되어 동작한다. 여기서 제1 단계(1st phase)는 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))에 저장되어야 할 데이터에 따라 대응하는 SR-FTJ(F1, F2)가 고저항 상태(HRS)를 갖도록 하고, 제2 단계(2nd phase)는 대응하는 SR-FTJ(F1, F2)가 저저항 상태(LRS)를 갖도록 한다.

[0059] 도 6은 TCAM의 라이트 동작의 제1 단계(1st phase)를 설명하기 위한 도면이고, 도 7은 TCAM의 라이트 동작의 제2 단계(2nd phase)를 설명하기 위한 도면이다.

[0060] 도 5 및 도 6을 참조하면, 라이트 동작의 제1 단계(1st phase)에서는 데이터가 라이트될 TCAM 셀(CL[00], CL[01], CL[02])을 행 단위로 선택하기 위해 데이터와 함께 인가되는 어드레스에 대응하는 매치라인(ML₀)이 선택되고, 선택된 매치라인(ML₀)으로 -V_W/2 레벨의 전압이 인가된다. 즉 라이트 전압의 절반 수준의 전압이 네거티브로 인가된다. 그러나 선택되지 않은 나머지 매치라인(ML₁)은 접지 전압(일 예로 0V) 레벨로 유지된다. 그리고 소스라인(ScL)으로는 V_W/2 레벨의 전압이 인가되고, 프리차지 신호(PRE)는 전원 전압(V_{DD}) 레벨로 비활성화된다.

[0061] 한편, 제1행의 제11 TCAM 셀(CL[00]), 제12 TCAM 셀(CL[01]) 및 제13 TCAM 셀(CL[02])에 각각 데이터 "0", "1" 및 "X"이 라이트되는 경우를 가정하였으므로, 제11 TCAM 셀(CL[00])에 대응하는 제1 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T1, T2)의 게이트로는 대응하는 제1 검색라인 쌍(SL₀, SLB₀)을 통해 각각 0V의 전

압 레벨과 소스라인(ScL)과 동일한 $V_{\text{w}}/2$ 레벨의 전압이 인가된다. 그리고 제12 TCAM 셀(CL[01])에 대응하는 제2 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T_1 , T_2)의 게이트에는 대응하는 제2 검색라인 쌍(SL_1 , SLB_1)을 통해 각각 $V_{\text{w}}/2$ 전압과 0V의 전압이 인가되고, 제13 TCAM 셀(CL[02])에 대응하는 제3 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T_1 , T_2)의 게이트 모두에는 대응하는 제3 검색라인 쌍(SL_2 , SLB_2)을 통해 $V_{\text{w}}/2$ 전압이 인가된다.

[0062] 전원 전압(V_{DD}) 레벨로 비활성화된 프리차지 신호(PRE)에 응답하여 프리차지 트랜지스터(PT_0 , PT_1)는 턴오프된다.

[0063] 제1 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터(T_1)와 제2 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터(T_2)는 게이트로 인가된 0V의 전압 레벨에 따라 턴오프된다. 따라서 제1 비트라인바(BLB_0)와 제2 비트라인(BL_1)은 소스라인(ScL)과 전기적으로 차단된다. 반면, 제1 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터(T_2)와 제2 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터(T_1) 및 제3 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T_1 , T_2)는 게이트로 인가된 $V_{\text{w}}/2$ 전압 레벨에 따라 턴온되고, 제1 및 제3 비트라인(BL_0 , BL_2)과 제2 및 제3 비트라인바(BLB_1 , BLB_2)는 소스라인(ScL)과 전기적으로 연결된다.

[0064] 이에 제11 TCAM 셀(CL[00])의 제2 SR-FTJ(F_2)와 제12 TCAM 셀(CL[01])의 제1 SR-FTJ(F_1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 SR-FTJ(F_1 , F_2)으로는 제1 매치라인(ML_0)으로 인가된 $-V_{\text{w}}/2$ 전압과 제1 비트라인(BL_0)과 제2 비트라인바(BLB_1) 및 제3 비트라인 쌍(BLB_2 , BL_2)으로 인가된 $V_{\text{w}}/2$ 전압에 의해 양단으로 $-V_{\text{w}}/2$ 전압이 인가되므로, 제11 TCAM 셀(CL[00])의 제2 SR-FTJ(F_2)와 제12 TCAM 셀(CL[01])의 제1 SR-FTJ(F_1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 SR-FTJ(F_1 , F_2)는 고저항 상태(HRS)를 갖게 된다.

[0065] 이때 제1 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터(T_1)와 제2 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터(T_2)가 턴오프된 상태이고, 선택되지 않은 다른 매치라인(ML_1)이 0V 전압 레벨을 가지므로, 제11 TCAM 셀(CL[00])의 제1 SR-FTJ(F_1)와 제12 TCAM 셀(CL[01])의 제2 SR-FTJ(F_2)는 양단에 $-V_{\text{w}}/2$ 전압만이 인가되어 상태 변화가 발생하지 않는다. 그리고 제11 TCAM 셀(CL[00])의 제1 SR-FTJ(F_1)와 제12 TCAM 셀(CL[01])의 제2 SR-FTJ(F_2)는 양단에 $-V_{\text{w}}/2$ 전압이 인가될지라도 SR-FTJ의 정류 특성에 따라 제1 매치라인(ML_0) 방향으로의 역방향 전류가 흐르지 않는다.

[0066] 한편, 제1 비트라인바(BLB_0)와 제2 비트라인(BL_1)이 소스라인(ScL)과 연결되지 않고, 제11 TCAM 셀(CL[00])의 제1 SR-FTJ(F_1)와 제12 TCAM 셀(CL[01])의 제2 SR-FTJ(F_2)가 정류 소자로 동작함에 따라 선택되지 않은 제2 매치라인(ML_1)에 연결된 제21 TCAM 셀(CL[10])의 제1 SR-FTJ(F_1)와 제22 TCAM 셀(CL[11])의 제2 SR-FTJ(F_2)는 양단 사이의 전압차를 무시할 수 있어 상태 변화가 발생하지 않는다.

[0067] 그리고 제1 비트라인(BL_0)과 제2 비트라인바(BLB_1) 및 제3 비트라인 쌍(BLB_2 , BL_2)은 소스라인(ScL)과 연결되어 $V_{\text{w}}/2$ 전압 레벨을 갖지만, 선택되지 않은 다른 제2 매치라인(ML_1)이 0V의 전압 레벨을 가지므로, 제21 TCAM 셀(CL[10])의 제2 SR-FTJ(F_2)와 제22 TCAM 셀(CL[11])의 제1 SR-FTJ(F_1) 및 제23 TCAM 셀(CL[12])의 제1 및 제2 SR-FTJ(F_1 , F_2)의 양단에 $-V_{\text{w}}/2$ 전압만이 인가되어 상태 변화가 발생하지 않는다.

[0068] 결과적으로 라이트 동작의 제1 단계(1st phase)에서는 제11 TCAM 셀(CL[00])의 제2 SR-FTJ(F_2)와 제12 TCAM 셀(CL[01])의 제1 SR-FTJ(F_1)만이 고저항 상태(HRS)를 갖게 된다.

[0069] 도 5 및 도 7을 참조하면, 라이트 동작의 제2 단계(2nd phase)에서는 선택된 매치라인(ML_0)으로 $V_{\text{w}}/2$ 레벨의 전압이 인가되고, 소스라인(ScL)으로는 $-V_{\text{w}}/2$ 레벨의 전압이 인가된다. 즉 매치라인(ML_0)과 소스라인(ScL) 각각의 전압 레벨이 제1 단계(1st phase)에서와 반대 극성으로 인가된다.

[0070] 그리고 선택되지 않은 나머지 매치라인(ML_1)은 접지 전압(일 예로 0V) 레벨로 유지되고, 프리차지 신호(PRE) 또한 전원 전압(V_{DD}) 레벨로 비활성화 상태를 유지한다.

- [0071] 또한 제11 TCAM 셀(CL[00])에 대응하는 제1 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T1, T2)의 게이트로는 대응하는 제1 검색라인 쌍(SL₀, SLB₀)을 통해 각각 0V의 전압 레벨과 소스라인(ScL)과 동일한 -V_W/2 레벨의 전압이 인가되고, 제12 TCAM 셀(CL[01])에 대응하는 제2 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T1, T2)의 게이트에는 대응하는 제2 검색라인 쌍(SL₁, SLB₁)을 통해 각각 -V_W/2 전압과 0V의 전압이 인가되며, 제13 TCAM 셀(CL[02])에 대응하는 제3 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T1, T2)의 게이트 모두에는 대응하는 제3 검색라인 쌍(SL₂, SLB₂)을 통해 -V_W/2 전압이 인가된다.
- [0072] 이때 모든 액세스 트랜지스터 쌍의 제1 및 제2 제1 액세스 트랜지스터(T1, T2)의 바디는 공통으로 구성되며, 게이트로 -V_W/2 전압이 인가될 수 있도록 바디 전압(body voltage)으로 -V_W/2 전압이 인가된다. 즉 제1 단계(1st phase)에서 제1 및 제2 제1 액세스 트랜지스터(T1, T2)의 바디로는 0V의 전압이 인가되는 반면, 제2 단계(2nd phase)에서는 바디로 -V_W/2 전압이 인가된다.
- [0073] 제1 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터(T1)와 제2 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터(T2)는 제1 단계(1st phase)에서와 마찬가지로 게이트로 0V의 전압 레벨이 인가되지만, 바디 전압이 -V_W/2 전압으로 인가되므로 턴온되어, 제1 비트라인바(BLB₀)와 제2 비트라인(BL₁)을 소스라인(ScL)과 전기적으로 연결한다. 따라서 제1 비트라인바(BLB₀)와 제2 비트라인(BL₁)은 -V_W/2의 전압 레벨을 가지게 된다.
- [0074] 반면, 제1 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터(T2)와 제2 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터(T1) 및 제3 액세스 트랜지스터 쌍의 제1 및 제2 액세스 트랜지스터(T1, T2)는 게이트로 바디 전압과 동일하게 -V_W/2의 전압 레벨이 인가되므로 턴오프되어, 제1 비트라인(BL₀)과 제2 비트라인바(BLB₁) 및 제3 비트라인 쌍(SL₂, SLB₂) 각각과 소스라인(ScL) 사이의 전기적 연결을 차단한다.
- [0075] 따라서 제11 TCAM 셀(CL[00])의 제1 SR-FTJ(F1)와 제12 TCAM 셀(CL[01])의 제2 SR-FTJ(F2)의 양단에는 V_W 전압이 인가되어 저저항 상태(LRS)를 갖게 되는 반면, 제11 TCAM 셀(CL[00])의 제2 SR-FTJ(F2)와 제12 TCAM 셀(CL[01])의 제1 SR-FTJ(F1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 SR-FTJ(F1, F2)의 양단에는 V_W/2 전압이 인가되어 상태 변화가 발생하지 않는다.
- [0076] 한편, 제21 TCAM 셀(CL[10])의 제1 SR-FTJ(F1)와 제22 TCAM 셀(CL[11])의 제2 SR-FTJ(F2)의 양단에도 V_W/2 전압이 인가되어 상태 변화가 발생하지 않으며, 제21 TCAM 셀(CL[10])의 제2 SR-FTJ(F2)와 제22 TCAM 셀(CL[11])의 제1 SR-FTJ(F1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 SR-FTJ(F1, F2)의 양단에는 -V_W/2 이하의 전압이 인가되어 상태 변화가 발생하지 않는다. 또한 제21 TCAM 셀(CL[10])의 제2 SR-FTJ(F2)와 제22 TCAM 셀(CL[11])의 제1 SR-FTJ(F1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 SR-FTJ(F1, F2)의 정류 특성에 따라 역방향의 전류가 흐르지 않는다.
- [0077] 따라서 제1 및 제2 단계를 통해 라이트 디스터번스(write disturbance)를 유발하지 않고, 선택된 매치라인(ML₀)에 연결된 TCAM 셀(CL[00], CL[01], CL[02]) 각각의 제1 및 제2 SR-FTJ(F1, F2)가 고저항 상태(HRS) 또는 저저항 상태(LRS)를 갖도록 할 수 있다.
- [0078] 도 8은 본 실시예에 따른 TCAM의 검색 동작을 설명하기 위한 타이밍 다이어그램을 나타내고, 도 9 및 도 10은 본 실시예에 따른 TCAM의 검색 동작을 설명하기 위한 도면이며, 도 11은 본 실시예에 따른 TCAM의 스니크 전류 방지 특성을 설명하기 위한 도면이다.
- [0079] 여기서는 도 5 내지 도 7의 실시예에 따라 제1행의 3개의 TCAM 셀(CL[00], CL[01], CL[02])에 각각 데이터 "0", "1" 및 "X"이 라이트되어 있는 것으로 가정하고, 제2행의 3개의 TCAM 셀(CL[10], CL[11], CL[12])에는 각각 데이터 "1", "1", "1"이 라이트되어 있는 가정하며, "011"의 3비트 데이터를 검색 데이터로 검색하여 출력하는 경우를 가정하여 설명한다.
- [0080] 도 8을 참조하면, 검색 동작 또한 도 9에 도시된 프리차지 단계(Precharge)와 도 10에 도시된 평가 단계(Evaluation)의 2단계로 구성된다.
- [0081] 도 8 및 도 9를 참조하여 프리차지 단계(Precharge)를 우선 설명하면, 프리차지 단계(Precharge)에서는 프리차

지 신호(PRE)가 접지 전압 레벨로 활성화된다. 따라서 프리차지부(200)의 다수의 프리차지 트랜지스터(PT_0 , PT_1)이 모두 턴온되고, 턴온된 다수의 프리차지 트랜지스터(PT_0 , PT_1) 각각은 대응하는 매치라인(ML_0 , ML_1)을 전원 전압(V_{DD}) 레벨로 프리차지한다.

[0082] 그리고 소스라인(ScL)으로는 전원 전압(V_{DD})이 인가되고, 다수의 검색라인 쌍((SL_0, SLB_0) , (SL_1, SLB_1) , (SL_2, SLB_2))으로는 전원 전압(V_{DD})이 인가된다. 따라서 다수의 액세스 트랜지스터 쌍 각각의 제1 및 제2 액세스 트랜지스터($T1$, $T2$)가 모두 턴온되며, 이에 다수의 비트라인 쌍((BLB_0, BL_0) , (BLB_1, BL_1) , (BLB_2, BL_2)) 또한 전원 전압(V_{DD})이 된다.

[0083] 즉 프리차지 단계(Precharge)에서는 다수의 매치라인(ML_0 , ML_1)과 다수의 비트라인 쌍((BLB_0, BL_0) , (BLB_1, BL_1) , (BLB_2, BL_2))을 모두 전원 전압(V_{DD}) 레벨로 프리차지 한다.

[0084] 한편, 도 8 및 도 10을 참조하여 평가 단계(Evaluation)의 동작을 설명하면, 평가 단계(Evaluation)에서는 프리차지 신호(PRE)를 전원 전압(V_{DD})로 비활성화하여, 다수의 프리차지 트랜지스터(PT_0 , PT_1)를 턴오프시키고, 소스라인(ScL)으로는 접지 전압을 인가한다.

[0085] 그리고 다수의 검색라인 쌍((SL_0, SLB_0) , (SL_1, SLB_1) , (SL_2, SLB_2))으로는 검색하고자 하는 데이터의 대응하는 비트값에 따른 전압을 인가한다. 여기서는 검색 데이터 "011"인 경우를 가정하였으므로, 제1 검색라인 쌍(SL_0 , SLB_0)의 제1 검색라인(SL_0)에는 0V의 접지 전압이 인가되고, 제1 검색라인바(SLB_0)에는 전원 전압(V_{DD})이 인가되며, 제2 및 제3 검색라인 쌍((SL_1, SLB_1) , (SL_2, SLB_2))의 제2 및 제3 검색라인(SL_1 , SL_2)에는 전원 전압(V_{DD})이 인가되고, 제2 검색라인바(SLB_1 , SLB_2)에는 접지 전압이 인가된다.

[0086] 제1 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터($T1$)와 제2 및 제3 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터($T2$)는 게이트로 인가된 접지 전압에 응답하여 턴오프되고, 제1 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터($T2$)와 제2 및 제3 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터($T1$)는 게이트로 인가된 전원 전압(V_{DD})에 응답하여 턴온된다. 검색 동작 시에 제1 및 제2 액세스 트랜지스터($T1$, $T2$)의 바디 전압은 모두 0V이다.

[0087] 제1 액세스 트랜지스터 쌍의 제1 액세스 트랜지스터($T1$)와 제2 및 제3 액세스 트랜지스터 쌍의 제2 액세스 트랜지스터($T2$)가 턴오프 상태이므로, 제11 및 제12 TCAM 셀($CL[00]$, $CL[10]$)의 제1 SR-FTJ($F1$)과 제12, 제13, 제22 및 제23 TCAM 셀($CL[01]$, $CL[02]$, $CL[11]$, $CL[12]$)의 제2 SR-FTJ($F2$)은 고저항 상태(HRS) 또는 저저항 상태(LRS)에 무관하게 소스라인(ScL)로의 전류 경로가 형성되지 않아 전류가 흐르지 않는다.

[0088] 그리고 제1 매치라인(ML_0)에 연결된 제11 TCAM 셀($CL[00]$)의 제2 SR-FTJ($F2$)와 제12 및 제13 TCAM 셀($CL[01]$, $CL[02]$)의 제1 SR-FTJ($F1$)가 모두 고저항 상태(HRS)이므로, 제1 매치라인(ML_0)으로부터 제1 비트라인(BL_0)과 제2 및 제3 비트라인바(BLB_1 , BLB_2)로 전류가 흐르지 않는다. 따라서 제1 매치라인(ML_0)은 프리차지된 전원 전압(V_{DD}) 레벨을 유지하게 된다.

[0089] 한편, 제2 매치라인(ML_1)에 연결된 제22 및 제23 TCAM 셀($CL[11]$, $CL[12]$)의 제1 SR-FTJ($F1$)은 모두 고저항 상태(HRS)이므로, 제2 매치라인(ML_1)으로부터 제22 및 제23 TCAM 셀($CL[11]$, $CL[12]$)의 제1 SR-FTJ($F1$)을 통해서 제2 및 제3 비트라인바(BLB_1 , BLB_2)로 전류가 흐르지 않는다. 그러나 제21 TCAM 셀($CL[10]$)의 제2 SR-FTJ($F2$)는 저저항 상태(LRS)이다. 따라서 제2 매치라인(ML_1)으로부터 제1 비트라인(BL_0)을 통해 소스라인(ScL)까지 전류 경로가 형성되고, 이에 제2 매치라인(ML_1)의 전압 레벨이 강하게 된다. 제2 매치라인(ML_1)은 제21 TCAM 셀($CL[10]$)의 제2 SR-FTJ($F2$)의 저항값에 따라 강하게는 전압 레벨이 변화할 수 있다.

[0090] 즉 검색 데이터 "011"에 매치되는 "0", "1" 및 "X"가 저장된 제1 행의 TCAM 셀($CL[00]$, $CL[01]$, $CL[02]$)에 대응하는 제1 매치라인(ML_0)은 프리차지된 전압 레벨을 유지하는 반면, "1", "1", "1"이 저장된 제2 행의 TCAM 셀($CL[10]$, $CL[11]$, $CL[12]$)에 대응하는 제2 매치라인(ML_1)은 전압이 강해진다. 결과적으로 TCAM 어레이의 다수의 센싱 회로에서 출력이 전원 전압(V_{DD})을 갖는 행의 어드레스가 인가된 데이터에 매칭된 어드레스로서 출력될

수 있다.

[0091] 도 11을 참조하면, 평가 단계에서 제22 TCAM 셀(CL[11])의 제2 SR-FTJ(F2)의 경우, 제2 매치라인(ML₁)의 전압 레벨이 강하함에 따라 프리차지된 제1 매치라인(ML₀)으로부터 제12 TCAM 셀(CL[01])의 제2 SR-FTJ(F2)과 대응하는 비트라인(BL₁)을 통해 양단에 네거티브 전압이 인가된다. 만일 SR-FTJ가 아닌 일반적인 FTJ인 경우라면, 양단에 인가된 네거티브 전압에 의해 제1 매치라인(ML₀)으로부터 제2 매치라인(ML₁)까지 스니크 전류가 흐르게 되지만, 본 발명에서는 단방향 정류 특성을 갖는 SR-FTJ를 이용함에 따라 제2 SR-FTJ(F2)가 제1 매치라인(ML₀)으로부터 제2 매치라인(ML₁)까지 스니크 전류를 차단하여 제1 매치라인(ML₀)의 전압 레벨이 의도하지 않게 강하하게 되는 문제를 방지할 수 있다.

[0092] 또한 제23 TCAM 셀(CL[12])의 제2 SR-FTJ(F2)의 경우에도 대응하는 비트라인(BL₂)이 전원 전압(V_{DD}) 레벨로 프리차지되어 있고, 제2 매치라인(ML₁)의 전압 레벨이 강하함에 따라 양단에 네거티브 전압이 인가되지만, 제2 SR-FTJ(F2)의 정류 특성에 따라 제2 매치라인(ML₁)으로 전류가 흐르지 않는다.

[0093] 한편 여기서 도시하지 않았으나, 일단이 대응하는 프리차지 트랜지스터(PT₀, PT₁)에 연결되는 다수의 매치라인(ML₀, ML₁) 각각은 타단에 인버터(미도시)가 연결되어, 매치라인(ML₀, ML₁)의 전압 레벨 변화를 정확하게 감지하도록 할 수 있다.

[0094] 상기한 바와 같이 본 실시예에 따른 TCAM에서는 TCAM 셀 각각이 온/오프 비가 높은 비휘발성의 2개의 SR-FTJ(F1, F2)만을 포함하는 최소 소자 개수를 가지므로, 에너지 소모를 저감시킬 수 있고 좁은 면적에 고집적화하여 소형으로 제조될 수 있으며, 라이트 디스터번스가 발생하는 것을 방지할 수 있다.

[0095] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

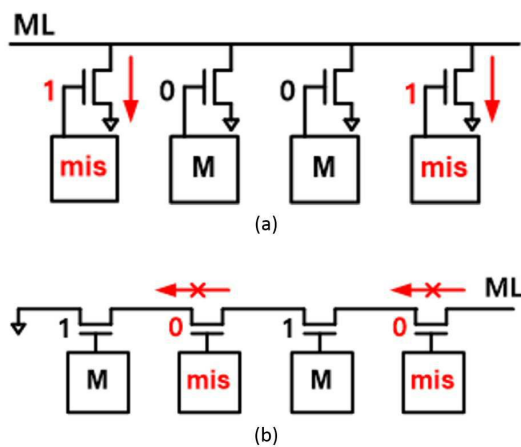
[0096] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

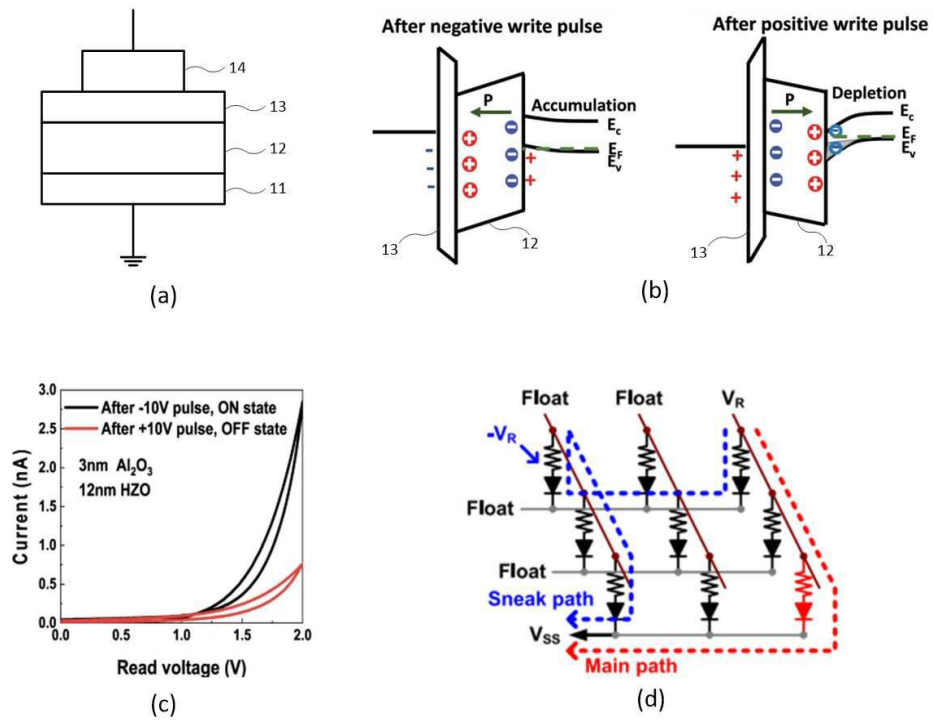
[0097] 100: 셀 어레이부
200: 프리차지부
300: 데이터 입출력부

도면

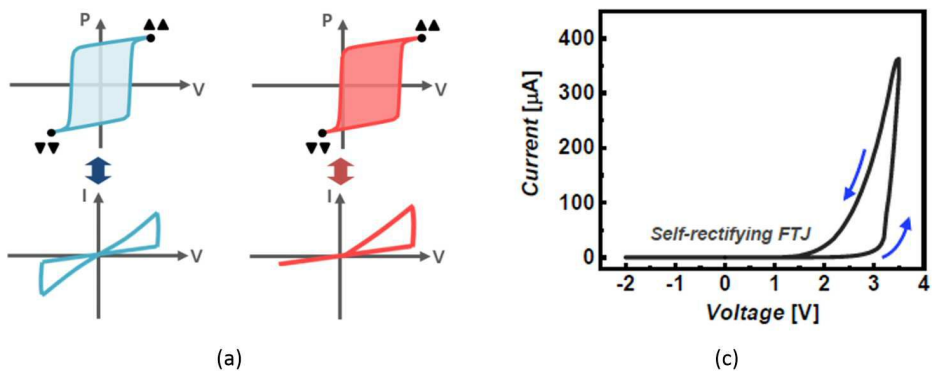
도면1



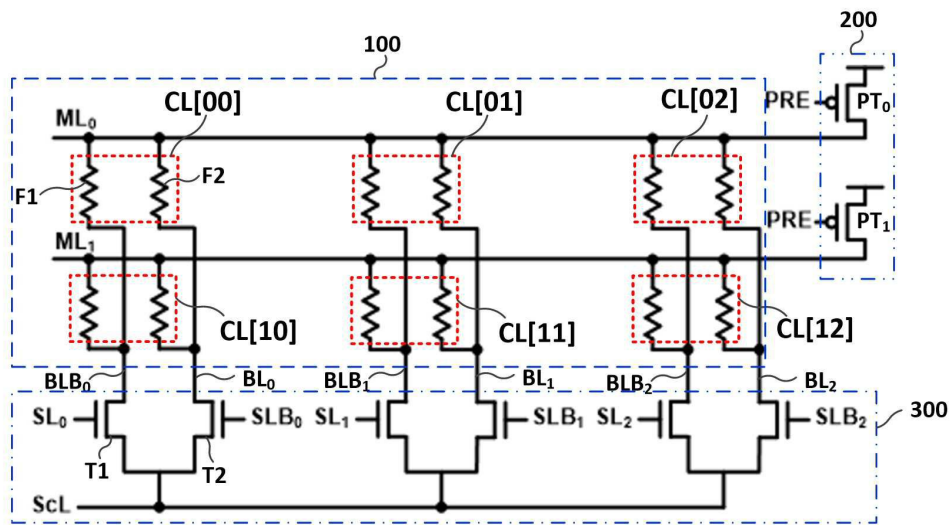
도면2



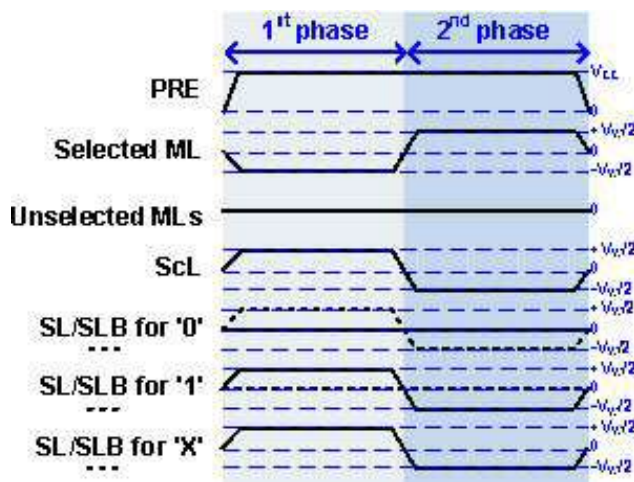
도면3



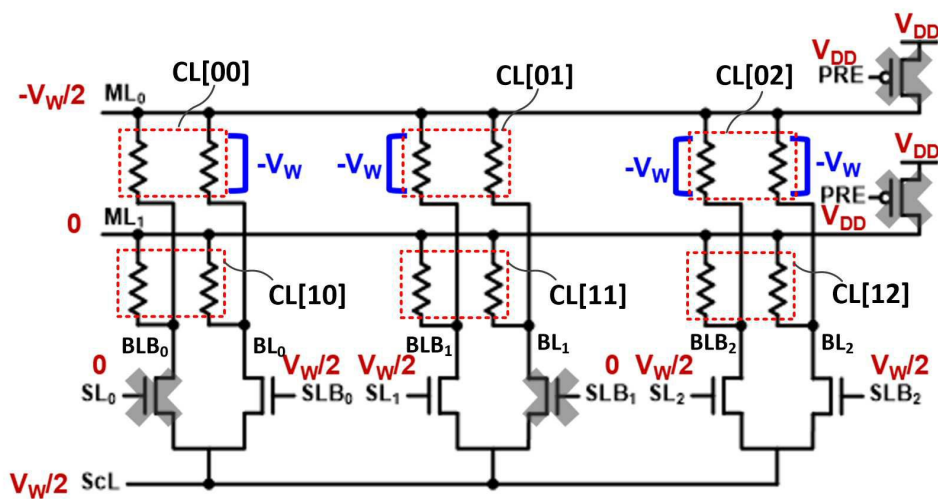
도면4



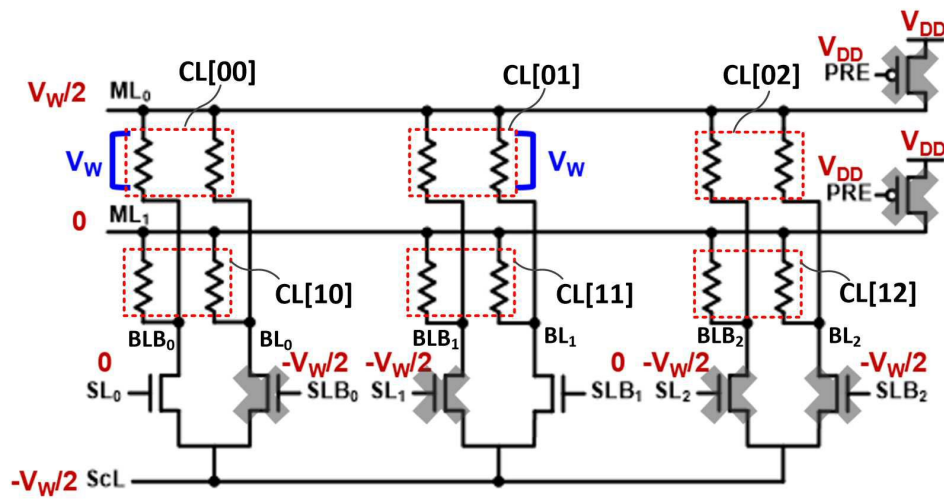
도면5



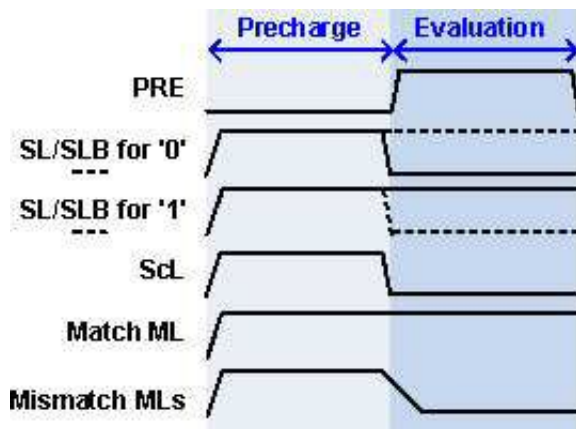
도면6



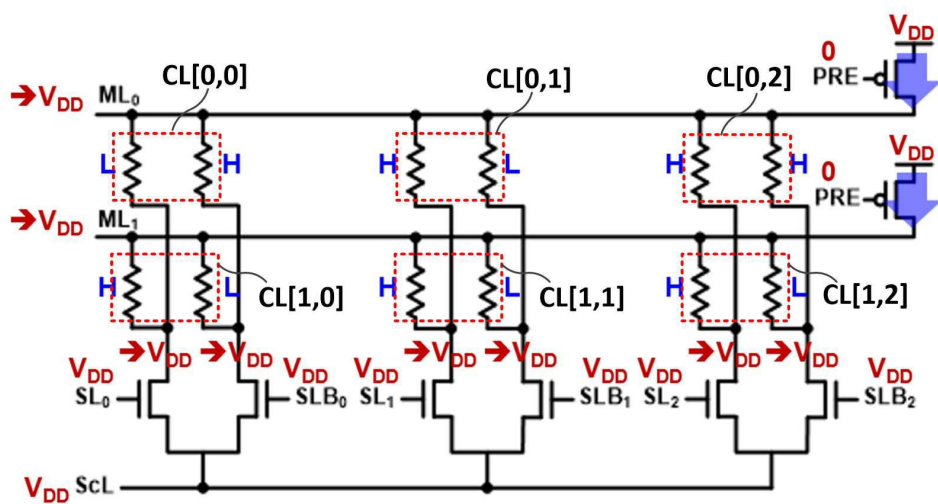
도면7



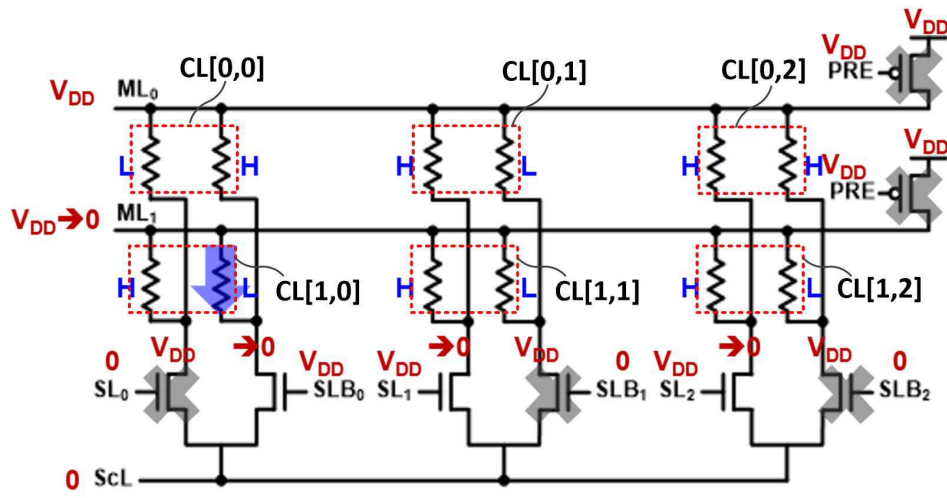
도면8



도면9



도면10



도면11

