



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월26일
(11) 등록번호 10-2526264
(24) 등록일자 2023년04월24일

(51) 국제특허분류(Int. Cl.)
H02M 7/5387 (2007.01) H02M 1/44 (2007.01)
(52) CPC특허분류
H02M 7/53871 (2013.01)
H02M 1/44 (2013.01)
(21) 출원번호 10-2021-0148883
(22) 출원일자 2021년11월02일
심사청구일자 2021년11월02일
(56) 선행기술조사문헌
KR101312372 B1*
KR1020200009229 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
박정욱
서울특별시 강남구 압구정로29길 71, 20동 701호
파잘아크바르
서울특별시 서대문구 연세로13길 32
송민석
서울특별시 마포구 서강로16길 49, 302호
(74) 대리인
권성현, 유광철, 백두진, 강일신, 김정연

전체 청구항 수 : 총 10 항

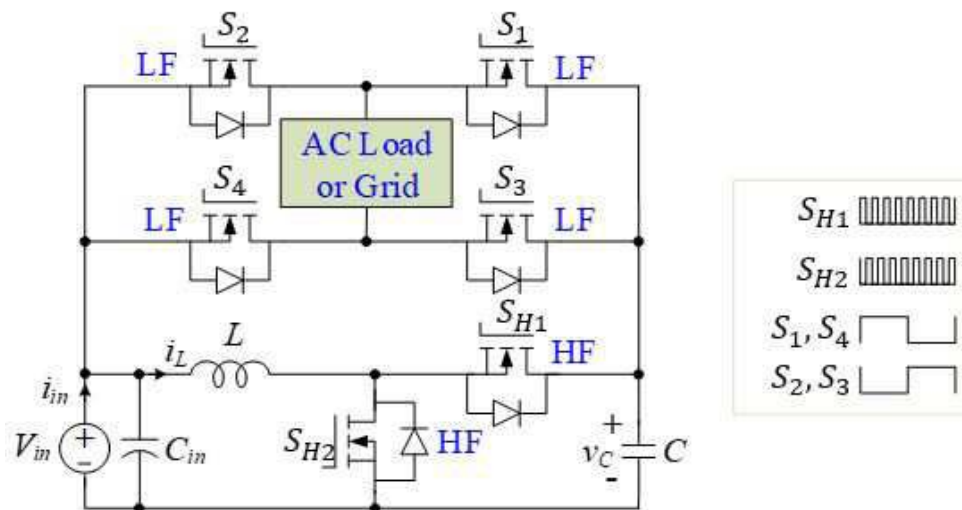
심사관 : 남기영

(54) 발명의 명칭 단상 가상 접지 벡-부스트 인버터 제어 장치

(57) 요약

본 발명의 단상 가상 접지 벡-부스트 인버터 제어 장치는 단상 가상 접지 벡-부스트 인버터 내에 포함된 복수의 스위치의 온/오프(on/off)를 제어 신호에 기초하여 제어하는 제어부를 포함하고, 상기 단상 가상 접지 벡-부스트 인버터는, 입력 전원; 상기 입력 전원에 연결되고, 서로 직렬로 연결된 제1 스위치 및 제2 스위치; 상기 입력 전원에 연결되고, 상기 제1 스위치 및 상기 제2 스위치와 병렬로 연결되며, 서로 직렬로 연결된 제3 스위치 및 제4 스위치; 일단이 상기 제1 스위치 및 상기 제3 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제1 고주파 스위치; 일단이 상기 제1 고주파 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제2 고주파 스위치; 일단은 상기 입력 전원에 연결되고, 타단은 상기 제1 고주파 스위치의 타단 및 상기 제2 고주파 스위치의 일단과 연결되는 인덕터를 포함할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1711130713
과제번호	2020R1A3B2079407
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	에너지 대전환 전력망 연구단
기 여 율	1/1
과제수행기관명	연세대학교
연구기간	2021.03.01 ~ 2022.02.28
공지예외적용	: 있음

명세서

청구범위

청구항 1

단상 가상 접지 벽-부스트 인버터 제어 장치에 있어서,

단상 가상 접지 벽-부스트 인버터 내에 포함된 복수의 스위치의 온/오프(on/off)를 제어 신호에 기초하여 제어하는 제어부를 포함하고,

상기 단상 가상 접지 벽-부스트 인버터는,

입력 전원;

상기 입력 전원에 연결되고, 서로 직렬로 연결된 제1 스위치 및 제2 스위치;

상기 입력 전원에 연결되고, 상기 제1 스위치 및 상기 제2 스위치와 병렬로 연결되며, 서로 직렬로 연결된 제3 스위치 및 제4 스위치;

일단이 상기 제1 스위치 및 상기 제3 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제1 고주파 스위치;

일단이 상기 제1 고주파 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제2 고주파 스위치; 및

일단은 상기 입력 전원에 연결되고, 타단은 상기 제1 고주파 스위치의 타단 및 상기 제2 고주파 스위치의 일단과 연결되는 인덕터를 포함하고,

상기 제어부는 출력 전압의 부호가 양인 경우,

상기 제1 스위치 및 상기 제4 스위치를 온 상태로 동작하게 하고,

상기 제2 스위치 및 상기 제3 스위치를 오프 상태로 동작하게 하고,

상기 입력 전원의 입력 전압과 상기 출력 전압에 따라 생성되는 제1 제어 신호에 기초하여 상기 제1 고주파 스위치를 제어하고, 상기 입력 전압과 상기 출력 전압에 따라 생성되는 제2 제어 신호에 기초하여 상기 제2 고주파 스위치를 제어하는

단상 가상 접지 벽-부스트 인버터 제어 장치.

청구항 2

제1항에 있어서,

상기 제어부는 상기 제1 스위치와 상기 제2 스위치 사이의 마디 및 상기 제3 스위치와 상기 제4 스위치 사이의 마디 사이의 상기 출력 전압의 부호를 판단하고, 상기 출력 전압의 부호에 따라 상기 제어 신호의 듀티(duty) 사이클과 관련된 듀티 비에 기초하여 상기 복수의 스위치를 제어하는

단상 가상 접지 벽-부스트 인버터 제어 장치.

청구항 3

제1항에 있어서,

상기 제1 내지 제4 스위치에 각각 병렬로 연결되는 제1 내지 제4 다이오드;

상기 제1 고주파 스위치에 병렬로 연결되는 제5 다이오드; 및

상기 제2 고주파 스위치에 병렬로 연결되는 제6 다이오드를 포함하는
단상 가상 접지 벽-부스트 인버터 제어 장치.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제어부는 상기 제2 제어 신호를 제1 듀티 비에 기초하여 생성하고,

상기 제1 듀티 비는 상기 단상 가상 접지 벽-부스트 인버터의 상기 입력 전압 및 상기 출력 전압의 비인 전압
이득 및 라인 주파수에 의해서 정해지는

단상 가상 접지 벽-부스트 인버터 제어 장치.

청구항 6

제5항에 있어서,

상기 제1 제어 신호는 상기 제2 제어 신호가 반전된 신호인

단상 가상 접지 벽-부스트 인버터 제어 장치.

청구항 7

제1항에 있어서,

상기 제어부는,

상기 제2 고주파 스위치가 온 상태이고, 상기 제1 고주파 스위치가 오프 상태인 경우를 제1 모드로 설정하고,

상기 제1 고주파 스위치 및 상기 제2 고주파 스위치가 오프 상태인 경우를 제2 모드로 설정하고,

상기 제1 고주파 스위치가 온 상태이고, 상기 제2 고주파 스위치가 오프 상태인 경우를 제3 모드로 설정하고,

상기 제1 모드, 상기 제2 모드 및 상기 제3 모드가 순차적으로 반복되도록 상기 제1 제어 신호 및 상기 제2 제
어 신호를 생성하는

단상 가상 접지 벽-부스트 인버터 제어 장치.

청구항 8

단상 가상 접지 벽-부스트 인버터 제어 장치에 있어서,

단상 가상 접지 벽-부스트 인버터 내에 포함된 복수의 스위치의 온/오프(on/off)를 제어 신호에 기초하여 제어
하는 제어부를 포함하고,

상기 단상 가상 접지 벽-부스트 인버터는,

입력 전원;

상기 입력 전원에 연결되고, 서로 직렬로 연결된 제1 스위치 및 제2 스위치;

상기 입력 전원에 연결되고, 상기 제1 스위치 및 상기 제2 스위치와 병렬로 연결되며, 서로 직렬로 연결된 제3
스위치 및 제4 스위치;

일단이 상기 제1 스위치 및 상기 제3 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제1 고주파 스위치;

일단이 상기 제1 고주파 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제2 고주파 스위치; 및

일단은 상기 입력 전원에 연결되고, 타단은 상기 제1 고주파 스위치의 타단 및 상기 제2 고주파 스위치의 일단과 연결되는 인덕터를 포함하고,

상기 제어부는 출력 전압의 부호가 음인 경우,

상기 제2 스위치 및 상기 제3 스위치를 온 상태로 동작하게 하고,

상기 제1 스위치 및 상기 제4 스위치를 오프 상태로 동작하게 하고,

상기 입력 전원의 입력 전압과 상기 출력 전압에 따라 생성되는 제3 제어 신호에 기초하여 상기 제1 고주파 스위치를 제어하고, 상기 입력 전압과 상기 출력 전압에 따라 생성되는 제4 제어 신호에 기초하여 상기 제2 고주파 스위치를 제어하는

단상 가상 접지 벡-부스트 인버터 제어 장치.

청구항 9

제8항에 있어서,

상기 제3 제어 신호는 상기 제4 제어 신호가 반전된 신호인

단상 가상 접지 벡-부스트 인버터 제어 장치.

청구항 10

제8항에 있어서,

상기 제어부는,

상기 제2 고주파 스위치가 온 상태이고, 상기 제1 고주파 스위치가 오프 상태인 경우를 제4 모드로 설정하고,

상기 제1 고주파 스위치 및 상기 제2 고주파 스위치가 오프 상태인 경우를 제5 모드로 설정하고,

상기 제1 고주파 스위치가 온 상태이고, 상기 제2 고주파 스위치가 오프 상태인 경우를 제6 모드로 설정하고,

상기 제4 모드, 상기 제5 모드 및 상기 제6 모드가 순차적으로 반복되도록 상기 제3 제어 신호 및 상기 제4 제어 신호를 생성하는

단상 가상 접지 벡-부스트 인버터 제어 장치.

청구항 11

제8항에 있어서,

상기 제어부는 상기 제4 제어 신호를 제1 듀티 비에 기초하여 생성하고,

상기 제1 듀티 비는 상기 단상 가상 접지 벡-부스트 인버터의 상기 입력 전압 및 상기 출력 전압의 비인 전압 이득 및 라인 주파수에 의해서 정해지는

단상 가상 접지 벡-부스트 인버터 제어 장치.

발명의 설명

기술 분야

[0001] 본 발명은 인버터 제어 장치에 관한 것으로, 보다 상세하게는, 가상 접지를 이용하여 누설 전류를 감소시키는 인버터를 제어하는 장치에 관한 것이다.

배경 기술

[0002] 절연 인버터와 비교하여 변압기가 없는 비절연 벽-부스트 인버터는 작은 크기, 높은 효율 및 비용 저감으로 인해 많이 사용되고 있다. 그러나, 갈바닉 절연이 없어 변압기가 없는 인버터는 접지 누설 전류의 문제가 있다.

[0003] 추가적인 스위치를 통해 누설 전류의 문제를 해결하는 방안도 있지만, 추가 소자는 두 단계 전력 처리 과정 동작으로 인해 비용과 효율에 부정적인 영향을 끼칠 수 있다. 따라서, 단일 단계의 비절연 벽-부스트 인버터에 대한 연구가 필요하다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 과제는 고주파로 동작하는 스위치의 개수가 2개인 인버터를 제어하는 장치에 관한 것이다.

[0005] 본 발명의 일 과제는 가상 접지를 이용하여 누설 전류를 감소시키는 인버터를 제어하는 장치에 관한 것이다.

과제의 해결 수단

[0006] 일 실시예에 따른 단상 가상 접지 벽-부스트 인버터 제어 장치는 단상 가상 접지 벽-부스트 인버터 제어 장치에 있어서, 단상 가상 접지 벽-부스트 인버터 내에 포함된 복수의 스위치의 온/오프(on/off)를 제어 신호에 기초하여 제어하는 제어부를 포함하고, 상기 단상 가상 접지 벽-부스트 인버터는, 입력 전원; 상기 입력 전원에 연결되고, 서로 직렬로 연결된 제1 스위치 및 제2 스위치; 상기 입력 전원에 연결되고, 상기 제1 스위치 및 상기 제2 스위치와 병렬로 연결되며, 서로 직렬로 연결된 제3 스위치 및 제4 스위치; 일단이 상기 제1 스위치 및 상기 제3 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제1 고주파 스위치; 일단이 상기 제1 고주파 스위치와 연결되고, 상기 제1 내지 제4 스위치보다 높은 주파수로 동작하는 제2 고주파 스위치; 일단은 상기 입력 전원에 연결되고, 타단은 상기 제1 고주파 스위치의 타단 및 상기 제2 고주파 스위치의 일단과 연결되는 인덕터를 포함할 수 있다.

[0007] 여기서, 상기 제어부는 상기 제1 스위치와 상기 제2 스위치 사이의 마디 및 상기 제3 스위치와 상기 제4 스위치 사이의 마디 사이의 출력 전압의 부호를 판단하고, 상기 출력 전압의 부호에 따라 상기 제어 신호의 듀티(duty) 사이클과 관련된 듀티 비에 기초하여 상기 복수의 스위치를 제어할 수 있다.

[0008] 여기서, 상기 제1 내지 제4 스위치에 각각 병렬로 연결되는 제1 내지 제4 다이오드; 상기 제1 고주파 스위치에 병렬로 연결되는 제5 다이오드; 및 상기 제2 고주파 스위치에 병렬로 연결되는 제6 다이오드를 포함할 수 있다.

[0009] 여기서, 상기 제어부는 상기 출력 전압의 부호가 양인 경우, 상기 제1 스위치 및 상기 제4 스위치를 온 상태로 동작하게 하고, 상기 제2 스위치 및 상기 제3 스위치를 오프 상태로 동작하게 하고, 상기 입력 전원의 입력 전압과 상기 출력 전압에 따라 생성되는 제1 제어 신호에 기초하여 상기 제1 고주파 스위치를 제어하고, 상기 입력 전압과 상기 출력 전압에 따라 생성되는 제2 제어 신호에 기초하여 상기 제2 고주파 스위치를 제어할 수 있다.

[0010] 여기서, 상기 제어부는 상기 제2 제어 신호를 제1 듀티 비에 기초하여 생성하고, 상기 제1 듀티 비는 상기 단상 가상 접지 벽-부스트 인버터의 상기 입력 전압 및 상기 출력 전압의 비인 전압 이득 및 라인 주파수에 의해서 정해질 수 있다.

[0011] 여기서, 상기 제1 제어 신호는 상기 제2 제어 신호가 반전된 신호일 수 있다.

[0012] 여기서, 상기 제어부는, 상기 제2 고주파 스위치가 온 상태이고, 상기 제1 고주파 스위치가 오프 상태인 경우를 제1 모드로 설정하고, 상기 제1 고주파 스위치 및 상기 제2 고주파 스위치가 오프 상태인 경우를 제2 모드로 설정하고, 상기 제1 고주파 스위치가 온 상태이고, 상기 제2 고주파 스위치가 오프 상태인 경우를 제3 모드로 설정하고, 상기 제1 모드, 상기 제2 모드 및 상기 제3 모드가 순차적으로 반복되도록 상기 제1 제어 신호 및 상기 제2 제어 신호를 생성할 수 있다.

[0013] 여기서, 상기 제어부는 상기 출력 전압의 부호가 음인 경우, 상기 제2 스위치 및 상기 제3 스위치를 온 상태로

동작하게 하고, 상기 제1 스위치 및 상기 제4 스위치를 오프 상태로 동작하게 하고, 상기 입력 전원의 입력 전압과 상기 출력 전압에 따라 생성되는 제3 제어 신호에 기초하여 상기 제1 고주파 스위치를 제어하고, 상기 입력 전압과 상기 출력 전압에 따라 생성되는 제4 제어 신호에 기초하여 상기 제2 고주파 스위치를 제어할 수 있다.

[0014] 여기서, 상기 제4 제어 신호는 상기 제3 제어 신호가 반전된 신호일 수 있다.

[0015] 여기서, 상기 제어부는, 상기 제2 고주파 스위치가 온 상태이고, 상기 제1 고주파 스위치가 오프 상태인 경우를 제4 모드로 설정하고, 상기 제1 고주파 스위치 및 상기 제2 고주파 스위치가 오프 상태인 경우를 제5 모드로 설정하고, 상기 제1 고주파 스위치가 온 상태이고, 상기 제2 고주파 스위치가 오프 상태인 경우를 제6 모드로 설정하고, 상기 제4 모드, 상기 제5 모드 및 상기 제6 모드가 순차적으로 반복되도록 상기 제3 제어 신호 및 상기 제4 제어 신호를 생성할 수 있다.

[0016] 여기서, 상기 제어부는 상기 제4 제어 신호를 제1 듀티 비에 기초하여 생성하고, 상기 제1 듀티 비는 상기 단상 가상 접지 벡-부스트 인버터의 상기 입력 전압 및 상기 출력 전압의 비인 전압 이득 및 라인 주파수에 의해서 정해질 수 있다.

발명의 효과

[0017] 본 발명의 일 실시예에 따르면 고주파로 동작하는 스위치의 개수가 2개인 인버터를 제어하여 고효율을 달성하고, 낮은 전압 스트레스를 갖도록 하는 인버터 제어 장치가 제공될 수 있다.

[0018] 본 발명의 일 실시예에 따르면 가상 접지를 이용하여 기생 커패시터의 전압 변동을 줄여 누설 전류를 감소시키는 인버터를 제어하는 장치가 제공될 수 있다.

도면의 간단한 설명

[0019] 도 1은 본원 발명의 일 실시예에 따른 단일 단계 벡-부스트 인버터의 회로도이다.

도 2는 본원 발명의 일 실시예에 따른 인버터 제어 장치의 인버터 게이트 신호의 타이밍도이다.

도 3은 본원 발명의 인버터의 제어 신호 입력을 위한 블록 다이어그램을 나타낸 도면이다.

도 4는 본원 발명의 일 실시예에 따른 인버터의 모드에 따른 회로를 나타낸 도면이다.

도 5는 본원 발명의 일 실시예에 따른 인버터의 계통 연계 모드에 대한 회로 및 단순화된 회로를 나타낸 도면이다.

도 6 및 도 7은 인버터의 부스트 동작에서의 시뮬레이션 결과를 나타낸 그래프이다.

도 8은 인버터의 벡 동작에서의 시뮬레이션 결과를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 명세서에 기재된 실시예는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 사상을 명확히 설명하기 위한 것이므로, 본 발명이 본 명세서에 기재된 실시예에 한정되는 것은 아니며, 본 발명의 범위는 본 발명의 사상을 벗어나지 아니하는 수정예 또는 변형예를 포함하는 것으로 해석되어야 한다.

[0021] 본 명세서에서 사용되는 용어는 본 발명에서의 기능을 고려하여 가능한 현재 널리 사용되고 있는 일반적인 용어를 선택하였으나 이는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자의 의도, 관례 또는 새로운 기술의 출현 등에 따라 달라질 수 있다. 다만, 이와 달리 특정한 용어를 임의의 의미로 정의하여 사용하는 경우에는 그 용어의 의미에 관하여 별도로 기재할 것이다. 따라서 본 명세서에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가진 실질적인 의미와 본 명세서의 전반에 걸친 내용을 토대로 해석되어야 한다.

[0022] 본 명세서에 첨부된 도면은 본 발명을 용이하게 설명하기 위한 것으로 도면에 도시된 형상은 본 발명의 이해를 돕기 위하여 필요에 따라 과장되어 표시된 것일 수 있으므로 본 발명이 도면에 의해 한정되는 것은 아니다.

[0023] 본 명세서에서 본 발명에 관련된 공지의 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에 이에 관한 자세한 설명은 필요에 따라 생략하기로 한다.

[0025] 도 1은 본원 발명의 일 실시예에 따른 단일 단계 벡-부스트 인버터의 회로도이다.

- [0026] 도 1을 참조하면, 본원 발명의 일 실시예에 따른 단일 단계 벡-부스트 인버터는 복수의 스위치를 포함할 수 있다. 인버터 회로는 라인 주파수에서 동작하는 4개의 스위치(S1, S2, S3 및 S4)와 고주파에서 동작하는 2개의 스위치(S_H1 및 S_H2)를 포함할 수 있다. 이때, 라인 주파수는 인버터와 연계된 계통의 주파수일 수 있다.
- [0027] 본원 발명의 인버터는 고주파에서 동작하는 스위치의 개수가 2개로 비교적 적기 때문에, 종래의 인버터 토폴로지보다 전력 손실을 크게 줄일 수 있다. 즉, 모든 스위치가 고주파에서 동작하는 종래의 토폴로지보다 고주파에서 동작하는 스위치의 개수가 적기 때문에, 스위치 간 상호 작용에 의한 전파 방해(EMI)가 감소하여, 전력 손실을 줄일 수 있다.
- [0028] 인버터 회로에서, 제1 스위치(S1) 및 제2 스위치(S2)는 서로 직렬로 연결되어 있다. 또한, 제3 스위치(S3) 및 제4 스위치(S4)는 서로 직렬로 연결되어 있다. 제1 스위치(S1)와 제2 스위치(S2) 및 제3 스위치(S3)와 제4 스위치(S4)는 서로 병렬로 연결되어 있다.
- [0029] 인버터 회로에서, 제1 스위치(S1)와 제2 스위치(S2) 사이의 마디 및 제3 스위치(S3)와 제4 스위치(S4) 사이의 마디에는 AC 로드 또는 그리드가 연결될 수 있다. 즉, 제1 스위치(S1)와 제2 스위치(S2) 사이의 마디 및 제3 스위치(S3)와 제4 스위치(S4) 사이의 마디 사이의 전압이 출력 전압일 수 있다. 본원 발명의 인버터 토폴로지는 풀브릿지 토폴로지 또는 H-브릿지 토폴로지의 일종일 수 있다.
- [0030] 제1 스위치(S1) 내지 제4 스위치(S4)는 각각 다이오드와 병렬로 연결될 수 있다.
- [0031] 인버터 회로에서, 제1 스위치(S1) 및 제3 스위치(S3)는 제1 고주파 스위치(S_H1)와 연결될 수 있다. 또한, 제1 고주파 스위치(S_H1)는 커패시터 및 제2 고주파 스위치(S_H2)와 연결될 수 있다.
- [0032] 또한, 제2 고주파 스위치(S_H2)는 인덕터와 연결될 수 있고, 인덕터는 입력 전원(V_{in})과 연결될 수 있다. 이때, 입력 전원(V_{in})은 제2 고주파 스위치(S_H2)와 병렬로 연결될 수 있다.
- [0033] 본원 발명의 단상 가상 접지 벡-부스트 인버터는 도 1의 구조로, 벡-부스트 동작이 가능하며, 낮은 누설 전류를 가지고, 벡-부스트 동작에 하나의 인덕터와 커패시터만 사용되기 때문에 높은 전력 밀도를 가질 수 있다. 또한, 2개의 스위치만 고주파에서 동작하기 때문에 높은 효율을 가지고 나머지 스위치는 라인 주파수에서 동작하여 낮은 전압 및 전류 스트레스를 가질 수 있다. 이때, 낮은 주파수 동작 및 전압 스트레스는 낮은 드레인 소스 온 저항으로 MOSFET을 사용할 수 있도록 할 수 있다.
- [0035] 도 2는 본원 발명의 일 실시예에 따른 인버터 제어 장치의 인버터 게이트 신호의 타이밍도이다. 인버터 제어 장치의 처리는 내부 제어부(프로세서)에 의해 수행될 수 있다. 이때, 제어부는 인버터의 마이크로 컨트롤 유닛(MCU)일 수 있다. 구체적으로, 제어부는 인버터에 제어 신호를 인가하는 로직 회로 등일 수 있다.
- [0036] 도 2를 참조하면, 본원 발명의 인버터 제어 장치는 출력 전압의 부호에 따라 인버터 회로의 복수의 스위치들을 제어할 수 있다.
- [0037] 먼저, 제어부는 출력 전압의 부호를 판단할 수 있다. 제어부는 타이밍에 대해 출력 전압의 부호가 양인 경우(양의 반주기)와 출력 전압의 부호가 음인 경우(음의 반주기)로 나눌 수 있다.
- [0038] 출력 전압의 부호가 양인 양의 반주기에는, 제어부는 제1 스위치(S1) 및 제4 스위치(S4)를 온 상태로 동작하도록 제어할 수 있다. 또한 이때, 제어부는 제2 스위치(S2) 및 제3 스위치(S3)를 오프 상태로 동작하도록 제어할 수 있다.
- [0039] 이때, 제어부는 제1 고주파 스위치(S_H1) 및 제2 고주파 스위치(S_H2)의 온/오프 상태에 따라 모드를 구분할 수 있다.
- [0040] 예를 들어, 제어부는 제2 고주파 스위치(S_H2)가 온 상태이고, 제1 고주파 스위치(S_H1)가 오프 상태인 경우를 제1 모드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제2 고주파 스위치(S_H2)가 오프 상태였다가 온 상태로 전환되는 순간부터 다시 오프 상태로 전환되는 순간까지를 제1 모드로 설정할 수 있다.
- [0041] 또한, 제어부는 제1 고주파 스위치(S_H1) 및 제2 고주파 스위치(S_H2)가 모두 오프 상태인 경우를 제2 모드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제2 고주파 스위치(S_H2)가 온 상태였다가 오프 상태로 전환하는 순간부터 제1 고주파 스위치(S_H1)가 오프 상태였다가 온 상태로 전환되는 순간까지를 제2 모드로 설정할 수 있다.
- [0042] 또한, 제어부는 제1 고주파 스위치(S_H1)가 온 상태이고 제2 고주파 스위치(S_H2)가 오프 상태인 경우를 제3 모

드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제1 고주파 스위치(S_{H1})가 온 오프 상태였다가 온 상태로 전환되는 순간부터 다시 오프 상태로 전환되는 순간까지를 제3 모드로 설정할 수 있다.

[0043] 또한, 제어부는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2})가 모두 오프 상태인 경우를 제1 버퍼 모드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제1 고주파 스위치(S_{H1})가 온 상태였다가 오프 상태로 전환하는 순간부터 제2 고주파 스위치(S_{H2})가 오프 상태였다가 온 상태로 전환하는 순간까지를 제1 버퍼 모드로 설정할 수 있다. 제1 버퍼 모드는 실질적으로 제2 모드와 동일한 모드일 수 있다.

[0044] 제1 버퍼 모드는 상보적인 스위치의 안전한 동작을 위한 약간의 데드 타임일 수 있다. 즉, 고주파로 동작하는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2})의 안전한 동작을 위해, 다음 상태 이전에 두 스위치 모두 오프 상태인 버퍼 시간일 수 있다.

[0045] 제어부는 제1 모드 - 제2 모드 - 제3 모드의 패턴이 반복되도록 인버터를 제어할 수 있다. 즉, 제어부는 제1 모드, 제2 모드, 제3 모드 그리고 제1 모드의 패턴이 반복되도록 복수의 스위치에 대한 제어 신호를 생성할 수 있다.

[0046] 또는 제어부는 제1 모드 - 제2 모드 - 제3 모드 - 제1 버퍼 모드의 패턴이 반복되도록 인버터를 제어할 수 있다. 즉, 제어부는 제1 모드, 제2 모드, 제3 모드, 제1 버퍼 모드 그리고 제1 모드의 패턴이 반복되도록 복수의 스위치에 대한 제어 신호를 생성할 수 있다.

[0047] 위 패턴이 반복되기 위해서는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2}) 중 어느 하나가 오프 상태인 구간의 길이가 나머지 하나가 온 상태인 구간의 길이보다 길어야 할 수 있다.

[0048] 제어부에 의해 양의 반주기에서 상기 제1 모드, 제2 모드 및 제3 모드가 출력 전압이 0일때까지 반복될 수 있다.

[0050] 출력 전압의 부호가 음인 음의 반주기에는, 제어부는 제2 스위치(S₂) 및 제3 스위치(S₃)를 온 상태로 동작하도록 제어할 수 있다. 또한 이때, 제어부는 제1 스위치(S₁) 및 제4 스위치(S₄)를 오프 상태로 동작하도록 제어할 수 있다.

[0051] 이때, 제어부는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2})의 온/오프 상태에 따라 모드를 구분할 수 있다.

[0052] 예를 들어, 제어부는 제2 고주파 스위치(S_{H2})가 온 상태이고, 제1 고주파 스위치(S_{H1})가 오프 상태인 경우를 제4 모드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제2 고주파 스위치(S_{H2})가 오프 상태였다가 온 상태로 전환되는 순간부터 다시 오프 상태로 전환되는 순간까지를 제4 모드로 설정할 수 있다.

[0053] 또한, 제어부는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2})가 모두 오프 상태인 경우를 제5 모드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제2 고주파 스위치(S_{H2})가 온 상태였다가 오프 상태로 전환하는 순간부터 제1 고주파 스위치(S_{H1})가 오프 상태였다가 온 상태로 전환되는 순간까지를 제5 모드로 설정할 수 있다.

[0054] 또한, 제어부는 제1 고주파 스위치(S_{H1})가 온 상태이고 제2 고주파 스위치(S_{H2})가 오프 상태인 경우를 제6 모드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제1 고주파 스위치(S_{H1})가 온 오프 상태였다가 온 상태로 전환되는 순간부터 다시 오프 상태로 전환되는 순간까지를 제6 모드로 설정할 수 있다.

[0055] 또한, 제어부는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2})가 모두 오프 상태인 경우를 제2 버퍼 모드로 설정할 수 있다. 구체적으로, 제어부는 일정 주기 내에서, 제1 고주파 스위치(S_{H1})가 온 상태였다가 오프 상태로 전환하는 순간부터 제2 고주파 스위치(S_{H2})가 오프 상태였다가 온 상태로 전환하는 순간까지를 제2 버퍼 모드로 설정할 수 있다. 제2 버퍼 모드는 실질적으로 제5 모드와 동일한 모드일 수 있다.

[0056] 제2 버퍼 모드는 상보적인 스위치의 안전한 동작을 위한 약간의 데드 타임일 수 있다. 즉, 고주파로 동작하는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2})의 안전한 동작을 위해, 다음 상태 이전에 두 스위치 모두 오프 상태인 버퍼 시간일 수 있다.

[0057] 제어부는 제4 모드 - 제5 모드 - 제6 모드의 패턴이 반복되도록 인버터를 제어할 수 있다. 즉, 제어부는 제4 모드, 제5 모드, 제6 모드 그리고 제4 모드의 패턴이 반복되도록 복수의 스위치에 대한 제어 신호를 생성할 수 있다.

- [0058] 또는 제어부는 제4 모드 - 제5 모드 - 제6 모드 - 제2 버퍼 모드의 패턴이 반복되도록 인버터를 제어할 수 있다. 즉, 제어부는 제4 모드, 제5 모드, 제6 모드, 제2 버퍼 모드 그리고 제4 모드의 패턴이 반복되도록 복수의 스위치에 대한 제어 신호를 생성할 수 있다.
- [0059] 위 패턴이 반복되기 위해서는 제1 고주파 스위치(S_{H1}) 및 제2 고주파 스위치(S_{H2}) 중 어느 하나가 오프 상태인 구간의 길이가 나머지 하나가 온 상태인 구간의 길이보다 길어야 할 수 있다.
- [0060] 제어부에 의해 음의 반주기에서 상기 제4 모드, 제5 모드 및 제6 모드가 출력 전압이 0일때까지 반복될 수 있다.
- [0062] 도 3은 본원 발명의 인버터의 제어 신호 입력을 위한 블록 다이어그램을 나타낸 도면이다.
- [0063] 도 3을 참조하면, 제어부의 제어 신호 생성 단계를 블록 다이어그램을 통해 파악할 수 있다. 제어부는 제1 스위치(S1) 및 제4 스위치(S4)를 제어하는 제1 제어 신호, 제2 스위치(S2) 및 제3 스위치(S3)를 제어하는 제2 제어 신호, 제1 고주파 스위치(S_{H1})를 제어하는 제3 제어 신호 및 제2 고주파 스위치(S_{H2})를 제어하는 제4 제어 신호를 생성할 수 있다.
- [0064] 제어부는 다음과 같은 식을 따라 제4 제어 신호를 생성할 수 있다. 아래 식 1 및 식 2는 제4 제어 신호의 듀티(duty) 사이클과 관련된 듀티 비(ratio)를 나타낸 식이다.
- [0065] [식 1]
- $$d_1 = \frac{|V_o \sin \omega t|}{V_{in} + |V_o \sin \omega t|}$$
- [0066]
- [0067] ($\omega = 2\pi f$, f : 라인 주파수)
- [0068] 듀티 비 d_1 은 전압 이득 $G = V_o/V_{in}$ 으로 표현될 수 있고 식은 다음과 같다.
- [0069] [식 2]
- $$d_1 = \frac{|G \sin \omega t|}{1 + |G \sin \omega t|}$$
- [0070]
- [0071] 도 3에 도시된 바와 같이 제2 고주파 스위치(S_{H2})에 대한 제4 제어 신호는 식 2로부터 얻어질 수 있다.
- [0072] 제어부는 제4 제어 신호의 상보적인 신호로 제1 고주파 스위치(S_{H1})를 제어하는 제3 제어 신호를 얻을 수 있다. 제1 스위치(S1) 및 제4 스위치(S4)를 제어하는 제1 제어 신호는 라인 주파수에 의한 신호일 수 있다. 제어부는 제1 제어 신호의 상보적인 신호로 제2 제어 신호를 얻을 수 있다. 구체적으로, 제1 제어 신호 및 제2 제어 신호는 기준 신호(V_{ref})와 접지 신호가 비교되어 생성될 수 있다.
- [0074] 도 4는 본원 발명의 일 실시예에 따른 인버터의 모드에 따른 회로를 나타낸 도면이다. 도 4(a) 내지 도 4(c)는 양의 반주기에서의 회로이고, 도 4(d) 내지 도 4(f)는 음의 반주기에서의 회로를 나타낸 도면이다.
- [0075] 도 4(a)는 제1 모드에서의 전류 흐름을 나타낸 회로도이고, 도 4(b)는 제2 모드에서의 전류 흐름을 나타낸 회로도이고, 도 4(c)는 제3 모드에서의 전류 흐름을 나타낸 회로도이다.
- [0076] 도 4(a)를 참조하면, 제1 모드에서 도 2의 타이밍도에 의해 제1 스위치(S1), 제4 스위치(S4) 및 제2 고주파 스위치(S_{H2})만이 켜진다. 이때, 인덕터(L)는 에너지를 저장하고 커패시터(c)는 부하에 에너지를 공급한다. 인덕터 전류 리플은 다음과 같다.
- [0077] [식 3]
- $$\Delta i_L = \frac{V_{in} d_1 T_s}{L}$$
- [0078]
- [0079] (T_s : 스위칭 기간)
- [0080] 도 4(b)를 참조하면, 제2 모드에서 도 2의 타이밍도에 의해 제1 스위치(S1) 및 제4 스위치(S4)만이 켜진다. 제2

모드에서 인덕터(L)는 커패시터(C)와 부하에 에너지를 공급할 수 있다. 제2 모드에서는 데드 타임으로 인해 두 고주파 스위치가 모두 꺼지고, 전류가 제1 고주파 스위치(S_{H1})의 바디 다이오드를 통해 흐르게 된다.

[0081] 도 4(c)를 참조하면, 제3 모드에서 도 2의 타이밍도에 의해 제1 스위치(S1), 제4 스위치(S4) 및 제1 고주파 스위치(S_{H1})만이 켜진다. 제3 모드에서 제1 고주파 스위치(S_{H1})가 켜져 있고, 전류가 모스펫의 채널을 통해 흐를 수 있어, 동기 정류의 이점을 얻을 수 있다.

[0082] 이때, 전류 리플은 다음과 같다.

[0083] [식 4]

$$\Delta i_L = -\frac{v_o(1-d_1)T_s}{L}$$

[0084]

[0085] 도 4(d)를 참조하면, 제4 모드에서 도 2의 타이밍도에 의해 제2 스위치(S2), 제3 스위치(S3) 및 제2 고주파 스위치(S_{H2})만이 켜진다. 때, 인덕터(L)는 에너지를 저장하고 커패시터(c)는 부하에 에너지를 공급한다. 인덕터 전류 리플은 제1 모드와 유사하다.

[0086] 도 4(e)를 참조하면, 제5 모드에서 도 2의 타이밍도에 의해 제2 스위치(S2) 및 제3 스위치(S3)만이 켜진다. 제5 모드에서 인덕터(L)는 커패시터(C)와 부하에 에너지를 공급할 수 있다. 제5 모드에서는 데드 타임으로 인해 두 고주파 스위치가 모두 꺼지고, 전류가 제1 고주파 스위치(S_{H1})의 바디 다이오드를 통해 흐르게 된다.

[0087] 도 4(f)를 참조하면, 제6 모드에서 도 2의 타이밍도에 의해 제1 스위치(S1), 제4 스위치(S4) 및 제1 고주파 스위치(S_{H1})만이 켜진다. 제6 모드에서 제1 고주파 스위치(S_{H1})가 켜져 있고, 전류가 모스펫의 채널을 통해 흐를 수 있어, 동기 정류의 이점을 얻을 수 있다.

[0088] 이때, 전류 리플은 다음과 같다.

[0089] [식 5]

$$\Delta i_L = \frac{v_o(1-d_1)T_s}{L}$$

[0090]

[0092] 도 5는 본원 발명의 일 실시예에 따른 인버터의 계통 연계 모드에 대한 회로 및 단순화된 회로를 나타낸 도면이다.

[0093] 도 5(a)는 인버터의 계통 연계 모드에 대한 회로를 나타낸 것이고, 도 5(b)는 출력 전압의 부호가 양인 양의 반주기에서의 단순화된 회로를 나타낸 것이고, 도 5(b)는 출력 전압의 부호가 음인 음의 반주기에서의 단순화된 회로를 나타낸 것이다.

[0094] 도 5(a)를 참조하면, 본원 발명의 인버터의 일반적인 계통 연계 구성을 알 수 있다. 태양광 발전 패널의 기생 커패시터는 제1 기생 커패시터(C_{p1}) 및 제2 기생 커패시터(C_{p2})로 표현될 수 있고, 전압은 제1 전압(v_{p1}) 및 제2 전압(v_{p2})로 표현될 수 있다. 인덕터(L0)는 고주파의 고조파를 필터링하며 기존 계통 연결 인버터에도 필요하다.

[0095] 태양광 발전은 대부분 계통과 연계되므로, 누설 전류가 중요한 설계 매개 변수가 될 수 있다. 계통 연계형 변압기가 없는 태양광 발전 시스템에서 누설 전류는 태양광 발전 패널의 기생 커패시터를 통해 흐를 수 있다. 기생 커패시터 전반에 걸친 상당한 고주파 전압 변동은 큰 누설 전류를 초래하는 반면, 라인 주파수 변동은 낮은 누설 전류를 야기한다. 기생 커패시터 전압에 변동이 없으면 누설 전류는 0이 될 수 있다.

[0096] 도 5(b) 및 도 5(c)를 참조하면, 커패시터(C_{p1}, C_{p2})의 전압이 출력 전압의 부호에 따라 달라지는 것을 확인할 수 있다.

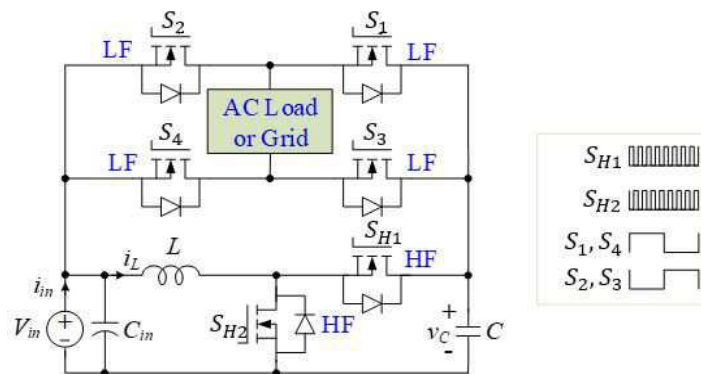
[0097] 양의 반주기에서, 제1 기생 커패시터(C_{p1})의 전압은 0이고, 제2 기생 커패시터(C_{p2})의 전압은 -V_{in}이 된다. 음의 반주기에서 제1 기생 커패시터(C_{p1})의 전압은 (V_{in}-V_c)이고, 제2 기생 커패시터(C_{p2})의 전압은 -V_c가 된다.

[0098] 즉, 양의 반주기에서 AC 접지는 DC 버스에 직접 연결되고, 기생 커패시터(V_{p1}, V_{p2})의 전압은 변동이 없이 일정하기 때문에, 누설 전류는 0이 될 것이다.

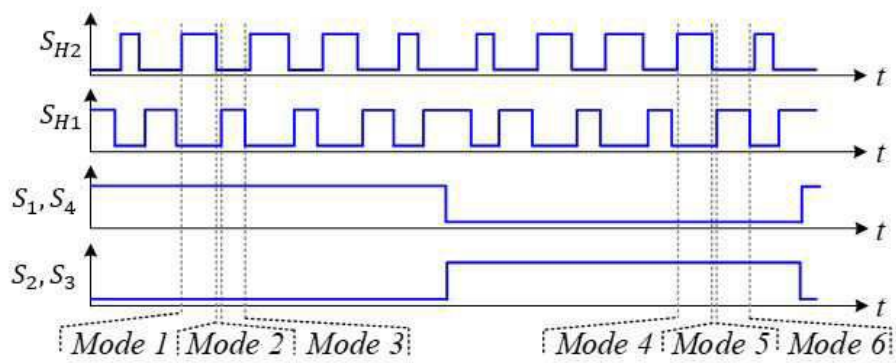
- [0099] 그러나, 음의 반주기에서 제1 기생 커패시터(C_{p1})의 전압 및 제2 기생 커패시터(C_{p2})의 전압은 모두 V_c 에 의존한다. 입력 전압은 일정하고, V_c 는 라인 주파수에 따라 사인파로 변하게 된다. 이는 기생 커패시터 양단에 고주파 변동이 아닌 라인 주파수 변동으로, 누설 전류가 고주파 변동일때보다 낮다는 것을 의미할 수 있다.
- [0100] 고주파 신호의 관점에서, 커패시터(C)는 낮은 임피던스 경로를 제공할 수 있고, 태양광 발전 패널의 음극 단자를 그리드의 접지에 가상으로 연결한 것으로 보일 수 있다. 따라서, 본원 발명의 인버터는 가상 접지 회로를 포함할 수 있다.
- [0102] 도 6 및 도 7은 인버터의 부스트 동작에서의 시뮬레이션 결과를 나타낸 그래프이다. 도 6 및 도 7은 입력 전압이 100V일 때 부스트 모드의 파형을 나타낸다.
- [0103] 도 6(a)는 게이트 신호의 시뮬레이션 결과를 나타낸 것이고, 도 6(b)는 입력 전압(V_{in}), 출력 전압(V_0), 인덕터 전류(i_L) 및 입력 전류(i_{in})의 시뮬레이션 결과를 나타낸 것이다.
- [0104] 도 7(a)는 필터 커패시터(V_c) 양단의 전압, 스위치(S_{H1} , S_{H2})의 드레인-소스 전압의 시뮬레이션 결과를 나타낸 것이고, 도 7(b)는 스위치(S_1 , S_2 , S_3 , S_4)의 드레인-소스 전압의 시뮬레이션 결과를 나타낸 것이다.
- [0106] 도 8은 인버터의 벡 동작에서의 시뮬레이션 결과를 나타낸 그래프이다. 도 8은 입력 전압이 200V일 때 벡 모드의 파형을 보여준다.
- [0107] 도 8(a)는 입력 전압(V_{in}), 출력 전압(V_0), 인덕터 전류(i_L) 및 입력 전류(i_{in})의 시뮬레이션 결과를 나타낸 것이다. 도 8(b)는 필터 커패시터(V_c) 양단의 전압, 스위치(S_{H1} , S_{H2})의 드레인-소스 전압의 시뮬레이션 결과를 나타낸 것이고, 도 8(c)는 기생 커패시터의 전압(v_{p1} , v_{p2})의 시뮬레이션 결과를 나타낸 것이다.
- [0108] 도 6 내지 도 8의 시뮬레이션 결과를 참조하면, 고주파 스위치(S_{H1} , S_{H2})만이 ($V_{in}+V_0$)와 동일한 전압 스트레스를 갖는다는 것을 알 수 있다. 또한, 라인 주파수 스위치의 전압 스트레스는 낮고, 피크 출력 전압 V_0 와 같다는 것을 알 수 있다. 또한, 기생 커패시터 양단의 전압은 위에서 살펴본 바와 같다는 것을 알 수 있다.
- [0109] 즉, 양의 반주기에서, 제1 기생 커패시터(C_{p1})의 전압 및 제2 기생 커패시터(C_{p2})의 전압은 DC 값으로 고정된다. 반면, 음의 반주기에서 제1 기생 커패시터(C_{p1})의 전압 및 제2 기생 커패시터(C_{p2})의 전압은 라인 주파수에 따라 달라지며, 고주파 리플은 필터 커패시터(C)에 의해 크게 감소하는 것을 알 수 있다. 따라서, 출력 전압의 음의 반주기에서는 작은 누설 전류가 존재하지만, 산업 표준에 비해서 훨씬 낮은 것을 알 수 있다.
- [0111] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0112] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0113] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

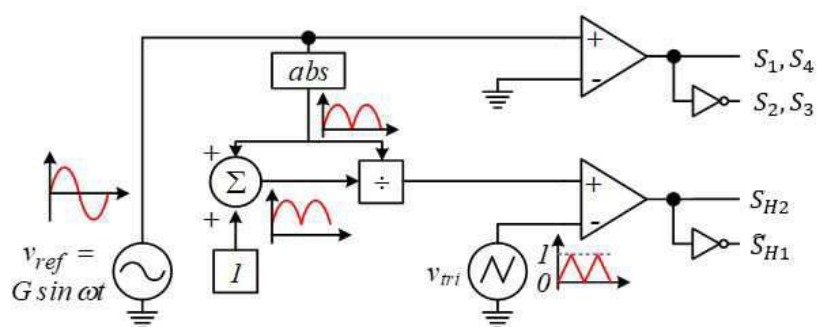
도면1



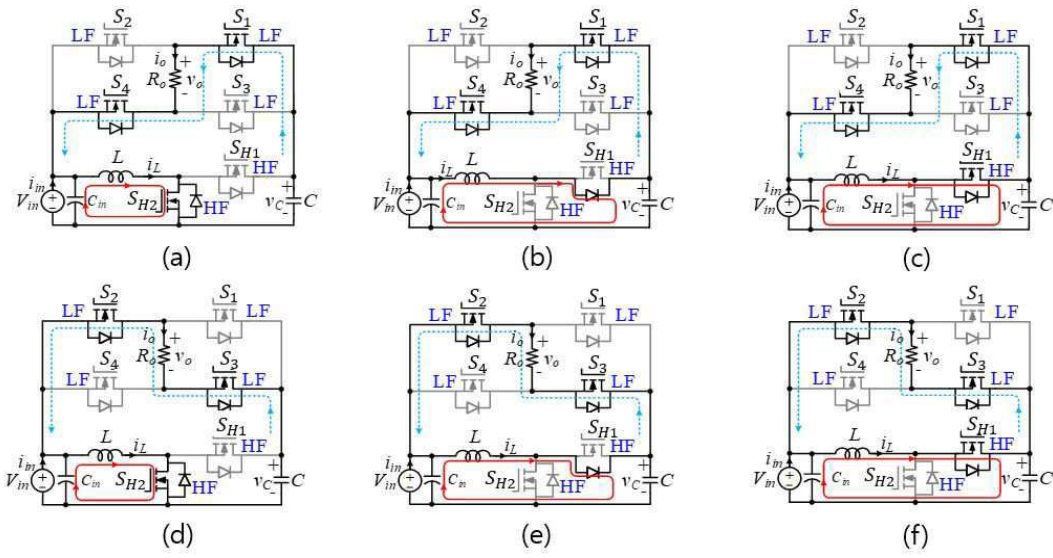
도면2



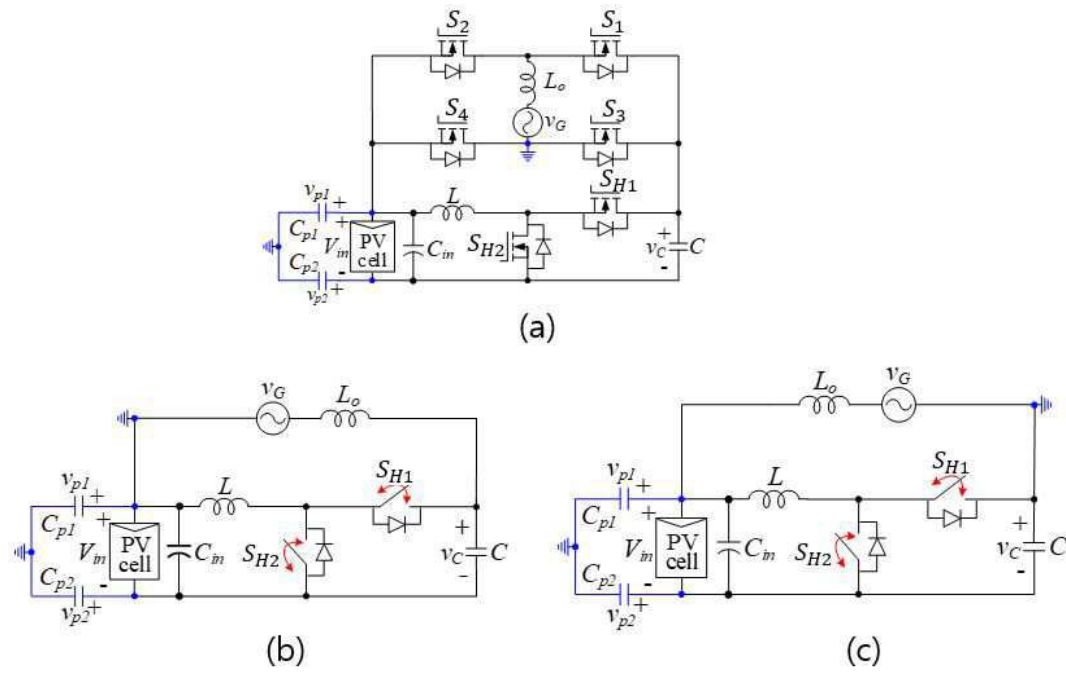
도면3



도면4

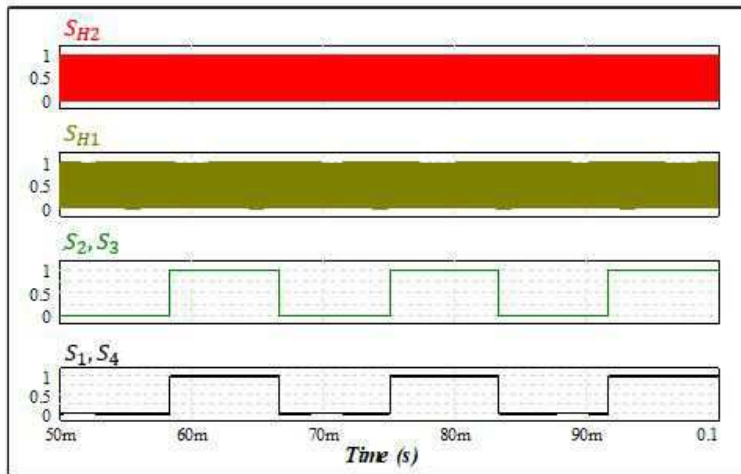


도면5

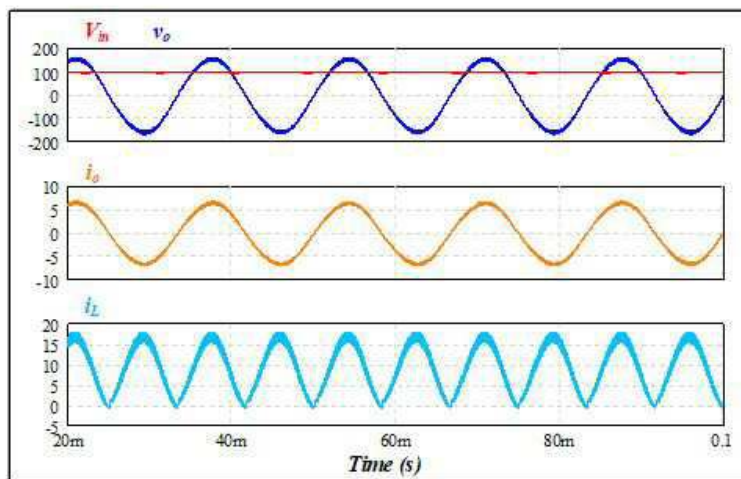


도면6

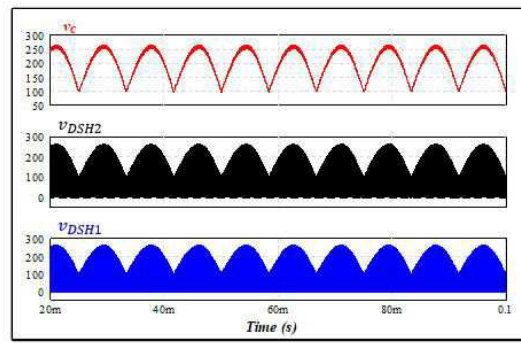
(a)



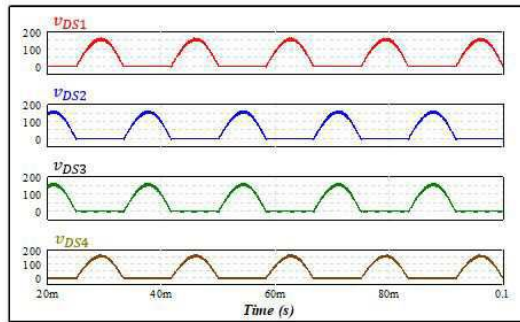
(b)



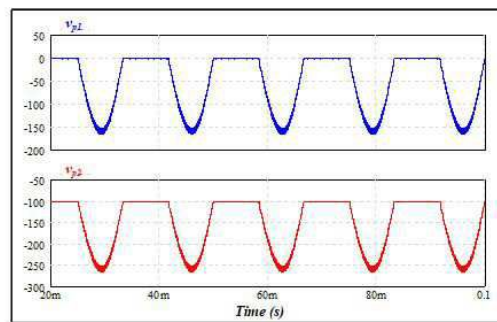
도면7



(a)

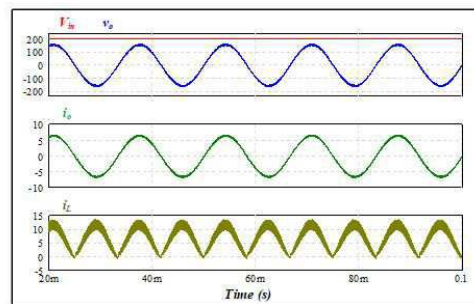


(b)

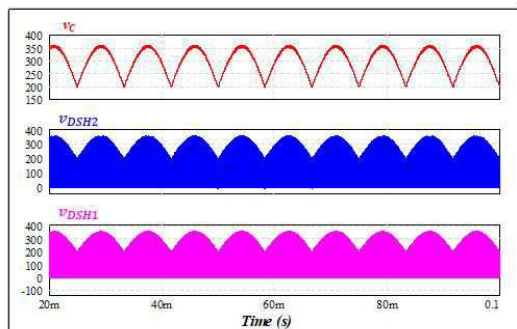


(c)

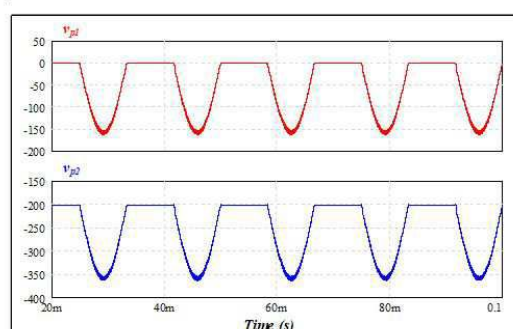
도면8



(a)



(b)



(c)