



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년06월25일
(11) 등록번호 10-2678554
(24) 등록일자 2024년06월21일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/092 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/78696 (2013.01)
H01L 27/092 (2013.01)
(21) 출원번호 10-2023-0033125
(22) 출원일자 2023년03월14일
심사청구일자 2023년03월14일
(56) 선행기술조사문헌
KR1020140062884 A
(뒷면에 계속)

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
장지원
서울특별시 강남구 개포로 311, 902동 902호
이창욱
서울특별시 양천구 목동서로 401, A동 1502호
서재은
서울특별시 서대문구 연희로10길 24-4, 203호
(74) 대리인
특허법인시공

전체 청구항 수 : 총 14 항

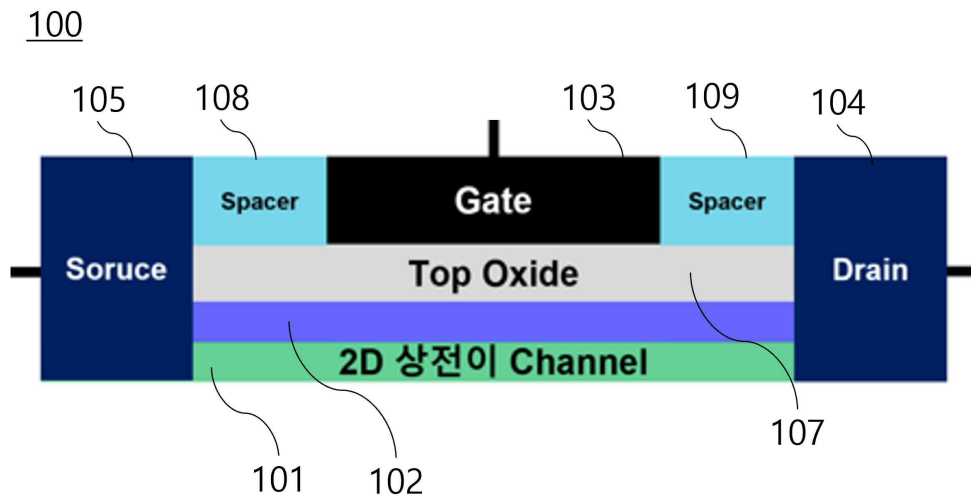
심사관 : 윤광준

(54) 발명의 명칭 3진법 MOSFET 소자 및 이를 구비한 3진법 CMOS 소자

(57) 요약

개시된 발명의 일 측면에 따른 3진법 MOSFET 소자는 2차원 상전이 물질로 구성되는 2차원 상전이 물질 층; 별도의 도핑이 없이 전압 변화에 의해 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성되어 상기 2차원 상전이 물질 층에 적층되는 2차원 반도체 물질 층; 상기 2차원 반도체 물질 층의 상단에 적층되고, 입력 전압을 인가받도록 구성되는 게이트단; 상기 2차원 상전이 물질 층의 일측 끝단 및 상기 2차원 반도체 물질 층의 일측 끝단에 연결되는 드레인단; 및 상기 2차원 상전이 물질 층의 타측 끝단 및 상기 2차원 반도체 물질 층의 타측 끝단에 연결되는 소스단을 포함하고, 상기 2차원 상전이 물질 층은, 상기 게이트단에 인가된 전압의 크기에 상관없이 상기 드레인단 및 상기 소스단 사이에서 정전류가 흐르도록 구성될 수 있다.

대표도 - 도1



(52) CPC특허분류
H01L 29/66969 (2013.01)

(56) 선행기술조사문헌
KR1020180098900 A
US20180374962 A1
US20220246766 A1
KR1020210032240 A

이 발명을 지원한 국가연구개발사업

과제고유번호	1711181765
과제번호	2022R1A2C2008726
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	Logic-in-Memory 구현을 위한, 2차원 물질의 두께에 따른 상전이를 활용한
Monolithic 3D 집적 가능한	Ternary CMOS 기술 연구
기 여 율	1/1
과제수행기관명	연세대학교
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

2차원 상전이 물질로 구성되는 2차원 상전이 물질 층;

별도의 도핑이 없이 전압 변화에 의해 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성되어 상기 2차원 상전이 물질 층에 적층되는 2차원 반도체 물질 층;

상기 2차원 반도체 물질 층의 상단에 적층되고, 입력 전압을 인가받도록 구성되는 게이트단;

상기 2차원 상전이 물질 층의 일측 끝단 및 상기 2차원 반도체 물질 층의 일측 끝단에 연결되는 드레인단; 및

상기 2차원 상전이 물질 층의 타측 끝단 및 상기 2차원 반도체 물질 층의 타측 끝단에 연결되는 소스단을 포함하고,

상기 2차원 상전이 물질 층은,

상기 게이트단에 인가된 전압의 크기에 상관없이 상기 드레인단 및 상기 소스단 사이에서 정전류가 흐르도록 구성되는, 3진법 MOSFET 소자.

청구항 2

제1항에 있어서,

상기 2차원 상전이 물질 층은,

층의 두께가 증가함에 따라 밴드 갭(Band Gap)이 줄어드는 특성을 가진 2차원 상전이 물질로 구성되는, 3진법 MOSFET 소자.

청구항 3

제2항에 있어서,

상기 2차원 상전이 물질 층은,

층의 두께가 증가함에 따라 밴드 갭이 줄어드는 특성을 가진 전이금속 칼코겐화합물(Transition Metal Dichalcogenides; TDMs)로 구성되는, 3진법 MOSFET 소자.

청구항 4

제3항에 있어서,

상기 2차원 상전이 물질 층은,

PtSe₂(Platinum Diselenide) 및 PdSe₂(Palladium Diselenide) 중 적어도 하나의 물질로 구성되는, 3진법 MOSFET 소자.

청구항 5

제2항에 있어서,

상기 2차원 상전이 물질 층은,

홀원소로 이루어진 2차원 상전이 물질이고 비소(As)의 동소체이면서 2차원 구조를 가진 물질인 Arsenene 또는 홀원소로 이루어진 2차원 상전이 물질이고 안티모니(Sb)의 동소체이면서 2차원 구조를 가진 물질인 Antimonene 중 적어도 하나로 구성되는, 3진법 MOSFET 소자.

청구항 6

제1항에 있어서,

상기 2차원 상전이 물질 층 및 상기 2차원 반도체 물질 층 사이에 위치하도록 상기 2차원 상전이 물질 층의 상단 및 상기 2차원 반도체 물질 층의 하단에 적층되는 제1 산화 물질 층을 더 포함하는, 3진법 MOSFET 소자.

청구항 7

제6항에 있어서,

상기 2차원 반도체 물질 층 및 상기 게이트단 사이에 위치하도록 상기 2차원 반도체 물질 층의 상단 및 상기 게이트단의 하단에 적층되는 제2 산화 물질 층;

절연 물질로 구성되어 상기 소스단 및 상기 게이트단 사이에 마련되는 제1 스페이서; 및

절연 물질로 구성되어 상기 게이트단 및 상기 드레인단 사이에 마련되는 제2 스페이서를 더 포함하는, 3진법 MOSFET 소자.

청구항 8

제7항의 3진법 MOSFET 소자를 제조하는 방법에 있어서,

상기 2차원 상전이 물질 층의 상단에 상기 제1 산화 물질 층을 증착하는 단계;

상기 제1 산화 물질 층의 상단에 상기 2차원 반도체 물질 층을 증착하는 단계;

상기 2차원 반도체 물질 층의 상단에 상기 제2 산화 물질 층을 증착하는 단계; 및

상기 2차원 상전이 물질, 상기 제1 산화 물질 층, 상기 2차원 반도체 물질 층 및 상기 제2 산화 물질 층이 적층된 층 구조의 일측 끝단에 상기 소스단을 연결하고, 상기 층 구조의 타측 끝단에 상기 드레인단을 연결하고, 상기 층 구조의 상단에 게이트단을 연결하는 단계를 포함하는, 3진법 MOSFET 소자의 제조 방법.

청구항 9

제1항 내지 제7항 중 어느 한 항의 3진법 MOSFET 소자를 포함하는 3진법 CMOS 소자.

청구항 10

제9항에 있어서,

별도의 도핑이 없이 전압 변화에 의해 n 타입의 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성되어 상기 2차원 상전이 물질 층에 적층되는 n채널 2차원 반도체 물질 층을 포함하는 n타입 3진법 MOSFET 소자; 및

별도의 도핑이 없이 전압 변화에 의해 p 타입의 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성되어 상기 2차원 상전이 물질 층에 적층되는 p채널 2차원 반도체 물질 층을 포함하는 p타입 3진법 MOSFET 소자를 포함하는 3진법 CMOS 소자.

청구항 11

제10항에 있어서,

상기 n타입 3진법 MOSFET 소자는:

n채널 2차원 반도체 물질 층의 하단에 적층되는 2차원 상전이 물질로 구성되는 2차원 상전이 물질 층;

상기 n채널 2차원 반도체 물질 층의 상단에 적층되고, 입력 전압을 인가받도록 구성되는 제1 게이트단;

상기 2차원 상전이 물질 층의 일측 끝단 및 상기 n채널 2차원 반도체 물질 층의 일측 끝단에 연결되는 제1 드레인단; 및

상기 2차원 상전이 물질 층의 타측 끝단 및 상기 n채널 2차원 반도체 물질 층의 타측 끝단에 연결되는 제1 소스단을 포함하고,

상기 2차원 상전이 물질 층은,

상기 제1 게이트단에 인가된 전압의 크기에 상관없이 상기 제1 드레인단 및 상기 제1 소스단 사이에서 정전류가

흐르도록 구성되는, 3진법 CMOS 소자.

청구항 12

제11항에 있어서,

상기 p타입 3진법 MOSFET 소자는:

p채널 2차원 반도체 물질 층의 하단에 적층되는 2차원 상전이 물질로 구성되는 2차원 상전이 물질 층;

상기 p채널 2차원 반도체 물질 층의 상단에 적층되고, 입력 전압을 인가받도록 구성되는 제2 게이트단;

상기 2차원 상전이 물질 층의 일측 끝단 및 상기 p채널 2차원 반도체 물질 층의 일측 끝단에 연결되는 제2 소스단; 및

상기 2차원 상전이 물질 층의 타측 끝단 및 상기 p채널 2차원 반도체 물질 층의 타측 끝단에 연결되는 제2 드레인단을 포함하고,

상기 2차원 상전이 물질 층은,

상기 제2 게이트단에 인가된 전압의 크기에 상관없이 상기 제2 소스단 및 상기 제2 드레인단 사이에서 정전류가 흐르도록 구성되는, 3진법 CMOS 소자.

청구항 13

제12항에 있어서,

상기 제1 게이트단 및 상기 제2 게이트단에 연결되어 상기 제1 게이트단 및 상기 제2 게이트단으로 동일한 공통 입력 전압이 입력되도록 구성되는 CMOS 입력단; 및

상기 제1 드레인단 및 상기 제2 드레인단에 연결되어 공통 출력 전압을 출력하도록 구성되는 CMOS 출력단을 더 포함하는, 3진법 CMOS 소자.

청구항 14

제13항에 있어서,

상기 CMOS 출력단은:

상기 CMOS 입력단에 입력되는 전압이 제1 기준 전압 미만이면, 일정한 크기의 최대 전압을 출력하고;

상기 CMOS 입력단에 입력되는 전압이 제2 기준 전압 이상이고 제3 기준 전압 미만이면, 일정한 크기의 중간 전압을 출력하고; 그리고

상기 CMOS 입력단에 입력되는 전압이 제4 기준 전압 이상이면, 출력되는 전압이 없도록 구성되는, 3진법 CMOS 소자.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 3진법의 연산을 가능하게 하는 MOSFET 소자 및 이를 구비한 CMOS 소자에 관한 것이다.

배경 기술

[0002] CMOS(Complementary Metal-Oxide Semiconductor)는 집적 회로의 한 종류로서 대부분의 전자기기의 회로에 널리 이용되고 있다. CMOS는 p 채널의 MOSFET(p-MOS)과 n 채널의 MOSFET(n-MOS)을 하나의 칩에 형성한 것으로 p 채널의 MOS와 n 채널의 MOS가 상보적으로 동작하도록 한 것이다. 이러한 CMOS는 주로 마이크로프로세서, SRAM(Static Random Access Memory), 이미지 센서 등의 집적 회로를 구성하는데 이용된다. CMOS는 BJT 소자를 이용하는 공정보다 가격이 저렴하고 저전력 회로 구현이 가능하여 널리 쓰이고 있다.

[0003] 최근 반도체 소자 기술은 소모전력을 어느 정도로 줄일 수 있는지에 대한 문제를 해결하기 위해 활발한 연구가 진행되고 있다. 하지만, 정보를 0, 1의 2진법으로 표현하는 바이너리(Binary) 소자로는 빅데이터와 같은 대용량

정보처리에서의 소모전력 문제를 근본적으로 해결하기 어렵다는 문제가 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은 3진법의 연산을 수행할 수 있는 3진법 CMOS 소자 및 3진법 CMOS 소자를 제공하기 위한 것이다.
- [0005] 또한, 본 발명은 넓은 범위의 동작 속도를 지원하여 초저전력의 환경에서 고성능의 환경까지 다양한 목적으로 활용이 가능한 2차원 물질 기반의 3진법 CMOS 소자 및 3진법 CMOS 소자를 제공하기 위한 것이다.
- [0006] 또한, 본 발명은 도핑에 의한 공정 산포 문제가 없어 더욱 강건하게 안정적으로 정전류를 구현할 수 있는 3진법 CMOS 소자 및 3진법 CMOS 소자를 제공하기 위한 것이다.
- [0007] 또한, 본 발명은 Si기반 CMOS 특성과 신뢰성을 저하하지 않는 공정 조건에서 상부 집적 공정이 가능한 반도체 소재를 이용하여 소자의 집적도를 높일 수 있는 3진법 CMOS 소자 및 3진법 CMOS 소자를 제공하기 위한 것이다.
- [0008] 한편, 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예에 따른 3진법 MOSFET 소자는, 2차원 상전이 물질로 구성되는 2차원 상전이 물질 층; 별도의 도핑이 없이 전압 변화에 의해 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성되어 상기 2차원 상전이 물질 층에 적층되는 2차원 반도체 물질 층; 상기 2차원 반도체 물질 층의 상단에 적층되고, 입력 전압을 인가받도록 구성되는 게이트단; 상기 2차원 상전이 물질 층의 일측 끝단 및 상기 2차원 반도체 물질 층의 일측 끝단에 연결되는 드레인단; 및 상기 2차원 상전이 물질 층의 타측 끝단 및 상기 2차원 반도체 물질 층의 타측 끝단에 연결되는 소스단을 포함하고, 상기 2차원 상전이 물질 층은, 상기 게이트단에 인가된 전압의 크기에 상관없이 상기 드레인단 및 상기 소스단 사이에서 정전류가 흐르도록 구성될 수 있다.
- [0010] 또한, 상기 2차원 상전이 물질 층은, 층의 두께가 증가함에 따라 밴드 갭(Band Gap)이 줄어드는 특성을 가진 2차원 상전이 물질로 구성될 수 있다.
- [0011] 또한, 상기 2차원 상전이 물질 층은, 층의 두께가 증가함에 따라 밴드 갭이 줄어드는 특성을 가진 전이금속 칼코겐화합물(Transition Metal Dichalcogenides; TDMs)로 구성될 수 있다.
- [0012] 또한, 상기 2차원 상전이 물질 층은, PtSe_2 (Platinum Diselenide) 및 PdSe_2 (Palladium Diselenide) 중 적어도 하나의 물질로 구성될 수 있다.
- [0013] 또한, 상기 2차원 상전이 물질 층은, 홀원소로 이루어진 2차원 상전이 물질이고 비소(As)의 동소체이면서 2차원 구조를 가진 물질인 Arsenene 또는 홀원소로 이루어진 2차원 상전이 물질이고 안티모니(Sb)의 동소체이면서 2차원 구조를 가진 물질인 Antimonene 중 적어도 하나로 구성될 수 있다.
- [0014] 또한, 상기 2차원 상전이 물질 층 및 상기 2차원 반도체 물질 층 사이에 위치하도록 상기 2차원 상전이 물질 층의 상단 및 상기 2차원 반도체 물질 층의 하단에 적층되는 제1 산화 물질 층을 더 포함할 수 있다.
- [0015] 또한, 상기 2차원 반도체 물질 층 및 상기 게이트단 사이에 위치하도록 상기 2차원 반도체 물질 층의 상단 및 상기 게이트단의 하단에 적층되는 제2 산화 물질 층; 절연 물질로 구성되어 상기 소스단 및 상기 게이트단 사이에 마련되는 제1 스페이서; 및 절연 물질로 구성되어 상기 게이트단 및 상기 드레인단 사이에 마련되는 제2 스페이서를 더 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 따른 3진법 MOSFET 소자를 제조하는 방법은, 상기 2차원 상전이 물질 층의 상단에 상기 제1 산화 물질 층을 증착하는 단계; 상기 제1 산화 물질 층의 상단에 상기 2차원 반도체 물질 층을 증착하는 단계; 상기 2차원 반도체 물질 층의 상단에 상기 제2 산화 물질 층을 증착하는 단계; 및 상기 2차원 상전이 물질, 상기 제1 산화 물질 층, 상기 2차원 반도체 물질 층 및 상기 제2 산화 물질 층이 적층된 층 구조의 일측 끝단에 상기 소스단을 연결하고, 상기 층 구조의 타측 끝단에 상기 드레인단을 연결하고, 상기 층 구조의 상단에 게이트단을 연결하는 단계를 포함할 수 있다.

- [0017] 본 발명의 일 실시예에 따른 3진법 CMOS 소자는, 상기 3진법 MOSFET 소자를 포함할 수 있다.
- [0018] 또한, 별도의 도핑이 없이 전압 변화에 의해 n 타입의 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성되어 상기 2차원 상전이 물질 층에 적층되는 n채널 2차원 반도체 물질 층을 포함하는 n타입 3진법 MOSFET 소자; 및 별도의 도핑이 없이 전압 변화에 의해 p 타입의 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성되어 상기 2차원 상전이 물질 층에 적층되는 p채널 2차원 반도체 물질 층을 포함하는 p타입 3진법 MOSFET 소자를 포함할 수 있다.
- [0019] 또한, 상기 n타입 3진법 MOSFET 소자는: n채널 2차원 반도체 물질 층의 하단에 적층되는 2차원 상전이 물질로 구성되는 2차원 상전이 물질 층; 상기 n채널 2차원 반도체 물질 층의 상단에 적층되고, 입력 전압을 인가받도록 구성되는 제1 게이트단; 상기 2차원 상전이 물질 층의 일측 끝단 및 상기 n채널 2차원 반도체 물질 층의 일측 끝단에 연결되는 제1 드레인단; 및 상기 2차원 상전이 물질 층의 타측 끝단 및 상기 n채널 2차원 반도체 물질 층의 타측 끝단에 연결되는 제1 소스단을 포함하고, 상기 2차원 상전이 물질 층은, 상기 제1 게이트단에 인가된 전압의 크기에 상관없이 상기 제1 드레인단 및 상기 제1 소스단 사이에서 정전류가 흐르도록 구성될 수 있다.
- [0020] 또한, 상기 p타입 3진법 MOSFET 소자는: p채널 2차원 반도체 물질 층의 하단에 적층되는 2차원 상전이 물질로 구성되는 2차원 상전이 물질 층; 상기 p채널 2차원 반도체 물질 층의 상단에 적층되고, 입력 전압을 인가받도록 구성되는 제2 게이트단; 상기 2차원 상전이 물질 층의 일측 끝단 및 상기 p채널 2차원 반도체 물질 층의 일측 끝단에 연결되는 제2 소스단; 및 상기 2차원 상전이 물질 층의 타측 끝단 및 상기 p채널 2차원 반도체 물질 층의 타측 끝단에 연결되는 제2 드레인단을 포함하고, 상기 2차원 상전이 물질 층은, 상기 제2 게이트단에 인가된 전압의 크기에 상관없이 상기 제2 소스단 및 상기 제2 드레인단 사이에서 정전류가 흐르도록 구성될 수 있다.
- [0021] 또한, 상기 제1 게이트단 및 상기 제2 게이트단에 연결되어 상기 제1 게이트단 및 상기 제2 게이트단으로 동일한 공통 입력 전압이 입력되도록 구성되는 CMOS 입력단; 및 상기 제1 드레인단 및 상기 제2 드레인단에 연결되어 공통 출력 전압을 출력하도록 구성되는 CMOS 출력단을 더 포함할 수 있다.
- [0022] 또한, 상기 CMOS 출력단은: 상기 CMOS 입력단에 입력되는 전압이 제1 기준 전압 미만이면, 일정한 크기의 최대 전압을 출력하고; 상기 CMOS 입력단에 입력되는 전압이 제2 기준 전압 이상이고 제3 기준 전압 미만이면, 일정한 크기의 중간 전압을 출력하고; 그리고 상기 CMOS 입력단에 입력되는 전압이 제4 기준 전압 이상이면, 출력되는 전압이 없도록 구성될 수 있다.

발명의 효과

- [0023] 개시된 발명의 일 측면에 따르면, 3진법의 연산을 수행할 수 있다.
- [0024] 개시된 발명의 다른 측면에 따르면, 넓은 범위의 동작 속도를 지원하여 초저전력의 환경에서 고성능의 환경까지 다양한 목적으로 활용이 가능할 수 있다.
- [0025] 개시된 발명의 다른 측면에 따르면, 도핑에 의한 공정 산포 문제가 없어 더욱 강건하게 안정적으로 정전류를 구현할 수 있다.
- [0026] 개시된 발명의 다른 측면에 따르면, Si기반 CMOS 특성과 신뢰성을 저하하지 않는 공정 조건에서 상부 집적 공정이 가능한 반도체 소재를 이용하여 소자의 집적도를 높일 수 있다.
- [0027] 한편, 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0028] 도 1은 일 실시예에 따른 3진법 MOSFET 소자를 도시한 도면이다.
- 도 2는 일 실시예에 따른 제1 산화 물질 층을 포함하는 3진법 MOSFET 소자를 도시한 도면이다.
- 도 3은 2차원 상전이 물질들을 도시한 도면이다.
- 도 4는 두께가 증가함에 따라 밴드 갭(Band Gap)이 감소하는 2차원 상전이 물질을 설명하기 위한 그래프이다.
- 도 5는 두께가 증가함에 따라 전도도가 증가하는 2차원 상전이 물질을 설명하기 위한 그래프이다.

도 6은 3진법 인버터(Ternary Inverter)에서 구현되는 3개의 상태를 설명하기 위한 도면이다.

도 7은 종래 기술에 비해 논리 진수 증가에 따른 회로 복잡도가 감소하는 3진법 소자를 설명하기 위한 도면이다.

도 8은 3진법 소자의 도입에 의한 인공 신경망 연결의 간소화가 가능한 것을 설명하기 위한 도면이다.

도 9는 일 실시예에 따른 3진법 CMOS(Complementary Metal-Oxide Semiconductor) 소자를 도시한 도면이다.

도 10은 일 실시예에 따른 제1 산화 물질 층을 포함하는 3진법 CMOS 소자를 도시한 도면이다.

도 11은 일 실시예에 따른 3진법 CMOS 소자의 특성을 나타내는 회로도이다.

도 12는 게이트에 인가된 전압에 따른 3진법 CMOS 소자에 흐르는 전류를 도시한 그래프이다.

도 13은 일 실시예에 따른 3진법 CMOS 소자의 입출력 특성을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시 예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명 시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다.
- [0030] 한편, 상측, 하측, 일측, 타측 등과 같은 방향성 용어는 개시된 도면들의 배향과 관련하여 사용된다. 본 발명의 실시예의 구성 요소는 다양한 배향으로 위치 설정될 수 있으므로, 방향성 용어는 예시를 목적으로 사용되는 것이지 이를 제한하는 것은 아니다.
- [0031] 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0032] 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 전술된 용어들에 의해 제한되는 것은 아니다. 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함한다.
- [0033] 각 단계들에 있어 식별부호는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 실시될 수 있다.
- [0034] 이하, 본 발명의 실시 예를 첨부된 도면들을 참조하여 더욱 상세하게 설명한다. 본 발명의 실시 예는 여러 가지 형태로 변형할 수 있으며, 본 발명의 범위가 아래의 실시 예들로 한정되는 것으로 해석되어서는 안 된다. 본 실시 예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해 제공되는 것이다. 따라서 도면에서의 요소의 형상은 보다 명확한 설명을 강조하기 위해 과장되었다.
- [0035] 도 1은 일 실시예에 따른 3진법 MOSFET 소자를 도시한 도면이다.
- [0036] 도 1을 참조하면, 3진법 MOSFET 소자(100)는 2차원 상전이 물질 층(101), 2차원 반도체 물질 층(102), 게이트단(103), 드레인단(104), 소스단(105), 제2 산화 물질 층(107), 제1 스페이서(108) 및 제2 스페이서(109)를 포함할 수 있다.
- [0037] 3진법 MOSFET 소자는 일반적으로 2진법의 연산을 수행하는 종래의 CMOS 소자와 달리 3진법의 연산을 수행할 수 있는 3진법 CMOS 소자(1)를 구성하는 MOSFET 소자일 수 있다.
- [0038] 3진법 MOSFET 소자(100)는 종래의 n-MOSFET과 성질이 유사한 n타입 3진법 MOSFET 소자(110) 또는 종래의 p-MOSFET과 성질이 유사한 p타입 3진법 MOSFET 소자(120) 중 하나일 수 있다. 다만, n타입 3진법 MOSFET 소자(110) 및 p타입 3진법 MOSFET 소자(120)는 종래의 n-MOSFET 또는 p-MOSFET과 유사하게 구동하긴 하지만 완전히 동일하게 구동되는 것은 아닐 수 있다.
- [0039] 2차원 상전이 물질 층(101)은 2차원 상전이 물질로 구성될 수 있다. 2차원 반도체 물질 층(102)은 2차원 상전이 물질 층(101)에 적층될 수 있다.
- [0040] 2차원 반도체 물질 층(102)은 별도의 도핑이 없이 전압 변화에 의해 전도체로 변하는 특성을 가지는 2차원 반도체

체 물질로 구성될 수 있다.

- [0041] 2차원 반도체 물질은 전이금속 칼코게나이드(Transition metal dicalcogenides: TMDCs)로서, 한 개의 전이금속 원소와 두 개의 칼코겐 원소로 구성된 구조를 지니며 층상구조를 가져 원자층으로 이루어진 결정형 물질의 단일 층 혹은 다층을 의미할 수 있다.
- [0042] 2차원 반도체 물질은 평상 시에는 부도체 특성을 가지지만 전기장이 주어진다면 전도체로 변하는 특성을 보일 수 있다. 즉, 2차원 반도체 물질은 별도의 도핑(doping)이 없이도 전압 변화만으로 특정 극성을 띄는 물질일 수 있다.
- [0043] 게이트단(103)은 2차원 반도체 물질 층(102)의 상단에 적층될 수 있다. 게이트단(103)은 입력 전압을 인가받을 수 있다.
- [0044] 드레인단(104)은 2차원 상전이 물질 층(101)의 일측 끝단 및 2차원 반도체 물질 층(102)의 일측 끝단에 연결될 수 있다.
- [0045] 소스단(105)은 2차원 상전이 물질 층(101)의 타측 끝단 및 2차원 반도체 물질 층(102)의 타측 끝단에 연결될 수 있다.
- [0046] 2차원 상전이 물질 층(101)은 게이트단(103)에 인가된 전압의 크기에 상관없이 드레인단(104) 및 소스단(105) 사이에서 정전류가 흐르도록 구성될 수 있다.
- [0047] 도 2는 일 실시예에 따른 제1 산화 물질 층을 포함하는 3진법 MOSFET 소자를 도시한 도면이다.
- [0048] 도 2를 참조하면, 3진법 MOSFET 소자는 제1 산화 물질 층(106)을 더 포함할 수 있다.
- [0049] 제1 산화 물질 층(106)은 2차원 상전이 물질 층(101) 및 2차원 반도체 물질 층(102) 사이에 위치할 수 있다. 제1 산화 물질 층(106)은 2차원 상전이 물질 층(101)의 상단 및 2차원 반도체 물질 층(102)의 하단에 적층될 수 있다.
- [0050] 제1 산화 물질 층(106)은 2차원 상전이 물질 층(101) 및 2차원 반도체 물질 층(102)을 전기적으로 절연시키는 역할을 할 수 있다.
- [0051] 제2 산화 물질 층(107)은 2차원 반도체 물질 층(102) 및 게이트단(103) 사이에 위치할 수 있다. 제2 산화 물질 층(107)은 2차원 반도체 물질 층(102)의 상단 및 게이트단(103)의 하단에 적층될 수 있다.
- [0052] 제2 산화 물질 층(107)은 2차원 반도체 물질 층(102) 및 게이트단(103)을 전기적으로 절연시키는 역할을 할 수 있다.
- [0053] 제1 산화 물질 층(106) 및 제2 산화 물질 층(107)은 유전 상수가 큰 High-k 물질(예를 들어, Al_2O_3 또는 HfO_2 등)로 이루어질 수 있다. 제1 산화 물질 층(106) 및 제2 산화 물질 층(107)은 ALD(Atomic Layer Deposition)를 통해 증착하여 형성할 수 있으나, 이에 한정되는 것은 아니다.
- [0054] 제1 스페이서(108)는 절연 물질로 구성되어 소스단(105) 및 게이트단(103) 사이에 마련될 수 있다. 제2 스페이서(109)는 절연 물질로 구성되어 게이트단(103) 및 드레인단(104) 사이에 마련될 수 있다.
- [0055] 전술한 3진법 MOSFET 소자(100)를 제조하는 방법은 2차원 상전이 물질 층(101)의 상단에 제1 산화 물질 층(106)을 증착하는 단계를 포함할 수 있다. 이후, 제1 산화 물질 층(106)의 상단에 2차원 반도체 물질 층(102)이 증착될 수 있다. 또한, 2차원 반도체 물질 층(102)의 상단에 제2 산화 물질 층(107)이 증착될 수 있다.
- [0056] 3진법 MOSFET 소자(100)를 제조하는 방법은, 2차원 상전이 물질, 제1 산화 물질 층(106), 2차원 반도체 물질 층(102) 및 제2 산화 물질 층(107)이 적층된 층 구조의 일측 끝단에 소스단(105)이 연결되고, 층 구조의 타측 끝단에 드레인단(104)이 연결되고, 층 구조의 상단에 게이트단(103)이 연결될 수 있다.
- [0057] 도 3은 2차원 상전이 물질들을 도시한 도면이고, 도 4는 두께가 증가함에 따라 밴드 갭(Band Gap)이 감소하는 2차원 상전이 물질을 설명하기 위한 그래프이며, 도 5는 두께가 증가함에 따라 전도도가 증가하는 2차원 상전이 물질을 설명하기 위한 그래프이다.
- [0058] 도3, 도4 및 도5를 참조하면, 2차원 상전이 물질 층(101)은 층의 두께가 증가함에 따라 밴드 갭(Band Gap)이 줄어드는 특성을 가진 2차원 상전이 물질로 구성될 수 있다.
- [0059] 2차원 상전이 물질층은 2D 상전이 채널(Channel)로서 도 3에 도시되어 있는 두께 변화에 따라 반도체에서 도체

로 상전이를 보이는 2차원 물질로 구성될 수 있다.

- [0060] 2차원 상전이 물질 층(101)은 층의 두께가 증가함에 따라 밴드 갭이 줄어드는 특성을 가진 전이금속 칼코겐화합물(Transition Metal Dichalcogenides; TDMs)로 구성될 수 있다. 다만, 2차원 상전이 물질이 반드시 전이금속 칼코겐화합물로 한정되는 것은 아니다.
- [0061] 2차원 상전이 물질 층(101)은 PtSe_2 (Platinum Diselenide) 및 PdSe_2 (Palladium Diselenide) 중 적어도 하나의 물질로 구성될 수 있다. 다만, 2차원 상전이 물질이 전술한 물질로 한정되는 것은 아니다.
- [0062] 예를 들어, 2차원 상전이 물질 층(101)은 홀원소로 이루어진 2차원 상전이 물질이고 비소(As)의 동소체이면서 2차원 구조를 가진 물질인 Arsenene일 수 있다. 또한, 2차원 상전이 물질 층(101)은 홀원소로 이루어진 2차원 상전이 물질이고 안티모니(Sb)의 동소체이면서 2차원 구조를 가진 물질인 Antimonene일 수 있다.
- [0063] PdSe_2 , PtSe_2 , Arsenene, Antimonene과 같은 2차원 상전이 물질들은 도 4에 도시된 바와 같이 모노레이어(Monolayer)의 경우 1eV 이상의 밴드 갭을 가져 반도체성(Semiconducting) 특성을 가지지만, 두께가 증가하면 밴드 갭이 감소하여 0이 되어서 메탈릭(Metallic) 특성을 보이는 상전이 현상을 보일 수 있다.
- [0064] 전술한 바와 같은 2차원 상전이 물질의 두께 변화에 따른 상전이 특성을 활용하면, 도 5에 도시된 바와 같이 두께 조절로 넓은 범위의 전도도 및 전류 확보가 가능하여, 동일한 소자 구조와 공정 방법으로 넓은 범위의 동작 속도를 지원하여 초저전력에서 고성능까지 응용 범위가 넓은 T-CMOS 기술을 구현할 수 있다.
- [0065] 또한, 2차원 상전이 물질은 저온 성장이 가능하여 Si CMOS 특성과 신뢰성을 저하하지 않는 공정 조건에서 상부 집적 공정이 가능한 반도체 소재이기 때문에, Monolithic 3D 집적 기술에 유망한 물질로 소자의 집적도를 한층 더 향상시킬 수 있다.
- [0066] 도 6은 3진법 인버터(Ternary Inverter)에서 구현되는 3개의 상태를 설명하기 위한 도면이고, 도 7은 종래 기술에 비해 논리 진수 증가에 따른 회로 복잡도가 감소하는 3진법 소자를 설명하기 위한 도면이며, 도 8은 3진법 소자의 도입에 의한 인공 신경망 연결의 간소화가 가능한 것을 설명하기 위한 도면이다.
- [0067] 도 6, 도 7 및 도 8을 참조하면, 기존의 2진법의 연산을 이용하는 소자에 비해 3진법의 연산을 이용하는 소자의 장점을 확인할 수 있다.
- [0068] 도 6에 도시된 3진법 소자는 정보를 0, 1, 2의 3진법으로 표현하여, 기존의 2진법(Binary) 소자보다 처리해야 할 정보량을 줄여서 소모전력 문제를 획기적으로 개선할 수 있다.
- [0069] 정보의 표현을 2진법 소자의 bit에서 Ternary 소자의 trit으로 전환하면, 도 6의 상태 변환에 필요한 전압이 기존 Binary에서의 1/2이 되며, 1 trit으로 2 bit 표현이 가능하여 도 7에 도시된 바와같이 회로의 복잡도를 극적으로 줄여 획기적인 소모전력 감소가 가능할 수 있다.
- [0070] 또한 최근 활발히 연구되고 있는 인공 신경망 구현에서도, 도 8에 도시된 바와 같이 종래의 Binary 가중치 {0, 1} 대신, Ternary 가중치 {-1, 0, 1}을 도입하면 회로 연결을 간소화하여 소모전력 감소를 실현할 수 있다.
- [0071] 이와 같은 장점을 가진 3진법으로 정보를 표현하기 위해서는 도 6의 Ternary Inverter(T-Inverter) 구현이 필수적이다. 종래에는 구동 전압(V_{DD})을 배분하여 중간상태 $V_{DD}/2$ 를 형성하는 다양한 연구가 활발히 진행되었으나, 이러한 방식은 많은 문제가 있었다.
- [0072] 예를 들어, Si MOSFET에서 Gate Oxide에 Quantum Dot(QD)을 형성하여 Si Channel에서 QD로의 Resonant Tunneling에 의한 다중 문턱 전압을 구현함으로써, 소자 On 상태의 다중 문턱 전압에 의한 계단형 전류-전압 특성 이용하는 기술은 불균일한 QD 형성에 의한 문턱 전압 산포 문제로 인해 안정적 정전류 구현이 어렵다. 이는 소자의 ON 상태에서 정전류를 형성하여 추가 상태에서 정적 소모전력이 매우 크다는 문제가 있다. 또한, 다중 문턱 전압구현으로 동작 전압(V_{DD}) Scaling에 의한 소모전력 감소가 어렵다.
- [0073] 2차원 물질 이중접합 구조에서 Tunneling에 의한 부성미분저항을 활용하여 기계적 박리 기법으로 얻은 작은 flake 수준에서 구현되는, 소자 On 상태의 부성미분저항을 이용하는 기술은 소자의 ON 상태에서 정전류를 형성하여 추가 상태에서 정적 소모전력이 매우 크다는 문제가 있다. 또한, 다중 문턱 전압구현으로 동작 전압(V_{DD}) Scaling에 의한 소모전력 감소가 어렵다는 문제가 있다.
- [0074] ZnO 복합체를 이용하여 Mobility Edge Quantization Effect 원리를 기반으로 다중 문턱 전압을 구현함으로써

소자 On 상태의 다중 문턱 전압에 의한 계단형 전류-전압 특성 이용하는 기술은, 소자의 ON 상태에서 정전류를 형성하여 추가 상태에서 정적 소모전력이 매우 크다는 문제가 있다. 또한, 다중 문턱 전압구현으로 동작 전압 (V_{DD}) Scaling에 의한 소모전력 감소가 어렵다는 문제가 있다.

- [0075] Si MOSFET에서 Channel 하부에 국지적인 PN 접합을 형성하여 Gate 전압에 독립적인 Tunneling에 의한 작은 정전류 성분을 구현함으로써 소자 Off 상태의 정전류를 이용하는 기술은 소자의 Off 상태에서 작은 정전류를 활용할 수 때문에 초저전력 응용에만 적합하다는 문제가 있다.
- [0076] 따라서 새로운 방식으로 3진법의 연산이 가능한 CMOS 소자를 구현하는 것이 바람직할 수 있다.
- [0077] 도 9는 일 실시예에 따른 3진법 CMOS(Complementary Metal-Oxide Semiconductor) 소자를 도시한 도면이며, 도 10은 일 실시예에 따른 제1 산화 물질 층을 포함하는 3진법 CMOS 소자를 도시한 도면이다.
- [0078] 기존의 Ternary CMOS(T-CMOS) 소자는 응용 범위에서 그 한계가 명확하였으나, 도시된 3진법 CMOS 소자(1)는 넓은 범위의 동작 속도를 지원하며, 초저전력에서 고성능까지 다양한 목적으로 활용이 가능할 수 있다.
- [0079] 도시된 3진법 CMOS 소자(1)는 소자 상부의 2차원 n/pMOS Channel을 가진 기본적인 2차원 n/pMOSFET과 게이트에 독립적으로 정전류를 흘릴 수 있는 소자 하부의 2차원 상전이 채널로 구성될 수 있다.
- [0080] 도 9 및 도 10을 참조하면, 일 실시예에 따른 3진법 CMOS 소자(1)는 CMOS 입력단(2), CMOS 출력단(3) 및 2개의 3진법 MOSFET 소자(100)를 포함할 수 있다.
- [0081] 구체적으로, 3진법 CMOS 소자(1)는 n타입 3진법 MOSFET 소자(110) 및 p타입 3진법 MOSFET 소자(120)를 포함할 수 있다.
- [0082] n타입 3진법 MOSFET 소자(110)는 2차원 반도체 물질 층(102)의 한 종류인 n채널 2차원 반도체 물질 층(112)을 포함할 수 있다.
- [0083] n채널 2차원 반도체 물질 층(112)은 별도의 도핑이 없이 전압 변화에 의해 n 타입의 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성될 수 있다. n채널 2차원 반도체 물질 층(112)은 2차원 상전이 물질 층(101)에 적층될 수 있다.
- [0084] n채널 2차원 반도체 물질 층(112)은 3진법 CMOS 소자(1)의 n 채널일 수 있다. 이 경우, n채널 2차원 반도체 물질 층(112)은 MoS_2 로 이루어질 수 있으나, 이에 한정되는 것은 아니며 2차원 반도체 물질 중 n 채널을 형성할 수 있는 다양한 물질이 사용될 수 있음은 물론이다.
- [0085] p타입 3진법 MOSFET 소자(120)는 2차원 반도체 물질 층(102)의 한 종류인 p채널 2차원 반도체 물질 층(122)을 포함할 수 있다.
- [0086] p채널 2차원 반도체 물질 층(122)은 별도의 도핑이 없이 전압 변화에 의해 p 타입의 전도체로 변하는 특성을 가지는 2차원 반도체 물질로 구성될 수 있다. p채널 2차원 반도체 물질 층(122)은 2차원 상전이 물질 층(101)에 적층될 수 있다.
- [0087] p채널 2차원 반도체 물질 층(122)은 CMOS의 p 채널일 수 있다. 이 경우, p채널 2차원 반도체 물질 층(122)은 WSe_2 로 이루어질 수 있으나, 이에 한정되는 것은 아니며 2차원 반도체 물질 중 p 채널을 형성할 수 있는 다양한 물질이 사용될 수 있음은 물론이다.
- [0088] n타입 3진법 MOSFET 소자(110)는 2차원 상전이 물질 층(101), 제1 게이트단(113), 제1 드레인단(114) 및 제1 소스단(115)을 포함할 수 있다.
- [0089] 2차원 상전이 물질 층(101)은 n채널 2차원 반도체 물질 층(112)의 하단에 적층되는 2차원 상전이 물질로 구성될 수 있다.
- [0090] 제1 게이트단(113)은 n채널 2차원 반도체 물질 층(112)의 상단에 적층되고, 입력 전압(V_{IN})을 인가받도록 구성될 수 있다.
- [0091] 제1 드레인단(114)은 2차원 상전이 물질 층(101)의 일측 끝단 및 n채널 2차원 반도체 물질 층(112)의 일측 끝단에 연결될 수 있다.
- [0092] 제1 소스단(115)은 2차원 상전이 물질 층(101)의 타측 끝단 및 n채널 2차원 반도체 물질 층(112)의 타측 끝단에

연결될 수 있다. 제1 소스단(115)은 그라운드 전기적으로 연결될 수 있다.

- [0093] 2차원 상전이 물질 층(101)은 제1 게이트단(113)에 인가된 전압의 크기에 상관없이 제1 드레인단(114) 및 제1 소스단(115) 사이에서 정전류가 흐르도록 구성될 수 있다.
- [0094] p타입 3진법 MOSFET 소자(120)는 2차원 상전이 물질 층(101), 제2 게이트단(123), 제2 소스단(125) 및 제2 드레인단(124)을 포함할 수 있다.
- [0095] 2차원 상전이 물질 층(101)은 p채널 2차원 반도체 물질 층(122)의 하단에 적층될 수 있다.
- [0096] 제2 게이트단(123)은 p채널 2차원 반도체 물질 층(122)의 상단에 적층되고, 입력 전압(V_{IN})을 인가받도록 구성될 수 있다.
- [0097] 제2 소스단(125)은 2차원 상전이 물질 층(101)의 일측 끝단 및 p채널 2차원 반도체 물질 층(122)의 일측 끝단에 연결될 수 있다. 제2 소스단(125)은 전원 전압(V_{DD})이 인가될 수 있다.
- [0098] 제2 드레인단(124)은 2차원 상전이 물질 층(101)의 타측 끝단 및 p채널 2차원 반도체 물질 층(122)의 타측 끝단에 연결될 수 있다.
- [0099] 2차원 상전이 물질 층(101)은 제2 게이트단(123)에 인가된 전압의 크기에 상관없이 제2 소스단(125) 및 제2 드레인단(124) 사이에서 정전류가 흐르도록 구성될 수 있다.
- [0100] CMOS 입력단(2)은 제1 게이트단(113) 및 제2 게이트단(123)에 연결되어 제1 게이트단(113) 및 제2 게이트단(123)으로 동일한 공통 입력 전압(V_{IN})이 입력되도록 구성될 수 있다.
- [0101] CMOS 출력단(3)은 제1 드레인단(114) 및 제2 드레인단(124)에 연결되어 공통 출력 전압(V_{OUT})을 출력하도록 구성될 수 있다.
- [0102] 제1 드레인단(114), 제1 소스단(115), 제2 드레인단(124) 및 제2 소스단(125)은 노광 공정을 통해 패터닝 한 후 E-beam evaporator과 같은 증착 기법을 통해 금속을 증착하여 형성될 수 있다.
- [0103] 도 11은 일 실시예에 따른 3진법 CMOS 소자의 특성을 나타내는 회로도이고, 도 12는 게이트에 인가된 전압에 따른 3진법 CMOS 소자에 흐르는 전류를 도시한 그래프이며, 도 13은 일 실시예에 따른 3진법 CMOS 소자의 입출력 특성을 도시한 그래프이다.
- [0104] 도 11, 도 12 및 도 13을 참조하면, 도시된 $I_{DS}-V_{GS}$ 특성에서 볼 수 있듯, 2차원 상전이 물질 층(101)은 2차원 n/pMOSFET의 On/Off와 상관없이 모든 동작 범위에서 일정 수준의 정전류를 만들어내며, 2차원 n/pMOSFET 모두가 Off 상태일 때 그 영향이 발휘되어 도 13에 도시된 바와 같이 3진법 CMOS 소자(1), 즉 T-CMOS Inverter에서 중간상태를 생성할 수 있다.
- [0105] 3진법 CMOS 소자(1)는 3진법의 중간상태를 구현하기 위해 소자 Off 상태의 정전류를 활용할 수 있다. 이때 활용되는 정전류는 Si 기반의 접합 Tunneling에 의한 전류가 아니라, Source/Drain 금속과 도핑이 되지 않은 2차원 물질의 Schottky 접합을 통해 흐르는 전류일 수 있다. 일 실시예에 따른 3진법 CMOS 소자(1)는 도핑에 의한 고정 산포 문제가 없어 더욱 강건하게 안정적으로 정전류를 구현할 수 있는 장점이 있다.
- [0106] 도 12에 도시된 $I_{DS}-V_{GS}$ 곡선을 참조하면, ① 음의 게이트 전압 범위에서는 p타입 3진법 MOSFET이 켜지고 n타입 3진법 MOSFET이 꺼지고, 게이트 소스 전압(V_{GS})이 낮아질수록 전류는 p채널 2차원 반도체 물질 층(122)을 통해 흐르고, 특정 지점에서 I_{DS} 가 증가하고 포화되는 것을 확인할 수 있다.
- [0107] 또한, ② 양의 게이트 전압 범위에서는 n타입 3진법 MOSFET이 켜지고 p타입 3진법 MOSFET이 꺼지고, 게이트 소스 전압(V_{GS})이 높아질수록 전류는 n채널 2차원 반도체 물질 층(112)으로 흐르고, 특정 지점에서 I_{DS} 가 증가하고 포화될 수 있다.
- [0108] 또한, ③ Gate Voltage의 Full Range 범위에서는, 2차원 상전이 물질 층에서 모든 게이트 소스 전압(V_{GS})에 대해 일정한 양의 전류가 흐르는 것을 확인할 수 있다, 이때, 전류는 n타입 3진법 MOSFET 및 p타입 3진법 MOSFET이 모두 꺼져 있을 때의 게이트 소스 전압(V_{GS}) 범위에서도 항상 존재할 수 있다.

- [0109] 도 13을 참조하면, 일 실시예에 따른 3진법 CMOS 소자(1)의 입출력 특성을 확인할 수 있다.
- [0110] CMOS 입력단(2)에 입력되는 전압이 제1 기준 전압 미만이면, CMOS 출력단(3)은 일정한 크기의 최대 전압을 출력할 수 있다.
- [0111] CMOS 입력단(2)에 입력되는 전압이 제2 기준 전압 이상이고 제3 기준 전압 미만이면, CMOS 출력단(3)은 일정한 크기의 중간 전압을 출력할 수 있다.
- [0112] 이때, 정전류는 게이트 전압과 무관하게 항상 2차원 상전이 물질 층(101)을 통해 흐르기 때문에, 이러한 정전류는 새로운 중간 상태를 생성하고 3진법 CMOS 소자(1)의 기능이 가능하게 할 수 있다. 터널링 전류를 사용하는 이전의 T-CMOS 연구와 달리 일 실시예에 따른 3진법 CMOS 소자(1)는 소스/드레인 금속과 도핑되지 않은 2차원 물질의 쇼트키 접합을 통한 전류를 사용할 수 있으며, 이는 높은 안정성을 가진 정전류로 이어질 수 있다.
- [0113] CMOS 입력단(2)에 입력되는 전압이 제4 기준 전압 이상이면, CMOS 출력단(3)은 출력되는 전압이 없도록 구성될 수 있다.
- [0114] 이상의 상세한 설명은 본 발명을 예시하는 것이다. 또한 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내어 설명하는 것이며, 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 즉 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위내에서 변경 또는 수정이 가능하다. 저술한 실시예는 본 발명의 기술적 사상을 구현하기 위한 최선의 상태를 설명하는 것이며, 본 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

부호의 설명

- [0115] 1: 3진법 CMOS 소자
- 2: CMOS 입력단
- 3: CMOS 출력단
- 100: 3진법 MOSFET 소자
- 101: 2차원 상전이 물질 층
- 102: 2차원 반도체 물질 층
- 103: 게이트단
- 104: 드레인단
- 105: 소스단
- 106: 제1 산화 물질 층
- 107: 제2 산화 물질 층
- 108: 제1 스페이서
- 109: 제2 스페이서
- 110: n타입 3진법 MOSFET 소자
- 112: n채널 2차원 반도체 물질 층
- 113: 제1 게이트단
- 114: 제1 드레인단
- 115: 제1 소스단
- 120: p타입 3진법 MOSFET 소자
- 122: p채널 2차원 반도체 물질 층

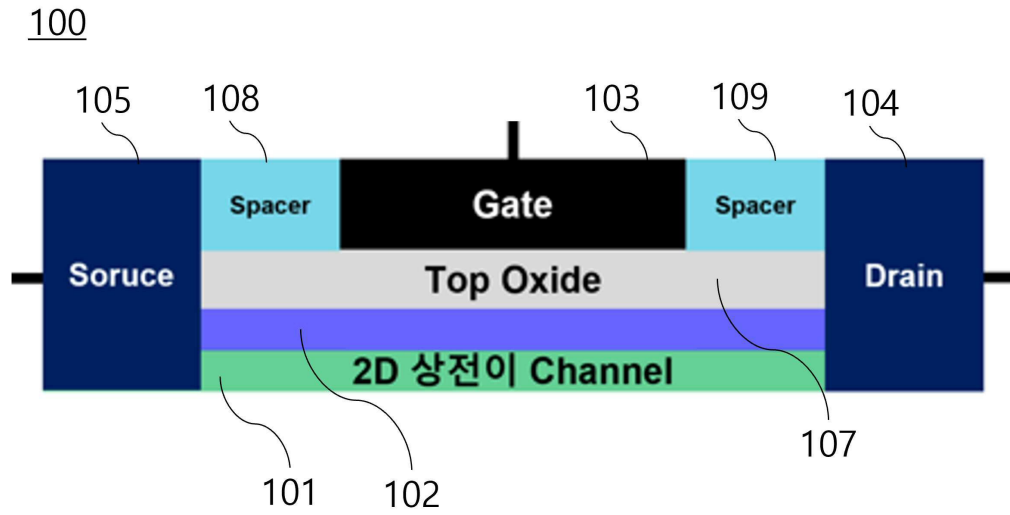
123: 제2 게이트단

124: 제2 드레인단

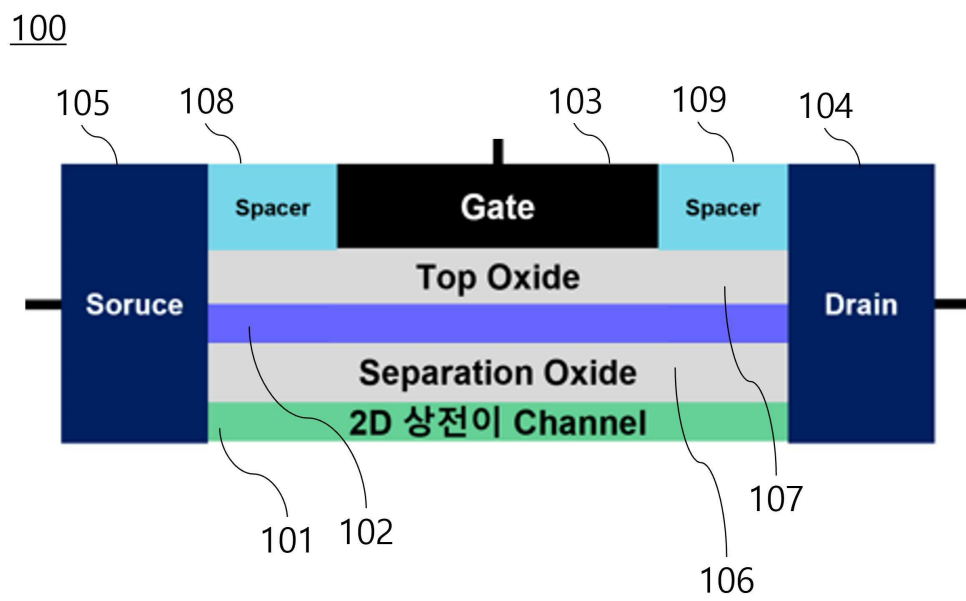
125: 제2 소스단

도면

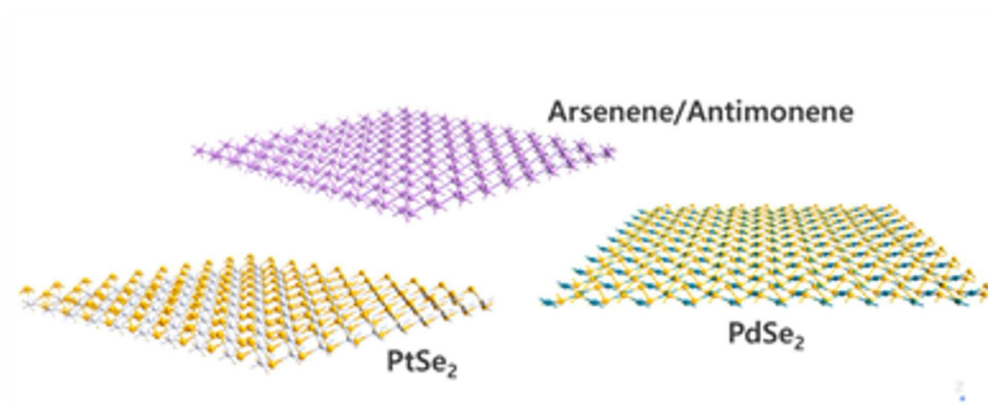
도면1



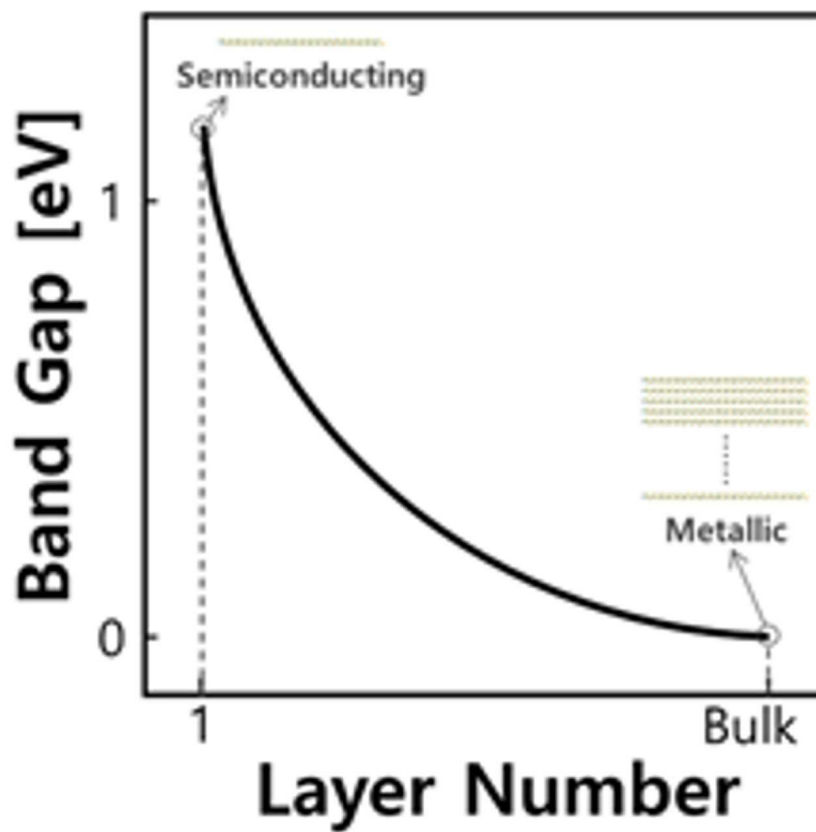
도면2



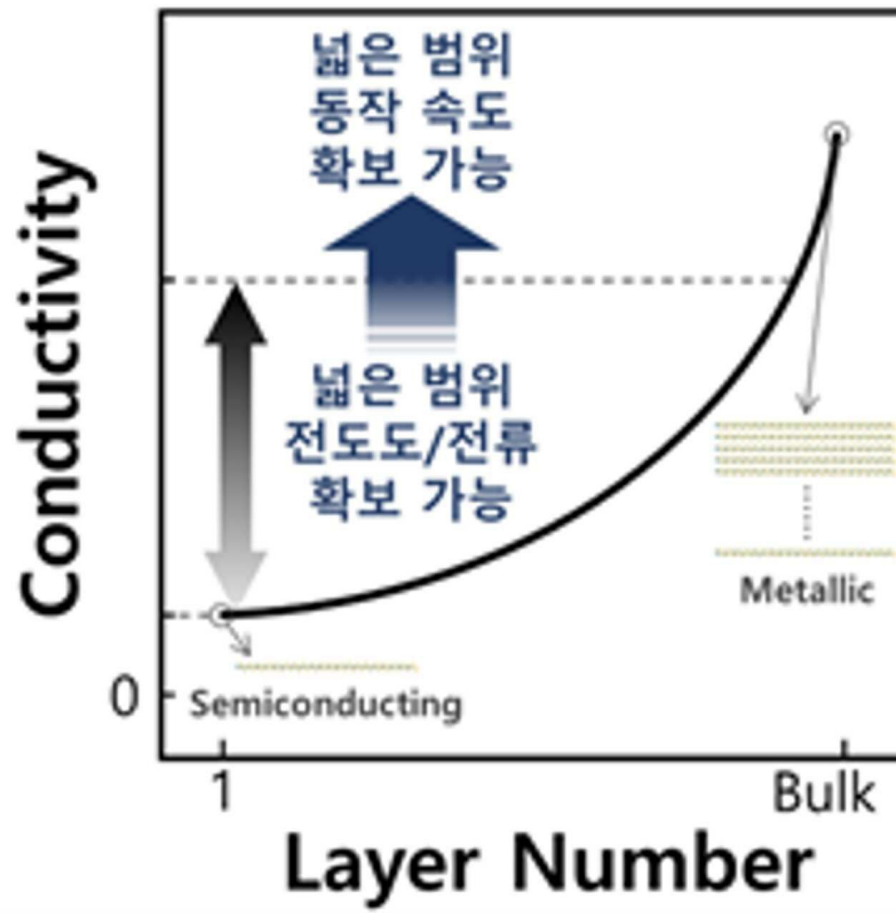
도면3



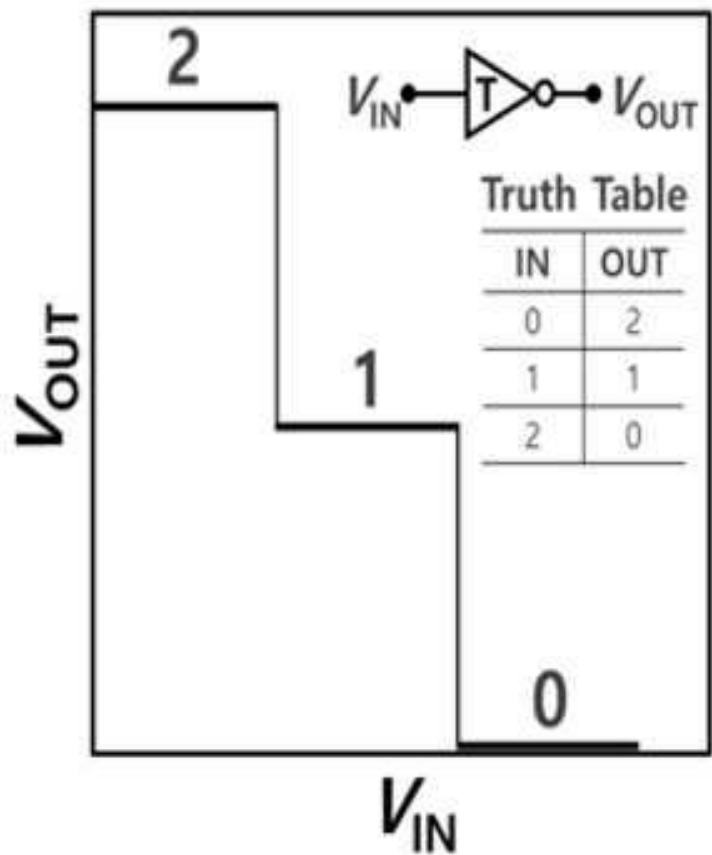
도면4



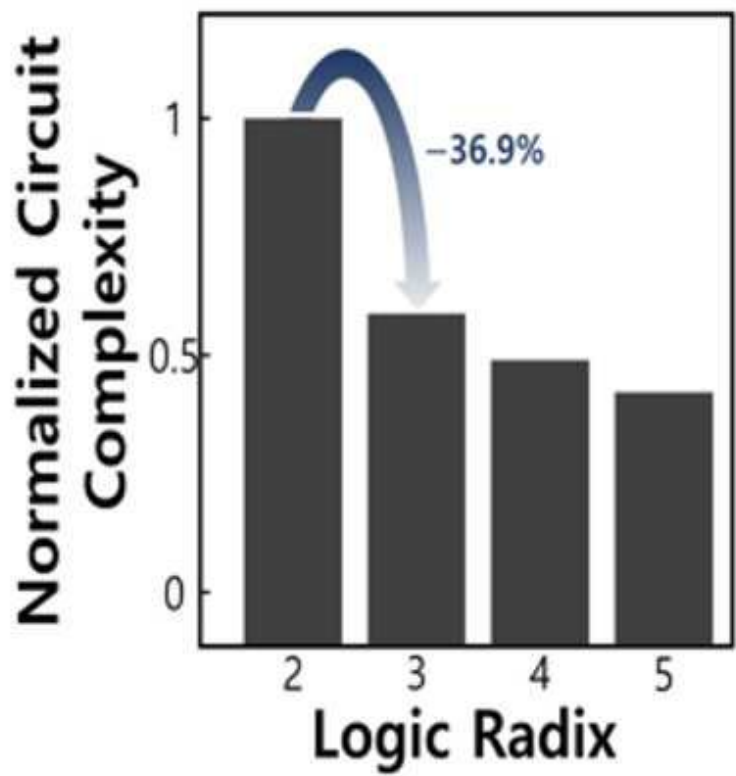
도면5



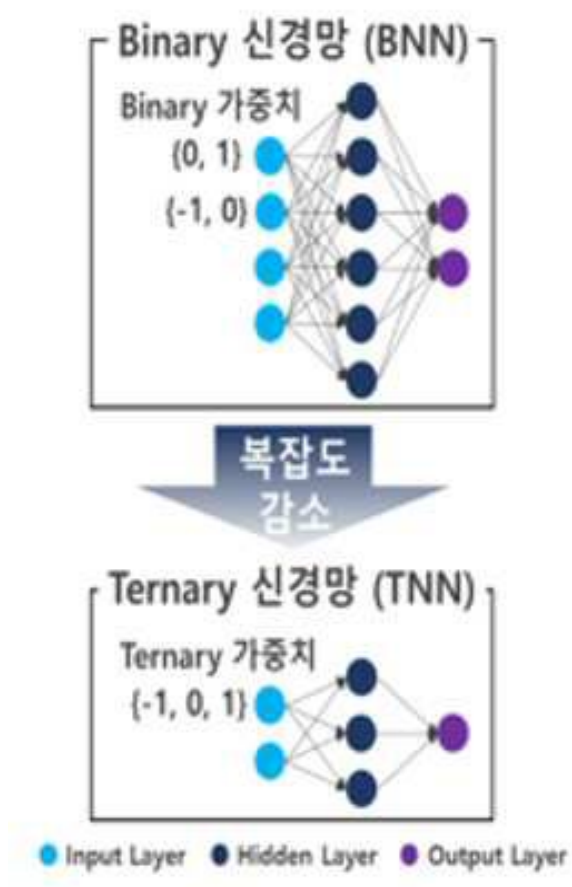
도면6



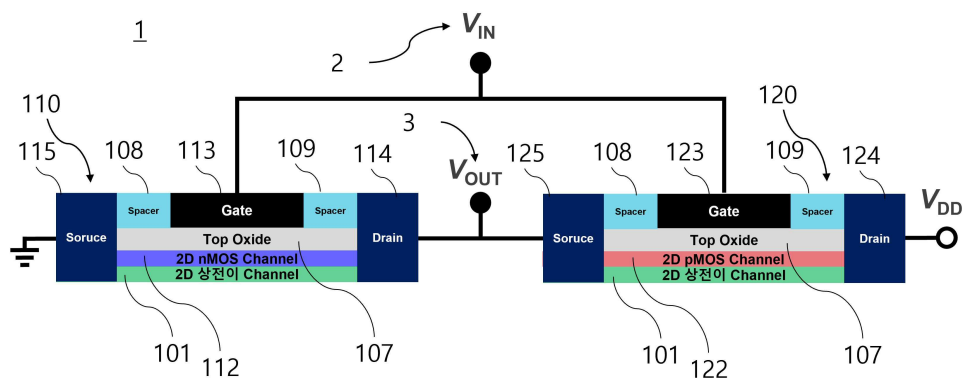
도면7



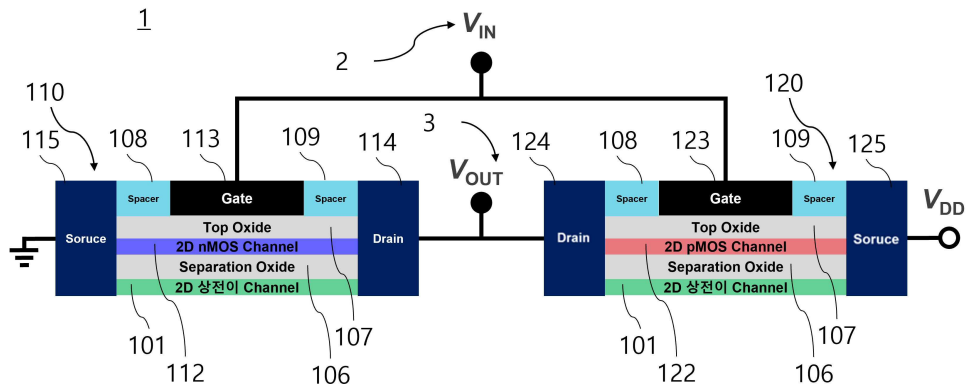
도면8



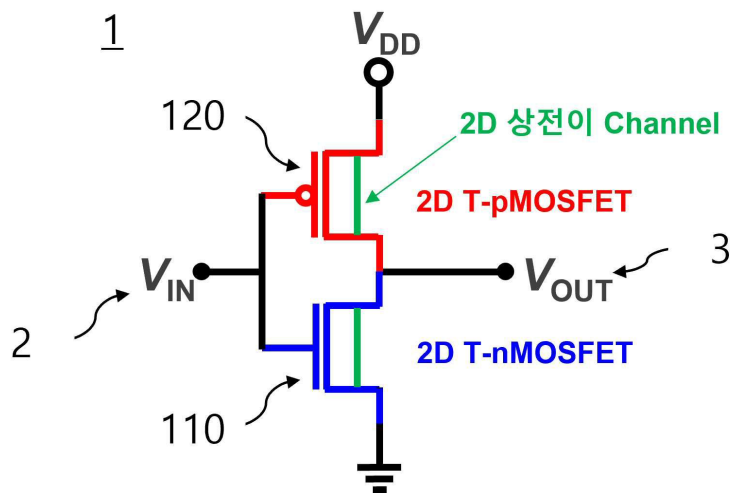
도면9



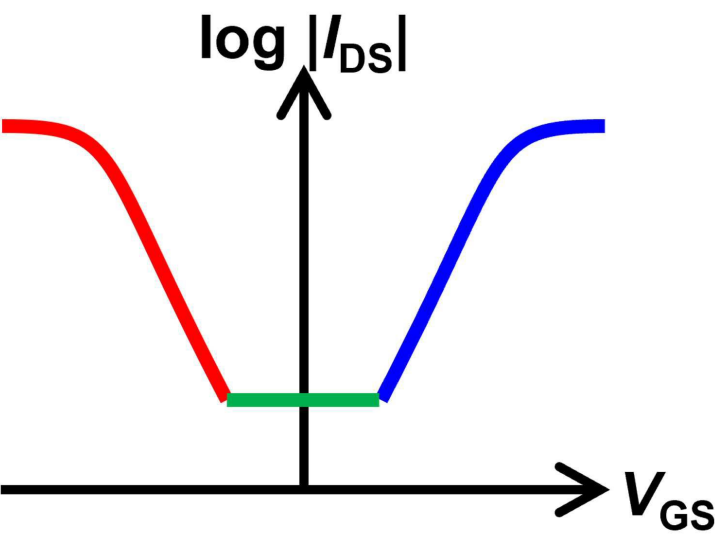
도면10



도면11



도면12



도면13

