



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월17일
(11) 등록번호 10-2718858
(24) 등록일자 2024년10월14일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) G11C 7/10 (2021.01)
H04L 25/02 (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
G11C 7/10 (2018.05)
(21) 출원번호 10-2020-0107701
(22) 출원일자 2020년08월26일
심사청구일자 2023년07월05일
(65) 공개번호 10-2022-0026773
(43) 공개일자 2022년03월07일
(56) 선행기술조사문헌
US20200322011 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
문병모
서울특별시 관악구 남현7길 3, 201동 303호
김지영
서울특별시 서대문구 연세로 50, 제3공학관 C206호
(뒷면에 계속)
(74) 대리인
박영우

전체 청구항 수 : 총 10 항

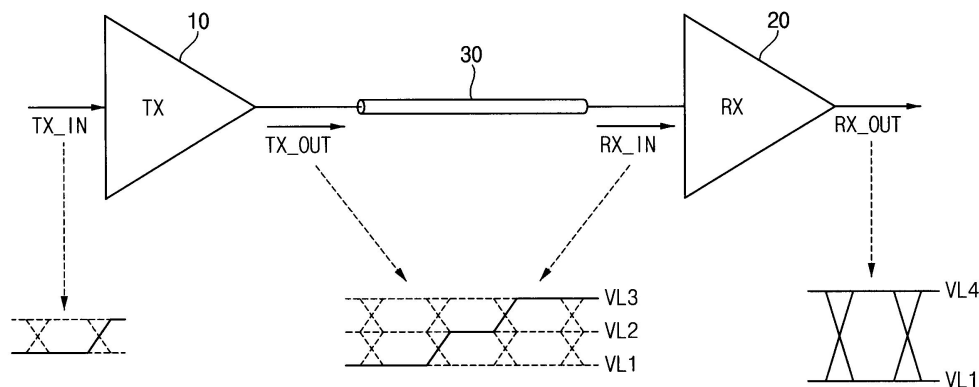
심사관 : 황철규

(54) 발명의 명칭 저전력 입출력을 위한 송신기, 수신기 및 이를 포함하는 메모리 시스템

(57) 요약

송신기는 멀티플렉서, 제어 로직 및 전압 모드 드라이버(voltage mode driver)를 포함한다. 멀티플렉서는 병렬로 입력되고 서로 다른 2개의 전압 레벨들을 가지는 바이너리(binary) 방식의 복수의 입력 데이터 신호들 및 다위상 클럭 신호들에 기초하여 복수의 타임 인터리브(time-interleaved) 데이터 신호들을 생성한다. 제어 로직은 복수의 타임 인터리브 데이터 신호들에 기초하여 적어도 하나의 폴다운 제어 신호 및 일시적으로 부스트된 전압 레벨을 가지는 복수의 폴업 제어 신호들을 생성한다. 전압 모드 드라이버는 적어도 하나의 폴다운 제어 신호 및 복수의 폴업 제어 신호들에 기초하여, 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리(duobinary) 방식의 출력 데이터 신호를 생성한다.

대표도



(52) CPC특허분류
H04L 25/0264 (2013.01)

(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 제3공학관 C513호

이종수
서울특별시 서대문구 연세로 50, 제3공학관 C206호

명세서

청구범위

청구항 1

병렬로 입력되고 서로 다른 2개의 전압 레벨들을 가지는 바이너리(binary) 방식의 복수의 입력 데이터 신호들 및 다위상 클럭 신호들에 기초하여 복수의 타임 인터리브(time-interleaved) 데이터 신호들을 생성하는 멀티플렉서;

상기 복수의 타임 인터리브 데이터 신호들에 기초하여 적어도 하나의 폴다운 제어 신호 및 펄스 신호가 제1 레벨을 가지는 일정 시간 동안에 부스트된 전압 레벨을 가지는 복수의 풀업 제어 신호들을 생성하는 제어 로직; 및

상기 적어도 하나의 폴다운 제어 신호 및 상기 복수의 풀업 제어 신호들에 기초하여, 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리(duobinary) 방식의 출력 데이터 신호를 생성하는 전압 모드 드라이버(voltage mode driver)를 포함하는 송신기.

청구항 2

제 1 항에 있어서,

상기 복수의 입력 데이터 신호들은 제1 입력 데이터 신호, 제2 입력 데이터 신호, 제3 입력 데이터 신호 및 제4 입력 데이터 신호를 포함하고,

상기 다위상 클럭 신호들은 위상이 일부 중첩하는 제1 클럭 신호, 제2 클럭 신호, 제3 클럭 신호 및 제4 클럭 신호를 포함하며,

상기 복수의 타임 인터리브 데이터 신호들은 제1 타임 인터리브 데이터 신호 및 제2 타임 인터리브 데이터 신호를 포함하고,

상기 적어도 하나의 폴다운 제어 신호는 제1 폴다운 제어 신호를 포함하고,

상기 복수의 풀업 제어 신호들은 제1 풀업 제어 신호 및 제2 풀업 제어 신호를 포함하며,

상기 3개의 전압 레벨들은 제1 전압 레벨, 상기 제1 전압 레벨보다 높은 제2 전압 레벨 및 상기 제2 전압 레벨보다 높은 제3 전압 레벨을 포함하는 것을 특징으로 하는 송신기.

청구항 3

제 2 항에 있어서, 상기 멀티플렉서는,

상기 제1 입력 데이터 신호를 수신하는 제1 입력 노드 및 상기 제1 타임 인터리브 데이터 신호를 제공하는 제1 출력 노드 사이에 연결되고, 상기 제1 클럭 신호가 인가되는 게이트 전극을 가지는 제1 트랜지스터;

상기 제2 입력 데이터 신호를 수신하는 제2 입력 노드 및 상기 제2 타임 인터리브 데이터 신호를 제공하는 제2 출력 노드 사이에 연결되고, 상기 제2 클럭 신호가 인가되는 게이트 전극을 가지는 제2 트랜지스터;

상기 제3 입력 데이터 신호를 수신하는 제3 입력 노드 및 상기 제1 출력 노드 사이에 연결되고, 상기 제3 클럭 신호가 인가되는 게이트 전극을 가지는 제3 트랜지스터; 및

상기 제4 입력 데이터 신호를 수신하는 제4 입력 노드 및 상기 제2 출력 노드 사이에 연결되고, 상기 제4 클럭 신호가 인가되는 게이트 전극을 가지는 제4 트랜지스터를 포함하는 것을 특징으로 하는 송신기.

청구항 4

제 2 항에 있어서, 상기 제어 로직은,

상기 제1 및 제2 타임 인터리브 데이터 신호들에 대한 NAND 연산을 수행하는 제1 NAND 게이트;

상기 제1 및 제2 타임 인터리브 데이터 신호들에 대한 NOR 연산을 수행하여 상기 제1 폴다운 제어 신호를 생성

하는 NOR 게이트;

상기 NOR 게이트의 출력을 반전하는 인버터;

상기 제1 NAND 게이트의 출력 및 상기 인버터의 출력에 대한 NAND 연산을 수행하는 제2 NAND 게이트;

상기 제1 NAND 게이트의 출력에 기초하여 상기 제1 폴업 제어 신호를 생성하는 제1 부스팅 회로; 및

상기 제2 NAND 게이트의 출력에 기초하여 상기 제2 폴업 제어 신호를 생성하는 제2 부스팅 회로를 포함하는 것을 특징으로 하는 송신기.

청구항 5

제 4 항에 있어서, 상기 제1 부스팅 회로는,

상기 제1 NAND 게이트의 출력을 수신하는 입력 노드와 연결되고, 상기 제1 NAND 게이트의 출력에 기초하여 상기 펄스 신호를 생성하는 펄스 생성기;

제1 전원 전압과 제1 노드 사이에 연결되고, 상기 펄스 신호가 인가되는 게이트 전극을 가지는 제1 트랜지스터;

상기 제1 트랜지스터의 게이트 전극과 상기 제1 노드 사이에 연결되는 커패시터;

상기 제1 노드와 상기 제1 폴업 제어 신호를 제공하는 출력 노드 사이에 연결되고, 상기 입력 노드와 연결되는 게이트 전극을 가지는 제2 트랜지스터; 및

상기 출력 노드와 접지 전압 사이에 연결되고, 상기 입력 노드와 연결되는 게이트 전극을 가지는 제3 트랜지스터를 포함하는 것을 특징으로 하는 송신기.

청구항 6

제 2 항에 있어서, 상기 전압 모드 드라이버는,

상기 출력 데이터 신호를 제공하는 출력 노드와 상기 제1 전압 레벨을 가지는 접지 전압 사이에 연결되고, 상기 제1 폴다운 제어 신호를 수신하는 게이트 전극을 가지는 제1 트랜지스터;

상기 제3 전압 레벨을 가지는 제1 전원 전압과 상기 출력 노드 사이에 연결되고, 상기 제2 폴업 제어 신호를 수신하는 게이트 전극을 가지는 제2 트랜지스터; 및

상기 제2 전압 레벨을 가지는 제2 전원 전압과 상기 출력 노드 사이에 연결되고, 상기 제1 폴업 제어 신호를 수신하는 게이트 전극을 가지는 제3 트랜지스터를 포함하는 것을 특징으로 하는 송신기.

청구항 7

서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리(duobinary) 방식의 입력 데이터 신호를 수신하고, 상기 입력 데이터 신호, 제1 클럭 신호, 제1 기준 전압 및 제1 선택 신호에 기초하여 서로 다른 2개의 전압 레벨들을 가지는 바이너리(binary) 방식의 제1 출력 데이터 신호를 생성하는 제1 플립플롭; 및

상기 입력 데이터 신호를 수신하고, 상기 입력 데이터 신호, 상기 제1 클럭 신호와 다른 제2 클럭 신호, 상기 제1 기준 전압 및 제2 선택 신호에 기초하여 상기 바이너리 방식의 제2 출력 데이터 신호를 생성하는 제2 플립플롭을 포함하고,

상기 제2 출력 데이터 신호가 상기 제1 선택 신호로서 제공되고, 상기 제1 출력 데이터 신호가 상기 제2 선택 신호로서 제공되며,

상기 제1 플립플롭은 상기 제1 기준 전압 및 상기 제1 선택 신호에 기초하여 상기 제1 기준 전압과 다른 제2 기준 전압을 형성하는 수신기.

청구항 8

제 7 항에 있어서, 상기 제1 플립플롭은,

전원 전압, 상기 입력 데이터 신호, 상기 제1 클럭 신호, 상기 제1 기준 전압 및 상기 제1 선택 신호에 기초하여 제1 데이터 신호 및 제2 데이터 신호를 생성하고, 상기 제2 기준 전압을 형성하기 위한 제1 구조 및 상기 제

1 및 제2 데이터 신호들을 부스트하기 위한 제2 구조를 포함하는 제1 회로부;

상기 전원 전압, 상기 제1 및 제2 데이터 신호들 및 상기 제1 클럭 신호에 기초하여 제3 데이터 신호 및 제4 데이터 신호를 생성하는 제2 회로부; 및

상기 제3 및 제4 데이터 신호들에 기초하여 상기 제1 출력 데이터 신호를 생성하는 출력부를 포함하는 것을 특징으로 하는 수신기.

청구항 9

제 8 항에 있어서, 상기 제1 회로부는,

제1 노드와 상기 제1 데이터 신호를 제공하는 제1 데이터 노드 사이에 병렬 연결되고, 각각 상기 전원 전압, 상기 입력 데이터 신호 및 상기 제2 데이터 신호를 제공하는 제2 데이터 노드와 연결되는 게이트 전극을 가지는 제1, 제2 및 제3 트랜지스터들;

상기 제1 노드와 상기 제2 데이터 노드 사이에 병렬 연결되고, 각각 상기 제1 데이터 노드, 상기 제1 기준 전압 및 상기 제1 선택 신호와 연결되는 게이트 전극을 가지는 제4, 제5 및 제6 트랜지스터들;

상기 전원 전압과 상기 제1 노드 사이에 연결되고, 상기 제1 클럭 신호를 수신하는 게이트 전극을 가지는 제7 트랜지스터;

상기 제1 데이터 노드와 접지 전압 사이에 연결되고, 상기 제1 클럭 신호를 수신하는 게이트 전극을 가지는 제8 트랜지스터; 및

상기 제2 데이터 노드와 상기 접지 전압 사이에 연결되고, 상기 제1 클럭 신호를 수신하는 게이트 전극을 가지는 제9 트랜지스터를 포함하는 것을 특징으로 하는 수신기.

청구항 10

메모리 장치에 저장하고자 하는 기입 데이터 또는 상기 메모리 장치로부터 독출된 독출 데이터를 출력하는 송신기;

상기 기입 데이터 또는 상기 독출 데이터를 전송하는 채널; 및

상기 기입 데이터 또는 상기 독출 데이터를 수신하는 수신기를 포함하고,

상기 송신기는,

병렬로 입력되고 서로 다른 2개의 전압 레벨들을 가지는 바이너리(binary) 방식의 복수의 입력 데이터 신호들 및 다위상 클럭 신호들에 기초하여 복수의 타임 인터리브(time-interleaved) 데이터 신호들을 생성하는 멀티플렉서;

상기 복수의 타임 인터리브 데이터 신호들에 기초하여 적어도 하나의 폴다운 제어 신호 및 펄스 신호가 제1 레벨을 가지는 일정 시간 동안에 부스트된 전압 레벨을 가지는 복수의 폴업 제어 신호들을 생성하는 제어 로직; 및

상기 적어도 하나의 폴다운 제어 신호 및 상기 복수의 폴업 제어 신호들에 기초하여, 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리(duobinary) 방식의 출력 데이터 신호를 생성하는 전압 모드 드라이버(voltage mode driver)를 포함하며,

상기 수신기는,

상기 출력 데이터 신호를 수신하고, 상기 출력 데이터 신호, 제1 클럭 신호, 제1 기준 전압 및 제1 선택 신호에 기초하여 상기 바이너리 방식의 제1 데이터 신호를 생성하는 제1 플립플롭; 및

상기 출력 데이터 신호를 수신하고, 상기 출력 데이터 신호, 상기 제1 클럭 신호와 다른 제2 클럭 신호, 상기 제1 기준 전압 및 제2 선택 신호에 기초하여 상기 바이너리 방식의 제2 데이터 신호를 생성하는 제2 플립플롭을 포함하고,

상기 제2 데이터 신호가 상기 제1 선택 신호로서 제공되고, 상기 제1 데이터 신호가 상기 제2 선택 신호로서 제공되며,

상기 제1 플립플롭은 상기 제1 기준 전압 및 상기 제1 선택 신호에 기초하여 상기 제1 기준 전압과 다른 제2 기준 전압을 형성하고,

상기 복수의 입력 데이터 신호들, 상기 출력 데이터 신호 및 상기 제1 및 제2 데이터 신호들은 상기 기입 데이터 또는 상기 독출 데이터에 대응하는 메모리 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로서, 더욱 상세하게는 저전력 입출력을 위한 송신기 및 수신기와, 상기 송신기 및 상기 수신기를 포함하는 메모리 시스템에 관한 것이다.

배경 기술

[0002] 최근에는 인공 지능(Artificial Intelligence; AI) 및 그래픽 처리 장치(Graphic Processing Unit; GPU)와 같은 고성능 컴퓨팅(High Performance Computing; HPC)을 위한 메모리 대역폭에 대한 요구가 높아지고 있다. 대역폭의 확대는 프로세스 기술의 혁신에 의존할 수 있으며, 프로세스 기술의 발전은 집적 회로(Integrated Circuit; IC)에서 더 높은 밀도를 만들어 냈다. 3차원 집적 방식(3D integration)은 IC의 밀도를 지속적으로 확대할 수 있는 가능성을 제공하므로 관심이 증가하고 있으며, 관통 실리콘 비아(Through Silicon Via; TSV)를 이용한 고 대역폭 메모리(High Bandwidth Memory; HBM)가 연구되고 있다.

[0003] 다수의 관통 실리콘 비아들을 채널로 활용하는 경우에, 한 채널에서 일어나는 신호의 전이가 관통 실리콘 비아의 물질적인 특성에 따라 발생하는 기생 캐패시턴스에 의해 잡음(noise)으로써 인접한 채널로 전달 또는 수신될 수 있다. 전달된 잡음에 의하여 데이터(data)의 지연이 발생하거나 지터(jitter)가 추가되어 수신기에서의 수신 성능이 저하되는 등의 문제가 발생하였다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 저전력 입출력을 위해 타임 인터리브(time-interleaved) 방식을 이용하여 듀오바이너리(duobinary) 방식의 데이터 신호를 생성하는 송신기를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 듀오바이너리 방식의 데이터 신호를 효과적으로 수신하는 수신기를 제공하는 것이다.

[0006] 본 발명의 또 다른 목적은 상기 송신기 및 상기 수신기를 포함하는 메모리 시스템을 제공하는 것이다.

과제의 해결 수단

[0007] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 송신기는 멀티플렉서, 제어 로직 및 전압 모드 드라이버(voltage mode driver)를 포함한다. 상기 멀티플렉서는 병렬로 입력되고 서로 다른 2개의 전압 레벨들을 가지는 바이너리(binary) 방식의 복수의 입력 데이터 신호들 및 다위상 클럭 신호들에 기초하여 복수의 타임 인터리브(time-interleaved) 데이터 신호들을 생성한다. 상기 제어 로직은 상기 복수의 타임 인터리브 데이터 신호들에 기초하여 적어도 하나의 풀다운 제어 신호 및 일시적으로 부스트된 전압 레벨을 가지는 복수의 풀업 제어 신호들을 생성한다. 상기 전압 모드 드라이버는 상기 적어도 하나의 풀다운 제어 신호 및 상기 복수의 풀업 제어 신호들에 기초하여, 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리(duobinary) 방식의 출력 데이터 신호를 생성한다.

[0008] 상기 다른 목적을 달성하기 위해, 본 발명의 실시예들에 따른 수신기는 제1 플립플롭 및 제2 플립플롭을 포함한다. 상기 제1 플립플롭은 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리(duobinary) 방식의 입력 데이터 신호를 수신하고, 상기 입력 데이터 신호, 제1 클럭 신호, 제1 기준 전압 및 제1 선택 신호에 기초하여 서로 다른 2개의 전압 레벨들을 가지는 바이너리(binary) 방식의 제1 출력 데이터 신호를 생성한다. 상기 제2 플립플롭은 상기 입력 데이터 신호를 수신하고, 상기 입력 데이터 신호, 상기 제1 클럭 신호와 다른 제2 클럭 신호, 상기 제1 기준 전압 및 제2 선택 신호에 기초하여 상기 바이너리 방식의 제2 출력 데이터 신호를 생성한다. 상기 제2 출력 데이터 신호가 상기 제1 선택 신호로서 제공되고, 상기 제1 출력 데이터 신호가 상기 제2 선택 신호로

서 제공된다. 상기 제1 플립플롭은 상기 제1 기준 전압 및 상기 제1 선택 신호에 기초하여 상기 제1 기준 전압과 다른 제2 기준 전압을 형성한다.

[0009] 상기 또 다른 목적을 달성하기 위해, 본 발명의 실시예들에 따른 메모리 시스템은 송신기, 채널 및 수신기를 포함한다. 상기 송신기는 메모리 장치에 저장하고자 하는 기입 데이터 또는 상기 메모리 장치로부터 독출된 독출 데이터를 출력한다. 상기 채널은 상기 기입 데이터 또는 상기 독출 데이터를 전송한다. 상기 수신기는 상기 기입 데이터 또는 상기 독출 데이터를 수신한다. 상기 송신기는 멀티플렉서, 제어 로직 및 전압 모드 드라이버(voltage mode driver)를 포함한다. 상기 멀티플렉서는 병렬로 입력되고 서로 다른 2개의 전압 레벨들을 가지는 바이너리(binary) 방식의 복수의 입력 데이터 신호들 및 다위상 클럭 신호들에 기초하여 복수의 타임 인터리브(time-interleaved) 데이터 신호들을 생성한다. 상기 제어 로직은 상기 복수의 타임 인터리브 데이터 신호들에 기초하여 적어도 하나의 폴다운 제어 신호 및 일시적으로 부스트된 전압 레벨을 가지는 복수의 폴업 제어 신호들을 생성한다. 상기 전압 모드 드라이버는 상기 적어도 하나의 폴다운 제어 신호 및 상기 복수의 폴업 제어 신호들에 기초하여, 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리(duobinary) 방식의 출력 데이터 신호를 생성한다. 상기 수신기는 제1 플립플롭 및 제2 플립플롭을 포함한다. 상기 제1 플립플롭은 상기 출력 데이터 신호를 수신하고, 상기 출력 데이터 신호, 제1 클럭 신호, 제1 기준 전압 및 제1 선택 신호에 기초하여 상기 바이너리 방식의 제1 데이터 신호를 생성한다. 상기 제2 플립플롭은 상기 출력 데이터 신호를 수신하고, 상기 출력 데이터 신호, 상기 제1 클럭 신호와 다른 제2 클럭 신호, 상기 제1 기준 전압 및 제2 선택 신호에 기초하여 상기 바이너리 방식의 제2 데이터 신호를 생성한다. 상기 제2 데이터 신호가 상기 제1 선택 신호로서 제공되고, 상기 제1 데이터 신호가 상기 제2 선택 신호로서 제공된다. 상기 제1 플립플롭은 상기 제1 기준 전압 및 상기 제1 선택 신호에 기초하여 상기 제1 기준 전압과 다른 제2 기준 전압을 형성한다. 상기 복수의 입력 데이터 신호들, 상기 출력 데이터 신호 및 상기 제1 및 제2 데이터 신호들은 상기 기입 데이터 또는 상기 독출 데이터에 대응한다.

발명의 효과

[0010] 상기와 같은 본 발명의 실시예들에 따른 송신기 및 수신기는 저전력 입출력을 위한 구조를 가질 수 있다. 구체적으로, 송신기는 타임 인터리브 방식을 이용하여 듀오바이너리 방식의 출력 데이터 신호를 생성하도록 구현되며, 정적 전력 소모가 없는 구조, 높은 속도에서의 동작 보장 및 전력 효율을 증가시키기 위한 구조를 가질 수 있다. 또한, 수신기는 듀오바이너리 방식의 입력 데이터 신호를 센싱하기 위한 기준 전압의 개수를 줄여 복잡도가 감소되도록 구현되며, 입력 오프셋을 개선하기 위한 구조 및 출력 지연 변화를 감소시키기 위한 구조를 가질 수 있다.

[0011] 상기와 같은 본 발명의 실시예들에 따른 송신기 및 수신기를 포함하는 메모리 시스템은, 향상된 신호 특성을 가질 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예들에 따른 송신기 및 수신기를 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 송신기를 나타내는 블록도이다.

도 3은 도 2의 송신기의 일 예를 나타내는 회로도이다.

도 4a, 4b, 4c, 4d 및 4e는 도 3의 송신기에서 입력 및 출력되는 신호들의 예를 나타내는 도면들이다.

도 5는 도 3의 송신기에 포함되는 제1 부스팅 회로의 일 예를 나타내는 회로도이다.

도 6은 도 5의 제1 부스팅 회로에서 입력 및 출력되는 신호들의 예를 나타내는 도면이다.

도 7a, 7b, 7c 및 7d는 도 3의 송신기의 성능을 나타내는 도면들이다.

도 8은 본 발명의 실시예들에 따른 수신기를 나타내는 블록도이다.

도 9는 도 8의 수신기에 포함되는 제1 플립플롭의 일 예를 나타내는 회로도이다.

도 10a 및 10b는 도 9의 제1 플립플롭에서 입력 및 출력되는 신호들의 예를 나타내는 도면들이다.

도 11a 및 11b는 도 8 및 9의 수신기의 성능을 나타내는 도면들이다.

도 12는 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.

도 13은 도 12의 메모리 시스템의 예를 나타내는 블록도이다.

도 14a 및 14b는 도 12 및 13의 메모리 시스템을 포함하는 반도체 패키지를 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0014] 도 1은 본 발명의 실시예들에 따른 송신기 및 수신기를 나타내는 블록도이다.
- [0015] 도 1을 참조하면, 송신기(TX)(10) 및 수신기(RX)(20)는 채널(30)을 통하여 서로 연결된다. 예를 들어, 도 14a 및 14b를 참조하여 후술하는 것처럼, 채널(30)은 적어도 하나의 관통 실리콘 비아(Through Silicon Via; TSV)를 포함할 수 있다.
- [0016] 송신기(10)는 바이너리(binary) 방식의 입력 데이터 신호(TX_IN)에 기초하여 듀오바이너리(duobinary) 방식의 출력 데이터 신호(TX_OUT)를 생성한다. 출력 데이터 신호(TX_OUT)는 채널(30)을 통하여 수신기(20)로 전송된다. 수신기(20)는 상기 듀오바이너리 방식의 입력 데이터 신호(RX_IN)에 기초하여 상기 바이너리 방식의 출력 데이터 신호(RX_OUT)를 생성한다.
- [0017] 상기 듀오바이너리 방식은 출력 데이터 신호(TX_OUT)가 서로 다른 3개의 전압 레벨들을 가지도록 구현되는 방식이며, 이 때 상기 듀오바이너리 방식의 출력 데이터 신호(TX_OUT)에 포함되는 1개의 값(또는 데이터)은 입력 데이터 신호(TX_IN)에 포함되는 인접한 2개의 값(또는 비트)의 합(예를 들어, 이전 값과 현재 값의 합)을 나타낼 수 있다.
- [0018] 예를 들어, 출력 데이터 신호(TX_OUT)의 상기 3개의 전압 레벨들은 제1 전압 레벨(VL1), 제1 전압 레벨(VL1)보다 높은 제2 전압 레벨(VL2) 및 제2 전압 레벨(VL2)보다 높은 제3 전압 레벨(VL3)을 포함할 수 있다. 제1 전압 레벨(VL1), 제2 전압 레벨(VL2) 및 제3 전압 레벨(VL3)을 각각 로우(low) 레벨, 미들(middle 또는 mid) 레벨 및 하이(high) 레벨이라 부를 수 있다. 예를 들어, 제1 전압 레벨(VL1)은 약 0V이고, 제2 전압 레벨(VL2)은 약 0.3V이며, 제3 전압 레벨(VL3)은 약 0.6V일 수 있다.
- [0019] 상기 바이너리 방식은 출력 데이터 신호(RX_OUT)가 서로 다른 2개의 전압 레벨들을 가지도록 구현되는 방식이며, 이 때 상기 바이너리 방식의 출력 데이터 신호(RX_OUT)에 포함되는 1개의 값(또는 데이터)은 입력 데이터 신호(TX_IN)에 포함되는 1개의 값(또는 비트)을 나타낼 수 있다.
- [0020] 예를 들어, 출력 데이터 신호(RX_OUT)의 상기 2개의 전압 레벨들은 제1 전압 레벨(VL1) 및 제1 전압 레벨(VL1)보다 높은 제4 전압 레벨(VL4)을 포함할 수 있다. 제1 전압 레벨(VL1) 및 제4 전압 레벨(VL4)을 각각 로우 레벨 및 하이 레벨이라 부를 수 있다. 예를 들어, 제4 전압 레벨(VL4)은 제3 전압 레벨(VL3)보다 높으며, 약 1.2V일 수 있다. 다시 말하면, 출력 데이터 신호(RX_OUT)의 스윙 폭은 출력 데이터 신호(TX_OUT)의 스윙 폭보다 클 수 있다.
- [0021] 한편, 상기 바이너리 방식의 입력 데이터 신호(TX_IN) 또한 서로 다른 2개의 전압 레벨들을 가질 수 있다. 예를 들어, 상세하게 도시하지는 않았으나, 입력 데이터 신호(TX_IN)의 로우 레벨은 제1 전압 레벨(VL1)과 동일하고, 하이 레벨은 제3 전압 레벨(VL3)과 동일할 수 있다.
- [0022] 본 발명의 실시예들에 따른 송신기(10) 및 수신기(20)는 저전력 입출력을 위한 구조를 가질 수 있다. 구체적으로, 송신기(10)는 타임 인터리브(time-interleaved) 방식을 이용하여 상기 듀오바이너리 방식의 출력 데이터 신호(TX_OUT)를 생성하도록 구현되며, 정적 전력(static power) 소모가 없는 구조, 높은 속도에서의 동작 보장 및 전력 효율을 증가시키기 위한 구조를 가질 수 있다. 수신기(20)는 상기 듀오바이너리 방식의 입력 데이터 신호(RX_IN)를 센싱하기 위한 기준 전압의 개수를 줄여 복잡도가 감소되도록 구현되며, 입력 오프셋(input offset)을 개선하기 위한 구조 및 출력 지연 변화(output delay variation)를 감소시키기 위한 구조를 가질 수 있다. 송신기(10)의 구조 및 동작에 대해서는 도 2 내지 7을 참조하여 후술하도록 하고, 수신기(20)의 구조 및 동작에 대해서는 도 8 내지 11을 참조하여 후술하도록 한다.
- [0023] 도 2는 본 발명의 실시예들에 따른 송신기를 나타내는 블록도이다.
- [0024] 도 2를 참조하면, 송신기(100)는 멀티플렉서(110), 제어 로직(120) 및 전압 모드 드라이버(voltage mode driver)(130)를 포함한다.

- [0025] 멀티플렉서(110)는 복수의 입력 데이터 신호들(TX_IN) 및 다위상 클럭 신호들(MPCK)에 기초하여 복수의 타임 인터리브 데이터 신호들(TID)을 생성한다. 복수의 입력 데이터 신호들(TX_IN)은 병렬로 입력되며, 도 1을 참조하여 상술한 것처럼 각각 서로 다른 2개의 전압 레벨들을 가지는 바이너리 방식의 신호이다. 다위상 클럭 신호들(MPCK)은 위상이 일부 중첩하는 클럭 신호들일 수 있다. 멀티플렉서(110)는 복수의 입력 데이터 신호들(TX_IN)을 직렬화(serializing)할 수 있다.
- [0026] 예를 들어, 복수의 입력 데이터 신호들(TX_IN)의 개수와 다위상 클럭 신호들(MPCK)의 개수는 동일하며, 하나의 클럭 신호가 하나의 입력 데이터 신호에 대응할 수 있다. 또한, 2개 이상의 입력 데이터 신호들이 타임 인터리브되어 1개의 타임 인터리브 데이터 신호를 생성하며, 따라서 복수의 타임 인터리브 데이터 신호들(TID)의 개수는 복수의 입력 데이터 신호들(TX_IN)의 개수보다 적을 수 있다.
- [0027] 제어 로직(120)은 복수의 타임 인터리브 데이터 신호들(TID)에 기초하여 적어도 하나의 풀다운 제어 신호(PDS) 및 복수의 풀업 제어 신호들(PUS)을 생성한다. 복수의 풀업 제어 신호들(PUS) 각각은 일시적으로 부스트된 전압 레벨을 가지며, 이에 따라 출력 데이터 신호(TX_OUT)의 천이(transition)를 보강하고, 높은 속도에서의 동작 보장 및 전력 효율을 증가시킬 수 있다.
- [0028] 전압 모드 드라이버(130)는 적어도 하나의 풀다운 제어 신호(PDS) 및 복수의 풀업 제어 신호들(PUS)에 기초하여 출력 데이터 신호(TX_OUT)를 생성한다. 출력 데이터 신호(TX_OUT)는 도 1을 참조하여 상술한 것처럼 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리 방식의 신호이다. 예를 들어, 전압 모드 드라이버(130)는 도 3을 참조하여 후술하는 것처럼 듀얼 소스 드라이버(dual source driver)일 수 있다.
- [0029] 본 발명의 실시예들에 따른 송신기(100)는, 정적 전력 소모가 큰 전류 모드 드라이버(current mode 또는 current mode logic (CML) driver) 대신 정적 전력 소모가 거의 없는 전압 모드 드라이버(130)를 포함하여 구현되며, 전압 모드 드라이버(130)를 기반으로 3-레벨 신호(3-level signal)(즉, 듀오바이너리 방식의 신호)를 생성하기 위한 제어 로직(120)을 포함하여 구현될 수 있다.
- [0030] 도 3은 도 2의 송신기의 일 예를 나타내는 회로도이다. 도 4a, 4b, 4c, 4d 및 4e는 도 3의 송신기에서 입력 및 출력되는 신호들의 예를 나타내는 도면들이다.
- [0031] 도 3, 4a, 4b, 4c, 4d 및 4e를 참조하면, 송신기(100a)는 멀티플렉서(110a), 제어 로직(120a) 및 전압 모드 드라이버(130a)를 포함하며, 출력 단자(또는 출력 노드)(140)를 더 포함할 수 있다.
- [0032] 도 3의 예에서, 도 2의 복수의 입력 데이터 신호들(TX_IN)은 병렬로 입력되는 제1 입력 데이터 신호(D0), 제2 입력 데이터 신호(D1), 제3 입력 데이터 신호(D2) 및 제4 입력 데이터 신호(D3)를 포함할 수 있다. 도 2의 다위상 클럭 신호들(MPCK)은 위상이 일부 중첩하는 제1 클럭 신호(CK1), 제2 클럭 신호(CK2), 제3 클럭 신호(CK3) 및 제4 클럭 신호(CK4)를 포함할 수 있다. 도 2의 복수의 타임 인터리브 데이터 신호들(TID)은 제1 타임 인터리브 데이터 신호(X) 및 제2 타임 인터리브 데이터 신호(Y)를 포함할 수 있다. 도 2의 적어도 하나의 풀다운 제어 신호(PDS)는 제1 풀다운 제어 신호(PD)를 포함할 수 있다. 도 2의 복수의 풀업 제어 신호들(PUS)은 제1 풀업 제어 신호(PUMID) 및 제2 풀업 제어 신호(PUHIGH)를 포함할 수 있다. 도 2의 출력 데이터 신호(TX_OUT)는 출력 데이터 신호(TOUT)에 대응할 수 있다.
- [0033] 멀티플렉서(110a)는 제1 트랜지스터(MN11), 제2 트랜지스터(MN12), 제3 트랜지스터(MN13) 및 제4 트랜지스터(MN14)를 포함할 수 있다.
- [0034] 제1 트랜지스터(MN11)는 제1 입력 데이터 신호(D0)를 수신하는 제1 입력 노드(N11) 및 제1 타임 인터리브 데이터 신호(X)를 제공하는 제1 출력 노드(N15) 사이에 연결되고, 제1 클럭 신호(CK1)가 인가되는 게이트 전극을 가질 수 있다. 제2 트랜지스터(MN12)는 제2 입력 데이터 신호(D1)를 수신하는 제2 입력 노드(N12) 및 제2 타임 인터리브 데이터 신호(Y)를 제공하는 제2 출력 노드(N16) 사이에 연결되고, 제2 클럭 신호(CK2)가 인가되는 게이트 전극을 가질 수 있다. 제3 트랜지스터(MN13)는 제3 입력 데이터 신호(D2)를 수신하는 제3 입력 노드(N13) 및 제1 출력 노드(N15) 사이에 연결되고, 제3 클럭 신호(CK3)가 인가되는 게이트 전극을 가질 수 있다. 제4 트랜지스터(MN14)는 제4 입력 데이터 신호(D3)를 수신하는 제4 입력 노드(N14) 및 제2 출력 노드(N16) 사이에 연결되고, 제4 클럭 신호(CK4)가 인가되는 게이트 전극을 가질 수 있다.
- [0035] 도 4e에 도시된 것처럼 출력 데이터 신호(TOUT)에서 하나의 값을 나타내는 시간 간격이 1 단위 구간(Unit Interval; UI)(1UI)인 경우에, 도 4a 및 4b에 도시된 것처럼 제1, 제2, 제3 및 제4 입력 데이터 신호들(D0, D1, D2, D3)이 하나의 값을 나타내는 시간 간격 및 제1, 제2, 제3 및 제4 클럭 신호들(CK1, CK2, CK3, CK4)의

주기는 4 단위 구간(4UI)에 대응할 수 있다. 예를 들어, 제1, 제2, 제3 및 제4 입력 데이터 신호들(D0, D1, D2, D3)의 제1 데이터 레이트는 약 1Gb/s이고, 제1, 제2, 제3 및 제4 클럭 신호들(CK1, CK2, CK3, CK4)의 주기는 약 0.5GHz일 수 있다. 제1, 제2, 제3 및 제4 입력 데이터 신호들(D0, D1, D2, D3)은 각각 "a", "b", "c" 및 "d"의 값을 가지며, 예를 들어 "a" 및 "b"는 각각 "0"이고 "c" 및 "d"는 각각 "1"일 수 있다.

[0036] 상술한 것처럼, 멀티플렉서(110a)는 제1, 제2, 제3 및 제4 입력 데이터 신호들(D0, D1, D2, D3)을 직렬화하며, 제1, 제2, 제3 및 제4 입력 데이터 신호들(D0, D1, D2, D3)이 타임 인터리브된 제1 및 제2 타임 인터리브 데이터 신호들(X, Y)을 출력할 수 있다. 예를 들어, 제1 타임 인터리브 데이터 신호(X)는 제1 및 제3 입력 데이터 신호들(D0, D2)이 타임 인터리브된 신호이고, 제2 타임 인터리브 데이터 신호(Y)는 제2 및 제4 입력 데이터 신호들(D1, D3)이 타임 인터리브된 신호일 수 있다. 예를 들어, 제1 및 제2 타임 인터리브 데이터 신호들(X, Y)의 제2 데이터 레이트는 상기 제1 데이터 레이트보다 높을 수 있다. 예를 들어, 상기 제2 데이터 레이트는 상기 제1 데이터 레이트보다 약 2배 높으며, 약 2Gb/s일 수 있다.

[0037] 구체적으로, 도 4a, 4b 및 4c에 도시된 것처럼, 시간 t1에서 제1 클럭 신호(CK1)에 기초하여 제1 입력 데이터 신호(D0)가 제1 타임 인터리브 데이터 신호(X)로 출력되고, 이에 따라 제1 타임 인터리브 데이터 신호(X)는 제1 입력 데이터 신호(D0)에 대응하는 "0"의 값을 가지며, 제2 타임 인터리브 데이터 신호(Y)는 초기값인 "0"의 값을 가질 수 있다. 시간 t2에서 제2 클럭 신호(CK2)에 기초하여 제2 입력 데이터 신호(D1)가 제2 타임 인터리브 데이터 신호(Y)로 출력되고, 이에 따라 제2 타임 인터리브 데이터 신호(Y)는 제2 입력 데이터 신호(D1)에 대응하는 "0"의 값을 가지며, 제1 타임 인터리브 데이터 신호(X)는 시간 t1에서의 값인 "0"의 값이 유지될 수 있다. 이와 유사하게, 시간 t3에서 제3 클럭 신호(CK3)에 기초하여 제3 입력 데이터 신호(D2)가 제1 타임 인터리브 데이터 신호(X)로 출력되고, 이에 따라 제1 타임 인터리브 데이터 신호(X)는 제3 입력 데이터 신호(D2)에 대응하는 "1"의 값을 가지며, 제2 타임 인터리브 데이터 신호(Y)는 "0"의 값이 유지될 수 있다. 시간 t4에서 제4 클럭 신호(CK4)에 기초하여 제4 입력 데이터 신호(D3)가 제2 타임 인터리브 데이터 신호(Y)로 출력되고, 이에 따라 제2 타임 인터리브 데이터 신호(Y)는 제4 입력 데이터 신호(D3)에 대응하는 "1"의 값을 가지며, 제1 타임 인터리브 데이터 신호(X)는 "1"의 값이 유지될 수 있다.

[0038] 제어 로직(120a)은 제1 NAND 게이트(121), NOR 게이트(122), 인버터(123), 제2 NAND 게이트(124), 제1 부스팅 회로(125) 및 제2 부스팅 회로(126)를 포함할 수 있다.

[0039] 제1 NAND 게이트(121)는 제1 및 제2 타임 인터리브 데이터 신호들(X, Y)에 대한 NAND 연산을 수행할 수 있다. NOR 게이트(122)는 제1 및 제2 타임 인터리브 데이터 신호들(X, Y)에 대한 NOR 연산을 수행하여 제1 풀다운 제어 신호(PD)를 생성할 수 있다. 인버터(123)는 NOR 게이트(122)의 출력을 반전할 수 있다. 제2 NAND 게이트(124)는 제1 NAND 게이트(121)의 출력 및 인버터(123)의 출력에 대한 NAND 연산을 수행할 수 있다. 제1 부스팅 회로(125)는 제1 NAND 게이트(121)의 출력에 기초하여 일시적으로 부스트된 전압 레벨을 가지는 제1 풀업 제어 신호(PUMID)를 생성할 수 있다. 제2 부스팅 회로(126)는 제2 NAND 게이트(124)의 출력에 기초하여 일시적으로 부스트된 전압 레벨을 가지는 제2 풀업 제어 신호(PUHIG)를 생성할 수 있다.

[0040] 제1 풀다운 제어 신호(PD)의 값 및 제1 및 제2 풀업 제어 신호들(PUMID, PUHIGH)의 값은 제1 및 제2 타임 인터리브 데이터 신호들(X, Y)의 값에 따라 결정될 수 있다. 예를 들어, 제1 풀다운 제어 신호(PD) 및 제1 및 제2 풀업 제어 신호들(PUMID, PUHIGH)의 제3 데이터 레이트는 상기 제2 데이터 레이트보다 높을 수 있다. 예를 들어, 상기 제3 데이터 레이트는 상기 제2 데이터 레이트보다 약 2배 높으며, 약 4Gb/s일 수 있다.

[0041] 구체적으로, 도 4c 및 4d에 도시된 것처럼, 시간 t1 및 t2에서 제1 및 제2 타임 인터리브 데이터 신호들(X, Y)이 각각 "0"의 값을 가지는 경우에, 제1 풀다운 제어 신호(PD)는 "1"의 값을 가지며, 제1 및 제2 풀업 제어 신호들(PUMID, PUHIGH)은 각각 "0"의 값을 가질 수 있다. 시간 t3에서 제1 타임 인터리브 데이터 신호(X)가 "1"의 값을 가지고 제2 타임 인터리브 데이터 신호(Y)가 "0"의 값을 가지는 경우에, 제1 풀업 제어 신호(PUMID)는 "1"의 값을 가지며, 제1 풀다운 제어 신호(PD) 및 제2 풀업 제어 신호(PUHIGH)는 각각 "0"의 값을 가질 수 있다. 시간 t4에서 제1 및 제2 타임 인터리브 데이터 신호들(X, Y)이 각각 "1"의 값을 가지는 경우에, 제2 풀업 제어 신호(PUHIGH)는 "1"의 값을 가지며, 제1 풀다운 제어 신호(PD) 및 제1 풀업 제어 신호(PUMID)는 각각 "0"의 값을 가질 수 있다. 시간 t3에서의 제1 풀업 제어 신호(PUMID) 및 시간 t4에서의 제2 풀업 제어 신호(PUHIGH)의 "1"의 값 앞에 표시된 별표(*)는 제1 및 제2 풀업 제어 신호들(PUMID, PUHIGH)이 각각 부스팅된 하이 레벨을 가지는 것을 나타낸다.

[0042] 전압 모드 드라이버(130a)는 제1 트랜지스터(MN15), 제2 트랜지스터(MN16) 및 제3 트랜지스터(MN17)를 포함할 수 있다.

- [0043] 제1 트랜지스터(MN15)는 출력 데이터 신호(TOUT)를 제공하는 출력 노드(140)와 제1 전압 레벨(VL1)을 가지는 접지 전압 사이에 연결되고, 제1 풀다운 제어 신호(PD)를 수신하는 게이트 전극을 가질 수 있다. 제2 트랜지스터(MN16)는 제3 전압 레벨(VL3)을 가지는 제1 전원 전압(VDDL1)과 출력 노드(140) 사이에 연결되고, 제2 풀업 제어 신호(PUHIGH)를 수신하는 게이트 전극을 가질 수 있다. 제3 트랜지스터(MN17)는 제2 전압 레벨(VL2)을 가지는 제2 전원 전압(VDDL2)과 출력 노드(140) 사이에 연결되고, 제1 풀업 제어 신호(PUMID)를 수신하는 게이트 전극을 가질 수 있다. 예를 들어, 제2 전압 레벨(VL2)은 제3 전압 레벨(VL3)의 약 절반일 수 있다(즉, $2 \cdot VL2 = VL3$ 또는 $2 \cdot VDDL2 = VDDL1$). 예를 들어, 제1 트랜지스터(MN15)는 풀다운(pull-down) 트랜지스터이고, 제2 및 제3 트랜지스터들(MN16, MN17)은 풀업(pull-up) 트랜지스터일 수 있다.
- [0044] 출력 데이터 신호(TOUT)는 제1, 제2, 제3 및 제4 입력 데이터 신호들(D0, D1, D2, D3) 중 인접한 2개의 합에 대응하는 레벨을 가질 수 있다. 예를 들어, 제1 풀다운 제어 신호(PD)의 값 및 제1 및 제2 풀업 제어 신호들(PUMID, PUHIGH)의 값에 기초하여 제1, 제2 및 제3 트랜지스터들(MN15, MN16, MN17) 중 하나가 턴온되며, 턴온된 트랜지스터에 의해 출력 데이터 신호(TOUT)의 전압 레벨이 결정될 수 있다. 예를 들어, 출력 데이터 신호(TOUT)는 상기 제3 데이터 레이트를 가질 수 있다.
- [0045] 구체적으로, 도 4a, 4d 및 4e에 도시된 것처럼, 시간 t_2 에서 제1 풀다운 제어 신호(PD)가 "1"의 값을 가지는 경우에, 제1 트랜지스터(MN15)가 턴온되며, 상기 전원 전압에 기초하여 출력 데이터 신호(TOUT)는 제1 전압 레벨(VL1)을 가질 수 있다. 제1 전압 레벨(VL1)은 제1 및 제2 입력 데이터 신호들(D0, D1)의 합인 "a+b", 즉 "0"의 값에 대응할 수 있다. 이와 유사하게, 시간 t_3 에서 제1 풀업 제어 신호(PUMID)가 "1"의 값을 가지는 경우에, 제3 트랜지스터(MN17)가 턴온되며, 제2 전원 전압(VDDL2)에 기초하여 출력 데이터 신호(TOUT)는 제2 전압 레벨(VL2)을 가질 수 있다. 제2 전압 레벨(VL2)은 제2 및 제3 입력 데이터 신호들(D1, D2)의 합인 "b+c", 즉 "1"의 값에 대응할 수 있다. 시간 t_4 에서 제2 풀업 제어 신호(PUHIGH)가 "1"의 값을 가지는 경우에, 제2 트랜지스터(MN16)가 턴온되며, 제1 전원 전압(VDDL1)에 기초하여 출력 데이터 신호(TOUT)는 제3 전압 레벨(VL3)을 가질 수 있다. 제3 전압 레벨(VL3)은 제3 및 제4 입력 데이터 신호들(D2, D3)의 합인 "c+d", 즉 "2"의 값에 대응할 수 있다. 한편 도시하지는 않았으나, 시간 t_1 에서는 시간 t_2 에서와 마찬가지로 제1 트랜지스터(MN15)가 턴온되며, 출력 데이터 신호(TOUT)는 제1 전압 레벨(VL1)을 가질 수 있다.
- [0046] 일 실시예에서, 트랜지스터들(MN11, MN12, MN13, MN14, MN15, MN16, MN17)은 모두 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터일 수 있다.
- [0047] 도 5는 도 3의 송신기에 포함되는 제1 부스팅 회로의 일 예를 나타내는 회로도이다. 도 6은 도 5의 제1 부스팅 회로에서 입력 및 출력되는 신호들의 예를 나타내는 도면이다.
- [0048] 도 5 및 6을 참조하면, 제1 부스팅 회로(125)는 펄스 생성기(128), 제1 트랜지스터(MP21), 커패시터(C21), 제2 트랜지스터(MP22) 및 제3 트랜지스터(MN23)를 포함할 수 있다.
- [0049] 펄스 생성기(128)는 제1 NAND 게이트(121)의 출력을 수신하는 입력 노드(N21)와 연결되고, 제1 NAND 게이트(121)의 출력에 기초하여 펄스 신호(PUL)를 생성할 수 있다. 제1 트랜지스터(MP21)는 제1 전원 전압(VDDL1)과 노드(N22) 사이에 연결되고, 펄스 신호(PUL)가 인가되는 게이트 전극을 가질 수 있다. 커패시터(C21)는 제1 트랜지스터(MP21)의 게이트 전극과 노드(N22) 사이에 연결될 수 있다. 제2 트랜지스터(MP22)는 노드(N22)와 제1 풀업 제어 신호(PUMID)를 제공하는 출력 노드(N23) 사이에 연결되고, 입력 노드(N21)와 연결되는 게이트 전극을 가질 수 있다. 제3 트랜지스터(MN23)는 출력 노드(N23)와 상기 접지 전압 사이에 연결되고, 입력 노드(N21)와 연결되는 게이트 전극을 가질 수 있다.
- [0050] 일 실시예에서, 트랜지스터들(MP21, MP22)은 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터이며, 트랜지스터(MN23)는 NMOS 트랜지스터일 수 있다.
- [0051] 본 발명의 실시예들에 따른 송신기(100a)에 포함되는 제어 로직(120a)은, 높은 속도에서의 동작 보장 및 전력 효율을 증가시키기 위하여 일정 시간만큼의 지연을 만들어주는 펄스 생성기(128)를 포함할 수 있다. 입력 노드(N21)에서 수신되는 제1 NAND 게이트(121)의 출력에 기초하여 펄스 신호(PUL) 및 출력 노드(N23)를 통해 제공되는 제1 풀업 제어 신호(PUMID)의 레벨이 결정될 수 있다.
- [0052] 구체적으로, 도 6에서 IN1은 제1 NAND 게이트(121)의 출력, 즉 입력 노드(N21)의 전압을 나타내고, OUT1은 출력 노드(N23)를 통해 제공되는 제1 풀업 제어 신호(PUMID), 출력 노드(N23)의 전압을 나타낸다. 입력 노드(N21)의 전압(IN1)이 하이 레벨(즉, 제3 전압 레벨(VL3) 또는 "1")을 가지는 경우에, 펄스 신호(PUL) 및 출력 노드(N23)의 전압(OUT1)은 로우 레벨(즉, 제1 전압 레벨(VL1) 또는 "0")을 가질 수 있다. 이 때, 제1 트랜지스터

(MP21)(즉, 헤더(header) PMOS 트랜지스터)는 턴온되어 프리차지(precharge) 시간을 충분히 가지게 되며, 커패시터(C21)는 제1 전압(VDDL1)에 기초하여 프리차지될 수 있다. 입력 노드(N21)의 전압(IN1)이 하이 레벨에서 로우 레벨로 천이(transition)하는 경우에, 펄스 신호(PUL)는 로우 레벨에서 하이 레벨로 천이하여 일정 시간 동안 하이 레벨을 유지하다가 다시 하이 레벨에서 로우 레벨로 천이할 수 있다. 펄스 신호(PUL)가 하이 레벨을 가지는 상기 일정 시간 동안에, 제1 트랜지스터(MP21)는 턴오프되고 출력 노드(N23)는 커패시터(C21)에 충전된 전하들에 기초하여 상기 일정 시간 동안 부스트되어 부스트된 하이 레벨(즉, VL3+ α 의 레벨)을 가지며, 이후에 펄스 신호(PUL)가 로우 레벨을 가지게 되면 제1 트랜지스터(MP21)가 턴온됨에 따라 다시 원래의 하이 레벨(즉, VL3 레벨)로 돌아올 수 있다. 따라서, 제1 폴업 제어 신호(PUMID)는 도 6에 도시된 출력 노드(N23)의 전압과 같이 일시적으로 부스트된 전압 레벨을 가질 수 있다.

[0053] 한편 도시하지는 않았으나, 제2 부스팅 회로(126)의 구조 및 동작은 도 5 및 6을 참조하여 상술한 제1 부스팅 회로(125)의 구조 및 동작과 실질적으로 동일할 수 있다.

[0054] 일시적으로 VL3+ α 의 레벨로 부스트된 제어 로직(120a)의 출력들(즉, 제1 및 제2 폴업 제어 신호들(PUMID, PUHIGH))은 최종단의 전압 모드 드라이버(130a)의 제1 전압 레벨(VL1)에서 제2 전압 레벨(VL2)로의 천이 및 제2 전압 레벨(VL2)에서 제3 전압 레벨(VL3)로의 천이를 보장할 수 있다(즉, 출력 드라이버의 폴업 트랜지스터들을 일시적으로 강하게 구동할 수 있다). 또한 제2 전압 레벨(VL2)에서 제3 전압 레벨(VL3)로의 천이가 발생할 때에도 부스트된 하이 레벨을 통하여 동작 영역이 선형(linear) 영역으로 보장되기 때문에, PVT(Process-Voltage-Temperature) variation에서도 전압 모드 드라이버(130a)는 신뢰성 있는 동작을 수행할 수 있다.

[0055] 도 7a, 7b, 7c 및 7d는 도 3의 송신기의 성능을 나타내는 도면들이다. 도 7a, 7b, 7c 및 7d는 도 3의 송신기에 대한 시뮬레이션 결과를 나타내고 있다.

[0056] 도 7a를 참조하면, 본 발명의 실시예들에 따른 송신기(100a)의 이상적인 조건(VDD, TT corner, Room temperature)에서의 Monte Carlo (1000 runs) 시뮬레이션을 수행한 결과를 나타내고 있으며, 충분한 margin을 확보하면서 동작하고 있는 것을 확인할 수 있다.

[0057] 도 7b를 참조하면, 본 발명의 실시예들에 따른 송신기(100a)의 제어 로직(120a)의 출력들에 대해 PVT variation에 따른 부스트된 하이 레벨(즉, 피크 전압(peak voltage))과 부스팅이 유지되는 시간(duty)의 변화를 나타내고 있다. 부스트된 하이 레벨이 약 $\pm 10\%$ 변동되어도 아이 성능(eye-performance) 및 전력(power)의 변화는 약 $\pm 2\%$ 이내, 시간이 최대 약 40%까지 변화하더라도 전체 성능 변화는 약 4% 이내인 것을 확인할 수 있다.

[0058] 도 7c를 참조하면, 도 7b의 PVT variation 분석을 바탕으로, 20개의 corner들(Process corner: TT, SS, FF, FS, SF / Supply voltage: HVDD, LVDD / Temperature: Cold, Hot)에서의 아이 성능을 분석한 결과를 나타내고 있다. 가장 변화가 심한 두 개의 corner인 "SS/LVDD/Hot"과 "FF/HVDD/Cold"에서 성능을 분석한 결과, 전자의 경우에는 약 21%~26%의 성능 변화가 발생하고 후자의 경우에는 약 12%~21%의 성능 변화가 발생하는 것을 확인할 수 있다.

[0059] 도 7d를 참조하면, 본 발명의 실시예들에 따른 송신기(100a)의 전력 소모량을 나타내고 있다. 도 7d에서, 좌측은 전류 모드 드라이버(즉, CML driver)를 사용하는 종래의 경우를 나타내며, 우측은 전압 모드 드라이버(130a) 또는 듀얼 소스 드라이버를 사용하는 본 발명의 실시예를 나타낸다. 좌측과 비교하여 본 발명의 실시예에서 약 59%의 전력 소모 감소를 얻을 수 있으며, VDD/2 (약 0.6V)로 swing 하는 전압 모드 드라이버 I/O 구조보다는 약 41%의 전력 소모 감소(직렬화 과정의 전력소모 감소는 26%)를 얻을 수 있다.

[0060] 도 8은 본 발명의 실시예들에 따른 수신기를 나타내는 블록도이다.

[0061] 도 8을 참조하면, 수신기(200)는 제1 플립플롭(FF1)(210) 및 제2 플립플롭(FF2)(220)을 포함한다.

[0062] 제1 플립플롭(210)은 입력 데이터 신호(RX_IN)를 수신하고, 입력 데이터 신호(RX_IN), 제1 클럭 신호(CKE), 제1 기준 전압(VH) 및 제1 선택 신호(SEL1)에 기초하여 제1 출력 데이터 신호(RX_OUT1)를 생성한다. 제2 플립플롭(220)은 입력 데이터 신호(RX_IN)를 수신하고, 입력 데이터 신호(RX_IN), 제1 클럭 신호(CKE)와 다른 제2 클럭 신호(CK0), 제1 기준 전압(VH) 및 제2 선택 신호(SEL2)에 기초하여 제2 출력 데이터 신호(RX_OUT2)를 생성한다.

[0063] 입력 데이터 신호(RX_IN)는 도 1을 참조하여 상술한 것처럼 서로 다른 3개의 전압 레벨들을 가지는 듀오바이너리 방식의 신호이다. 제1 및 제2 출력 데이터 신호들(RX_OUT1, RX_OUT2) 각각은 도 1을 참조하여 상술한 것처럼 각각 서로 다른 2개의 전압 레벨들을 가지는 바이너리 방식의 신호이다. 제1 및 제2 출력 데이터 신호들(RX_OUT1, RX_OUT2) 중 하나(예를 들어, 제1 출력 데이터 신호(RX_OUT1))가 도 1의 출력 데이터 신호(RX_OUT)

에 대응할 수 있다.

- [0064] 제1 및 제2 플립플롭들(210, 220) 각각은 입력 데이터 신호(RX_IN)를 수신하는 제1 입력 단자, 클럭 신호들(CKE, CKO)을 수신하는 클럭 단자, 출력 데이터 신호들(RX_OUT1, RX_OUT2)을 출력하는 출력 단자, 제1 기준 전압(VH)을 수신하는 기준 전압 단자(VREF) 및 선택 신호들(SEL1, SEL2)을 수신하는 선택 단자(SEL)를 포함할 수 있다. 이 때, 제2 플립플롭(220)의 제2 출력 데이터 신호(RX_OUT2)가 제1 선택 신호(SEL1)로서 제1 플립플롭(210)에 제공되고, 제1 플립플롭(210)의 제1 출력 데이터 신호(RX_OUT1)가 제2 선택 신호(SEL2)로서 제2 플립플롭(220)에 제공될 수 있다.
- [0065] 제1 플립플롭(210)은 제1 기준 전압(VH) 및 제1 선택 신호(SEL1)에 기초하여 제1 기준 전압(VH)과 다른 제2 기준 전압(예를 들어, VL)을 형성한다. 이와 유사하게, 제2 플립플롭(220)은 제1 기준 전압(VH) 및 제2 선택 신호(SEL2)에 기초하여 제2 기준 전압(VL)을 형성한다. 다시 말하면, 1개의 제1 기준 전압(VH)만을 이용하여 2개의 기준 전압들(VH, VL)을 이용하는 것과 동일한 동작/효과를 얻을 수 있다.
- [0066] 제1 플립플롭(210) 및 제2 플립플롭(220)은 각각 이븐(even) 플립플롭 및 오드(odd) 플립플롭이라 부를 수 있고, 제1 클럭 신호(CKE) 및 제2 클럭 신호(CKO) 또한 각각 이븐 클럭 신호 및 오드 클럭 신호라 부를 수 있다. 예를 들어, 제1 및 제2 클럭 신호들(CKE, CKO)은 서로 반대 위상을 가질 수 있다. 서로 반대 위상의 클럭 신호를 이용함으로써, 약 절반의 주파수로 동작할 수 있다.
- [0067] 본 발명의 실시예들에 따른 수신기(200)는, 1개의 제1 기준 전압(VH)만을 이용하여 상기 3개의 전압 레벨들을 가지는 상기 듀오바이너리 방식의 입력 데이터 신호(RX_IN)를 수신 및 센싱하도록 구현될 수 있다.
- [0068] 도 9는 도 8의 수신기에 포함되는 제1 플립플롭의 일 예를 나타내는 회로도이다. 도 10a 및 10b는 도 9의 제1 플립플롭에서 입력 및 출력되는 신호들의 예를 나타내는 도면들이다.
- [0069] 도 9, 10a 및 10b를 참조하면, 제1 플립플롭(210a)은 제1 회로부(230), 제2 회로부(240) 및 출력부(250)를 포함할 수 있다.
- [0070] 도 9의 예에서, 도 8의 입력 데이터 신호(RX_IN)는 입력 데이터 신호(DIN)에 대응하고, 도 8의 제1 출력 데이터 신호(RX_OUT1)는 출력 데이터 신호(RDE)에 대응할 수 있다.
- [0071] 제1 회로부(230)는 전원 전압(VDDH), 입력 데이터 신호(DIN), 제1 클럭 신호(CKE), 제1 기준 전압(VH) 및 제1 선택 신호(SEL)에 기초하여 제1 데이터 신호(DA) 및 제2 데이터 신호(DREF)를 생성하고, 제2 기준 전압(VL)을 형성하기 위한 제1 구조 및 제1 및 제2 데이터 신호들(DA, DREF)을 부스트하기 위한 제2 구조를 포함할 수 있다.
- [0072] 도 10a에 도시된 것처럼, 입력 데이터 신호(DIN)는 도 4e의 출력 데이터 신호(TOUT)와 실질적으로 동일한 파형을 가지며, 제1, 제2 및 제3 전압 레벨들(VL1, VL2, VL3)을 가질 수 있다. 제1 기준 전압(VH)은 제2 및 제3 전압 레벨들(VL2, VL3) 사이의 전압 레벨(VLH)을 가지고, 제2 기준 전압(VL)은 제1 및 제2 전압 레벨들(VL1, VL2) 사이의 전압 레벨(VLL)을 가질 수 있다. 예를 들어, 제1 기준 전압(VH)의 전압 레벨(VLH)은 약 0.45V이고, 제2 기준 전압(VL)의 전압 레벨(VLL)은 약 0.15V일 수 있다.
- [0073] 제1 회로부(230)는 제1 트랜지스터(MP31), 제2 트랜지스터(MP32), 제3 트랜지스터(MP33), 제4 트랜지스터(MP34), 제5 트랜지스터(MP35), 제6 트랜지스터(MP36), 제7 트랜지스터(MP37), 제8 트랜지스터(MN38) 및 제9 트랜지스터(MN39)를 포함할 수 있다.
- [0074] 제1, 제2 및 제3 트랜지스터들(MP31, MP32, MP33)은 노드(N31)와 제1 데이터 신호(DA)를 제공하는 제1 데이터 노드(N32) 사이에 병렬 연결될 수 있다. 제1 트랜지스터(MP31)는 전원 전압(VDDH)을 수신하는 게이트 전극을 가지고, 제2 트랜지스터(MP32)는 입력 데이터 신호(DIN)를 수신하는 게이트 전극을 가지며, 제3 트랜지스터(MP33)는 제2 데이터 신호(DREF)를 제공하는 제2 데이터 노드(N33)와 연결되는 게이트 전극을 가질 수 있다. 제4, 제5 및 제6 트랜지스터들(MP34, MP35, MP36)은 노드(N31)와 제2 데이터 노드(N33) 사이에 병렬 연결될 수 있다. 제4 트랜지스터(MP34)는 제1 데이터 노드(N32)와 연결되는 게이트 전극을 가지고, 제5 트랜지스터(MP35)는 제1 기준 전압(VH)을 수신하는 게이트 전극을 가지며, 제6 트랜지스터(MP36)는 제1 선택 신호(SEL1)를 수신하는 게이트 전극을 가질 수 있다. 제7 트랜지스터(MP37)는 전원 전압(VDDH)과 노드(N31) 사이에 연결되고, 제1 클럭 신호(CKE)를 수신하는 게이트 전극을 가질 수 있다. 제8 트랜지스터(MN38)는 제1 데이터 노드(N32)와 접지 전압 사이에 연결되고, 제1 클럭 신호(CKE)를 수신하는 게이트 전극을 가질 수 있다. 제9 트랜지스터(MN39)는 제2 데이터 노드(N33)와 상기 접지 전압 사이에 연결되고, 제1 클럭 신호(CKE)를 수신하는 게이트 전극을 가질 수 있다.

다.

- [0075] 일 실시예에서, 제6 트랜지스터(MP36)는 제2 기준 전압(VL)을 형성하기 위한 상기 제1 구조에 대응할 수 있다. 구체적으로, 제2 플립플롭(220)의 제2 출력 데이터 신호(RX_OUT2)(즉, 제2 플립플롭(220)의 이전 데이터 출력)인 제1 선택 신호(SEL1)가 하이 레벨(즉, "1")인 경우에, 제6 트랜지스터(MP36)는 턴오프되고, 제1 회로부(230)는 입력 데이터 신호(DIN)와 제1 기준 전압(VH)을 비교하여 제1 및 제2 데이터 신호들(DA, DREF)을 생성할 수 있다. 제1 선택 신호(SEL1)가 하이 레벨(즉, "1")인 경우에, 제6 트랜지스터(MP36)는 턴온되어 제2 데이터 노드(N33)에 추가적인 전류를 흐르게 하고, 제5 트랜지스터(MP35)에 제2 기준 전압(VL)이 인가되는 경우와 거의 같은 전류가 제2 데이터 노드(N33)에 제공될 수 있다. 다시 말하면, 제1 기준 전압(VH), 제1 선택 신호(SEL1) 및 제5 및 제6 트랜지스터들(MP35, MP36)에 기초하여 제2 기준 전압(VL)에 대응하는 구동 전류를 제2 데이터 노드(N33)에 제공하며, 제1 회로부(230)는 입력 데이터 신호(DIN)와 제2 기준 전압(VL)을 비교하여 제1 및 제2 데이터 신호들(DA, DREF)을 생성할 수 있다.
- [0076] 일 실시예에서, 제3 및 제4 트랜지스터들(MP33, MP34)은 제1 및 제2 데이터 신호들(DA, DREF)을 부스트하기 위한 상기 제2 구조에 대응할 수 있다. 구체적으로, 제3 및 제4 트랜지스터들(MP33, MP34)을 통해 평가 시간(evaluate timing)에 제1 및 제2 데이터 노드들(N32, N33)로 흐르는 전류를 일시적으로 부스트시킬 수 있으며, 상대적으로 많은 전류가 흐르는 제1 전압 레벨(즉, 약 0V)의 입력이 인가되는 경우는 부스트되는 전류의 영향이 상대적으로 적은 반면에, 상대적으로 적은 전류가 흐르는 제3 전압 레벨(즉, 약 0.6V)의 입력이 인가되는 경우는 부스트되는 전류의 영향이 상대적으로 크기 때문에 최종적으로 input case에 따른 출력 지연 변화를 감소시킬 수 있다.
- [0077] 제2 회로부(240)는 전원 전압(VDDH), 제1 및 제2 데이터 신호들(DA, DREF) 및 제1 클럭 신호(CKE)에 기초하여 제3 데이터 신호(SB) 및 제4 데이터 신호(RB)를 생성할 수 있다. 또한, 제2 회로부(240)는 입력 오프셋을 개선하기 위한 제3 구조를 포함할 수 있다.
- [0078] 제2 회로부(240)는 제1 인버터(242), 제2 인버터(244), 제1 트랜지스터(MP41), 제2 트랜지스터(MN42), 제3 트랜지스터(MN43), 제4 트랜지스터(MP44), 제5 트랜지스터(MN45), 제6 트랜지스터(MN46) 및 제7 트랜지스터(MP47)를 포함할 수 있다.
- [0079] 제1 인버터(242)는 제1 데이터 신호(DA)를 수신할 수 있다. 제2 인버터(244)는 제2 데이터 신호(DREF)를 수신할 수 있다. 제1 트랜지스터(MP41)는 제3 데이터 신호(SB)를 제공하는 제3 데이터 노드(N42)와 연결되는 게이트 전극을 가지고, 노드(N41)와 제4 데이터 신호(RB)를 제공하는 제4 데이터 노드(N43) 사이에 연결될 수 있다. 제2 및 제3 트랜지스터들(MN42, MN43)은 제4 데이터 노드(N43)와 상기 접지 전압 사이에 병렬 연결될 수 있다. 제2 트랜지스터(MN42)는 제1 인버터(242)의 출력과 연결되는 게이트 전극을 가지고, 제3 트랜지스터(MN43)는 제3 데이터 노드(N42)와 연결되는 게이트 전극을 가질 수 있다. 제4 트랜지스터(MP44)는 노드(N41)와 제3 데이터 노드(N42) 사이에 연결되고, 제4 데이터 노드(N43)와 연결되는 게이트 전극을 가질 수 있다. 제5 및 제6 트랜지스터들(MN45, MN46)은 제3 데이터 노드(N42)와 상기 접지 전압 사이에 병렬 연결될 수 있다. 제5 트랜지스터(MN45)는 제4 데이터 노드(N43)와 연결되는 게이트 전극을 가지고, 제6 트랜지스터(MN46)는 제2 인버터(244)의 출력과 연결되는 게이트 전극을 가질 수 있다. 제7 트랜지스터(MP47)는 전원 전압(VDDH)과 노드(N41) 사이에 연결되고, 제1 클럭 신호(CKE)를 수신하는 게이트 전극을 가질 수 있다.
- [0080] 일 실시예에서, 제1 및 제2 인버터들(242, 244)은 입력 오프셋을 개선하기 위한 상기 제3 구조에 대응할 수 있다. 제1 및 제2 인버터들(242, 244)을 추가함으로써, 종래의 구조에서 발생하는 입력 오프셋 문제를 개선할 수 있다.
- [0081] 출력부(250)는 제3 및 제4 데이터 신호들(SB, RB)에 기초하여 출력 데이터 신호(RDE) 및 출력 데이터 신호(RDE)의 반전 신호(RDBE)를 생성할 수 있다.
- [0082] 출력부(250)는 제1 인버터(252), 제2 인버터(254) 및 SR NAND 래치(256)를 포함할 수 있다. 제1 인버터(252)는 제3 데이터 신호(SB)를 수신할 수 있다. 제2 인버터(254)는 제2 데이터 신호(RB)를 수신할 수 있다. SR NAND 래치(256)는 제1 및 제2 인버터들(252, 254)의 출력에 기초하여 출력 데이터 신호(RDE) 및 출력 데이터 신호(RDE)의 반전 신호(RDBE)를 생성할 수 있다.
- [0083] 전원 전압(VDDH)은 도 3의 제1 및 제2 전원 전압들(VDDL1, VDDL2)과는 다른 전압이며, 제4 전압 레벨(VL4)을 가질 수 있다. 이에 따라, 도 10b에 도시된 것처럼, 전원 전압(VDDH)에 기초하여 생성되는 출력 데이터 신호(RDE)의 2개의 전압 레벨들은 제1 전압 레벨(VL1) 및 제4 전압 레벨(VL4)을 포함할 수 있다. 또한, 출력 데이터 신

호(RDE)는 도 4a에 도시된 송신기(100a)의 입력 데이터 신호들(D0, D1, D2, D3)의 값들인 "a", "b", "c" 및 "d"가 순차적으로 배치되도록 생성될 수 있다.

- [0084] 일 실시예에서, 트랜지스터들(MP31, MP32, MP33, MP34, MP35, MP36, MP37, MP41, MP44, MP47)은 PMOS 트랜지스터이며, 트랜지스터들(MN38, MN39, MN42, MN43, MN45, MN46)은 NMOS 트랜지스터일 수 있다.
- [0085] 한편, 1개의 제1 기준 전압(VH)만을 이용하는 경우에 기초하여 본 발명의 실시예들을 설명하였으나, 본 발명은 이에 한정되지 않으며, 1개의 제2 기준 전압(VL)만을 이용하는 경우에도 적용될 수 있다.
- [0086] 한편 도시하지는 않았으나, 제2 플립플롭(220)의 구조 및 동작은 도 9 및 10을 참조하여 상술한 제1 플립플롭(210a)의 구조 및 동작과 실질적으로 동일할 수 있다.
- [0087] 도 11a 및 11b는 도 8 및 9의 수신기의 성능을 나타내는 도면들이다. 도 11a 및 11b는 도 8 및 9의 수신기에 대한 시뮬레이션 결과를 나타내고 있다.
- [0088] 도 11a를 참조하면, 본 발명의 실시예들에 따른 수신기(200)에서 생성되는 전류를 나타내고 있다. 도 11a에서, 좌측은 2개의 제1 및 제2 기준 전압들(VH, VL)을 사용하는 종래의 경우에서 제2 기준 전압(VL)에 의해 생성되는 구동 전류(Iconv)를 나타내며, 우측은 2개의 제1 기준 전압(VH)만을 사용하는 본 발명의 실시예에서 제1 기준 전압(VH) 및 제1 선택 신호(SEL1)에 의해 생성되는 구동 전류(Ipro)를 나타낸다. 종래의 경우에서 구동 전류(Iconv)의 평균(mean)은 약 2.53f, 표준편차(standard deviation)는 약 99.2a로 mean over sigma는 약 0.039이고, 본 발명의 실시예에서 구동 전류(Ipro)의 평균은 약 3.54f, 표준편차는 약 99a로 mean over sigma는 약 0.039이며, 구동 전류(Iconv)와 구동 전류(Ipro)가 유사하게 출력되는 것을 확인할 수 있다.
- [0089] 도 11b를 참조하면, 본 발명의 실시예들에 따른 수신기(200)의 성능을 나타내고 있다. 도 11b에서, 좌측은 종래의 경우를 나타내고 우측은 본 발명의 실시예를 나타낸다. 또한 도 11b에서, case1은 입력(input)이 약 0V, 기준 전압이 약 0.15V인 경우를 나타내고, case2는 입력이 약 0.3V, 기준 전압이 약 0.15V인 경우를 나타내고, case3은 입력이 약 0.3V, 기준 전압이 약 0.45V인 경우를 나타내며, case4는 입력이 약 0.6V, 기준 전압이 약 0.45V인 경우를 나타낸다. 가장 적게 변한 case2의 경우부터 하이 레벨이 입력으로 들어가는 case4까지 지연(delay)을 확인해 본 결과 case2에서의 지연은 약 1% 감소하지만, case4에서는 약 27% 감소하는 것을 확인할 수 있고, input case별 delay variation은 중간 값을 기준으로 약 $\pm 20\%$ 에서 $\pm 10\%$ 로 약 50% 정도 개선된 것을 확인할 수 있다.
- [0090] 도 12는 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.
- [0091] 도 12를 참조하면, 메모리 시스템(300)은 메모리 컨트롤러(310) 및 메모리 장치(320)를 포함한다. 메모리 시스템(300)은 메모리 컨트롤러(310)와 메모리 장치(320)를 전기적으로 연결하는 복수의 신호 라인들(330)을 더 포함할 수 있다.
- [0092] 메모리 장치(320)는 메모리 컨트롤러(310)에 의해 제어된다. 예를 들어, 메모리 컨트롤러(310)는 호스트(미도시)의 요청에 기초하여 메모리 장치(320)에 데이터를 기입하거나 메모리 장치(320)로부터 데이터를 독출할 수 있다. 예를 들어, 메모리 장치(320)는 고 대역폭 메모리(High Bandwidth Memory; HBM) 장치일 수 있다.
- [0093] 복수의 신호 라인들(330)은 제어 라인, 커맨드 라인, 어드레스 라인, 데이터 라인 및 전원 라인을 포함할 수 있다. 메모리 컨트롤러(310)는 상기 커맨드 라인, 상기 어드레스 라인 및 상기 제어 라인을 통해 메모리 장치(320)에 커맨드(CMD), 어드레스(ADDR) 및 제어 신호(CTRL)를 전송하고, 상기 데이터 라인을 통해 메모리 장치(320)와 데이터 신호(MLDAT)를 주고 받으며, 상기 전원 라인을 통해 메모리 장치(320)에 전원 전압(PWR)을 제공할 수 있다. 예를 들어, 제어 신호(CONT)는 칩 인에이블 신호(CE), 기입 인에이블 신호(WE), 독출 인에이블 신호(RE), 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE) 등을 포함할 수 있다. 예를 들어, 데이터 신호(MLDAT)는 멀티 레벨 신호이며, 본 발명의 실시예들에 따른 송신기에 의해 생성되고 본 발명의 실시예들에 따른 수신기에 의해 수신되는 듀오바이너리 방식의 데이터 신호일 수 있다.
- [0094] 도시하지는 않았으나, 복수의 신호 라인들(330)은 데이터 스트로브 신호(즉, DQS 신호)를 전송하는 DQS 라인을 더 포함할 수 있다. 상기 DQS 신호는 메모리 컨트롤러(310)와 메모리 장치(320) 사이에 교환되는 데이터 신호(MLDAT)의 논리값을 결정하기 위한 기준 시점을 제공하기 위한 신호일 수 있다. 다만 도 12에 도시된 것처럼, 상기 DQS 신호는 생략될 수 있다.
- [0095] 일 실시예에서, 복수의 신호 라인들(330)의 일부 또는 전부를 채널이라 부를 수 있다. 본 명세서에서는, 데이터

신호(MLDAT)가 전송되는 상기 데이터 라인을 채널이라 부르기로 한다. 다만 본 발명은 이에 한정되지 않으며, 상기 채널은 커맨드(CMD)가 전송되는 상기 커맨드 라인 및/또는 어드레스(ADDR)가 전송되는 상기 어드레스 라인을 더 포함할 수 있다. 예를 들어, 상기 채널은 적어도 하나의 관통 실리콘 비아(Through Silicon Via; TSV)를 포함할 수 있다.

[0096] 도 13은 도 12의 메모리 시스템의 예를 나타내는 블록도이다.

[0097] 도 13을 참조하면, 메모리 시스템(302)은 메모리 컨트롤러(312), 메모리 장치(322) 및 채널(332)을 포함한다.

[0098] 메모리 컨트롤러(312)는 제1 송신기(314) 및 제1 수신기(316)를 포함한다. 메모리 장치(322)는 제2 송신기(324) 및 제2 수신기(326)를 포함한다. 제1 송신기(314) 및 제1 수신기(316)와 제2 송신기(324) 및 제2 수신기(326)는 채널(332)을 통해 연결된다. 실시예에 따라서, 메모리 컨트롤러(312) 및 메모리 장치(322) 각각은 복수의 송신기들 및 복수의 수신기들을 포함하며, 이들을 연결하기 위한 복수의 채널들을 포함할 수 있다.

[0099] 송신기들(314, 324)은 메모리 장치(322)에 저장하고자 하는 기입 데이터 또는 메모리 장치(322)로부터 독출된 독출 데이터를 출력하고, 채널(332)은 상기 기입 데이터 또는 상기 독출 데이터를 전송하며, 수신기들(316, 326)은 상기 기입 데이터 또는 상기 독출 데이터를 수신한다. 예를 들어, 데이터 기입 동작 시에, 송신기(314)는 상기 기입 데이터에 대응하는 데이터 신호를 생성하여 채널(332)을 통해 출력하고, 수신기(326)는 상기 데이터 신호를 수신하고 이에 기초하여 상기 데이터 기입 동작을 수행할 수 있다. 데이터 독출 동작 시에, 송신기(324)는 상기 독출 데이터에 대응하는 데이터 신호를 생성하여 채널(332)을 통해 출력하고, 수신기(316)는 상기 데이터 신호를 수신하고 이에 기초하여 상기 데이터 독출 동작을 수행할 수 있다.

[0100] 송신기들(314, 324)은 본 발명의 실시예들에 따른 송신기이며, 본 발명의 실시예들에 따라 듀오바이너리 방식의 데이터 신호를 생성할 수 있다. 수신기들(316, 326)은 본 발명의 실시예들에 따른 수신기이며, 본 발명의 실시예들에 따라 듀오바이너리 방식의 데이터 신호를 수신할 수 있다.

[0101] 도 14a 및 14b는 도 12 및 13의 메모리 시스템을 포함하는 반도체 패키지를 나타내는 단면도들이다.

[0102] 도 14a를 참조하면, 반도체 패키지(400)는 패키지 기판(401), 제1 반도체 장치(SD1)(410), 제2 반도체 장치(SD2)(420) 및 인터포저(430)를 포함한다. 반도체 패키지(400)는 밀봉 부재(440)를 더 포함할 수 있다.

[0103] 반도체 패키지(400)는 복수 개의 다이(또는 칩)들이 적층된 적층 칩 구조를 갖는 메모리 패키지일 수 있다. 예를 들어, 반도체 패키지(400)는 2.5D 구조로 구현되며, 2.5D 칩 구조의 반도체 장치들 및 메모리 장치들을 포함할 수 있다. 이 경우, 제1 반도체 장치(410)는 로직 반도체 장치를 포함하고, 제2 반도체 장치(420)는 메모리 장치를 포함할 수 있다. 예를 들어, 상기 로직 반도체 장치는 CPU(Central Processing Unit), GPU(Graphic Processing Unit), SoC(System-on-Chip) 등과 같은 호스트(Host) 또는 메모리 컨트롤러로서의 ASIC(Application Specific Integrated Circuit)일 수 있다. 예를 들어, 상기 메모리 장치는 고 대역폭 메모리(High Bandwidth Memory; HBM) 장치를 포함할 수 있다.

[0104] 패키지 기판(401)은 서로 마주보는 상부면과 하부면을 갖는 기판일 수 있다. 예를 들어, 패키지 기판(401)은 인쇄 회로 기판(Printed Circuit Board; PCB)일 수 있다. 상기 인쇄 회로 기판은 내부에 비아와 다양한 회로들을 갖는 다층 회로 보드일 수 있다.

[0105] 인터포저(430)는 패키지 기판(401) 상에 배치될 수 있다. 인터포저(430)는 솔더 범프들(435)을 통해 패키지 기판(401) 상에 실장될 수 있다. 예를 들어, 솔더 범프들(135)은 C4 범프들일 수 있다. 예를 들어, 인터포저(430)의 평면적은 패키지 기판(401)의 평면적보다 작을 수 있다. 다시 말하면, 평면 상에서 인터포저(430)는 패키지 기판(401) 내에 배치될 수 있다.

[0106] 인터포저(430)는 내부에 형성된 복수의 연결 배선들(431) 및 복수의 관통 전극들(433)을 포함할 수 있다. 예를 들어, 인터포저(430)는 반도체 기판인 실리콘 기판을 포함하는 실리콘 인터포저일 수 있고, 복수의 관통 전극들(433)은 상기 실리콘 기판을 관통하는 관통 실리콘 비아(Through Silicon Via; TSV)들일 수 있다.

[0107] 제1 반도체 장치(410) 및 제2 반도체 장치(420)는 인터포저(430) 내부의 연결 배선들(431)을 통해 및/또는 관통 전극들(433)(예를 들어, 관통 실리콘 비아들) 및 솔더 범프들(435)(예를 들어, C4 범프들)을 통해 서로 연결되고 패키지 기판(401)에 전기적으로 연결될 수 있다. 상기 실리콘 인터포저는 복수 개의 제1 및 제2 반도체 칩들 사이의 고밀도 인터커넥션을 제공할 수 있다.

[0108] 제1 반도체 장치(410) 및 제2 반도체 장치(420)는 인터포저(430) 상에 배치될 수 있다. 제1 반도체 장치(410)

및 제2 반도체 장치(420)는 플립 칩 본딩(flip chip bonding) 방식에 의해 인터포저(430) 상에 실장될 수 있다. 예를 들어, 제1 반도체 장치(410) 및 제2 반도체 장치(420)는 칩 패드들이 형성된 활성면이 인터포저(430)를 향하도록 인터포저(430) 상에 실장될 수 있다. 제1 반도체 장치(410) 및 제2 반도체 장치(420)의 상기 칩 패드들은 도전성 범프들인 솔더 범프들(437)에 의해 인터포저(430)의 접속 패드들과 전기적으로 연결될 수 있다. 예를 들어, 솔더 범프들(437)은 uBump들일 수 있다.

[0109] 하나의 제1 반도체 장치(410) 및 하나의 제2 반도체 장치(420)가 배치되도록 도시되어 있지만, 이에 제한되지 않음을 이해할 수 있다. 예를 들면, 제2 반도체 장치(420)는 버퍼 다이 및 상기 버퍼 다이 상에 순차적으로 적층된 복수 개의 메모리 다이(칩)들을 포함할 수 있다. 상기 버퍼 다이 및 상기 메모리 다이들은 관통 실리콘 비아들에 의해 서로 전기적으로 연결될 수 있다.

[0110] 제1 반도체 장치(410), 제2 반도체 장치(420) 및 인터포저(430)는 밀봉 부재(440)로 고정될 수 있다.

[0111] 일 실시예에서, 상세하게 도시하지는 않았으나, 반도체 패키지(400)는 인터포저(430)와 패키지 기판(401) 사이에 언더필되는 제1 접착제, 제1 반도체 장치(410)와 인터포저(430) 사이에 언더필되는 제2 접착제, 및 제2 반도체 장치(420)와 인터포저(430) 사이에 언더필되는 제3 접착제를 더 포함할 수 있다. 예를 들어, 상기 제1 내지 제3 접착제들은 에폭시 물질을 포함하여 인터포저(430)와 패키지 기판(401) 사이 그리고 제1 및 제2 반도체 장치들(410, 420)과 인터포저(430) 사이의 틈을 보강할 수 있다.

[0112] 패키지 기판(401)의 상기 하부면 상에는 외부 접속 패드들이 형성되고, 상기 외부 접속 패드들 상에는 외부 장치와의 전기적 연결을 위하여 외부 연결 부재들(403)이 배치될 수 있다. 예를 들어, 상기 외부 연결 부재들(403)은 솔더 볼(예를 들어, BGA(Ball Grid Array))일 수 있다. 반도체 패키지(400)는 상기 솔더 볼들을 매개로 하여 모듈 기판(예를 들어, 보드(board) 기판)에 실장되어 메모리 모듈을 구성할 수 있다.

[0113] 제1 반도체 장치(410)는 반도체 패키지(400)의 외부와 통신하기 위한 인터페이스(IF)(411)를 포함할 수 있다. 예를 들어, 인터페이스(411)는 임의의 직렬 인터페이스를 포함할 수 있다. 제1 반도체 장치(410)는 제2 반도체 장치(420)와 통신하기 위한 인터페이스(413)를 포함하고, 제2 반도체 장치(420)는 제1 반도체 장치(410)와 통신하기 위한 인터페이스(421)를 포함할 수 있다. 예를 들어, 인터페이스들(413, 421)은 메모리 인터페이스를 구현하기 위한 HBM PHY부를 각각 포함할 수 있다.

[0114] 도 14a의 예에서, 인터포저(430)에 포함되는 상기 반도체 기판(예를 들어, 실리콘 기판), 복수의 연결 배선들(431) 및 복수의 관통 전극들(433)(예를 들어, 관통 실리콘 비아들)이 도 12 및 13을 참조하여 상술한 채널에 대응할 수 있다. 또한, 인터페이스들(411, 413, 421)은 본 발명의 실시예들에 따른 송신기 및 수신기를 포함할 수 있다.

[0115] 도 14b를 참조하면, 반도체 패키지(500)는 패키지 기판(501), 제1 반도체 장치(510) 및 제2 반도체 장치(520)를 포함한다. 반도체 패키지(500)는 밀봉 부재(540)를 더 포함할 수 있다.

[0116] 도 14a의 인터포저(430)가 생략되고 제1 및 제2 반도체 장치들(510, 520)이 수직 방향으로 적층되며 관통 전극들 및 연결 배선들이 인터포저(430)가 아닌 제1 및 제2 반도체 장치들(510, 520)에 포함되는 것을 제외하면, 도 14b의 반도체 패키지(500)는 도 14a의 반도체 패키지(400)와 유사할 수 있다.

[0117] 반도체 패키지(500)는 복수 개의 다이(또는 칩)들이 적층된 적층 칩 구조를 갖는 메모리 패키지일 수 있다. 예를 들어, 반도체 패키지(500)는 3D 구조로 구현되며, 3D 칩 구조의 반도체 장치들 및 메모리 장치들을 포함할 수 있다. 이 경우, 제1 반도체 장치(510)는 로직 반도체 장치를 포함하고, 제2 반도체 장치(520)는 메모리 장치를 포함할 수 있다.

[0118] 패키지 기판(501), 외부 연결 부재들(503) 및 밀봉 부재(540)는 도 14a의 패키지 기판(401), 외부 연결 부재들(403) 및 밀봉 부재(440)와 각각 실질적으로 동일할 수 있다.

[0119] 제1 반도체 장치(510)는 패키지 기판(501) 상에 배치될 수 있다. 제1 반도체 장치(510)는 플립 칩 본딩 방식에 의해 패키지 기판(501) 상에 실장될 수 있다. 예를 들어, 제1 반도체 장치(510)는 칩 패드들이 형성된 활성면이 패키지 기판(501)을 향하도록 패키지 기판(501) 상에 실장될 수 있다. 제1 반도체 장치(510)의 상기 칩 패드들은 도전성 범프들인 솔더 범프들(537)(예를 들어, uBump들)에 의해 패키지 기판(501)의 접속 패드들과 전기적으로 연결될 수 있다.

[0120] 제1 반도체 장치(510)는 반도체 기판(512) 및 배선층(514)을 포함할 수 있다. 반도체 기판(512)은 트랜지스터 등과 같은 회로 구조(미도시)를 포함할 수 있고, 내부에 관통 형성된 복수의 관통 전극들(533)(예를 들어, 관통

실리콘 비아들)을 포함할 수 있다. 상세하게 도시하지는 않았으나, 배선층(514)은 복수의 연결 배선들(531) 및 복수의 비아들을 포함할 수 있다.

[0121] 제2 반도체 장치(520)는 제1 반도체 장치(510) 상에 배치될 수 있다. 제2 반도체 장치(520)는 플립 칩 본딩 방식에 의해 제1 반도체 장치(510) 상에 실장될 수 있다. 예를 들어, 제2 반도체 장치(520)는 칩 패드들이 형성된 활성면이 제1 반도체 장치(510)를 향하도록 제1 반도체 장치(510) 상에 실장될 수 있다. 제2 반도체 장치(520)의 상기 칩 패드들은 도전성 범프들인 솔더 범프들(535)(예를 들어, C4 범프들)에 의해 제1 반도체 장치(510)의 관통 전극들(533)(예를 들어, 관통 실리콘 비아들)과 전기적으로 연결될 수 있다.

[0122] 제2 반도체 장치(520)는 반도체 기관(522) 및 배선층(524)을 포함할 수 있다. 반도체 기관(522)은 트랜지스터 등과 같은 회로 구조(미도시)를 포함할 수 있다. 상세하게 도시하지는 않았으나, 배선층(524)은 복수의 연결 배선들(532) 및 복수의 비아들을 포함할 수 있다.

[0123] 하나의 제1 반도체 장치(510) 및 하나의 제2 반도체 장치(520)가 배치되도록 도시되어 있지만, 이에 제한되지 않음을 이해할 수 있다. 예를 들면, 제2 반도체 장치(520) 상에 적어도 하나의 다른 제2 반도체 장치가 적층될 수 있다. 이 경우, 제1 반도체 장치(510)와 유사하게, 제2 반도체 장치(520)의 반도체 기관(522)은 관통 전극들을 포함할 수 있다.

[0124] 도 14b의 예에서, 관통 전극들(533), 솔더 범프들(535) 및 배선층들(514, 524) 내의 연결 배선들(531, 532)이 도 12 및 13을 참조하여 상술한 채널에 대응할 수 있다.

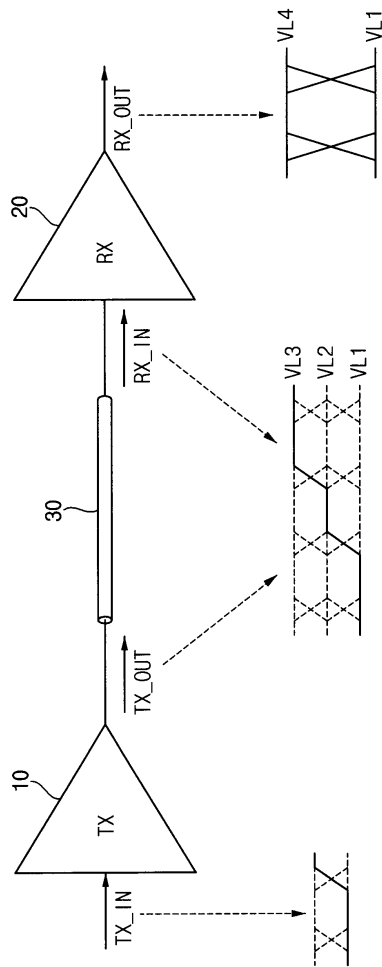
산업상 이용가능성

[0125] 본 발명의 실시예들은 송신기 및 수신기를 포함하는 메모리 시스템 및 다양한 통신 장치 및 시스템과 이를 포함하는 임의의 전자 장치 및 시스템에 유용하게 이용될 수 있다. 예를 들어, 본 발명의 실시예들은 PC(Personal Computer), 노트북(laptop), 핸드폰(cellular), 스마트 폰(smart phone), MP3 플레이어, PDA(Personal Digital Assistant), PMP(Portable Multimedia Player), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console), 네비게이션(navigation) 기기, 웨어러블(wearable) 기기, IoT(Internet of Things) 기기, IoE(Internet of Everything) 기기, e-북(e-book), VR(Virtual Reality) 기기, AR(Augmented Reality) 기기, 드론(drone) 등과 같은 전자 시스템에 더욱 유용하게 적용될 수 있다.

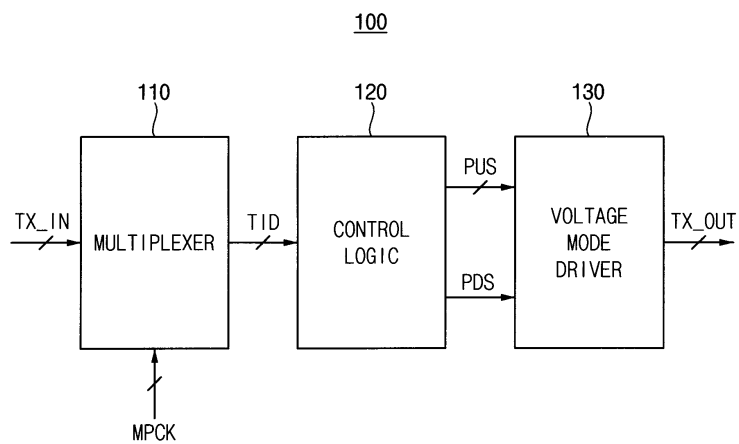
[0126] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

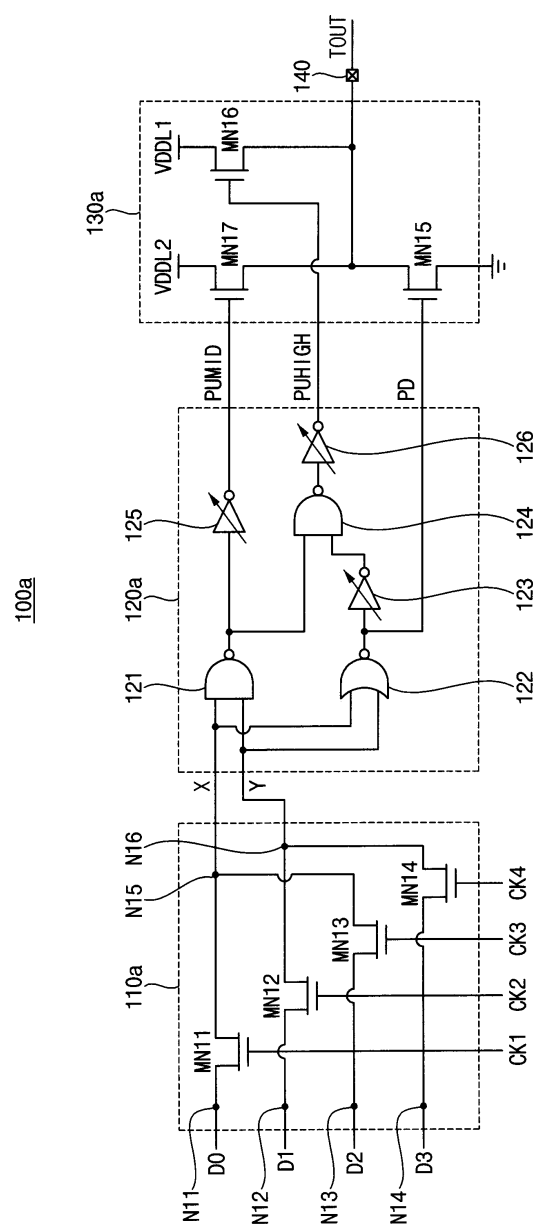
도면1



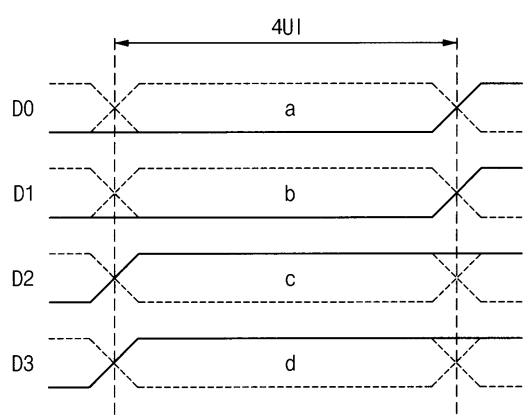
도면2



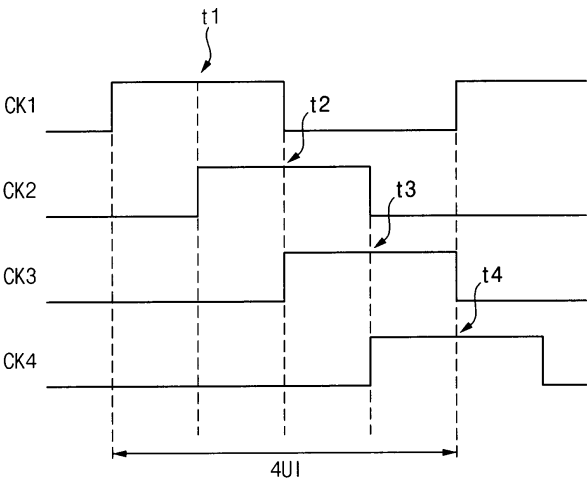
도면3



도면4a



도면4b



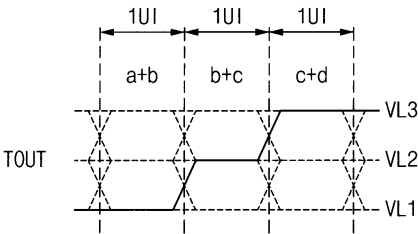
도면4c

	t1	t2	t3	t4
X	0	0	1	1
Y	0	0	0	1

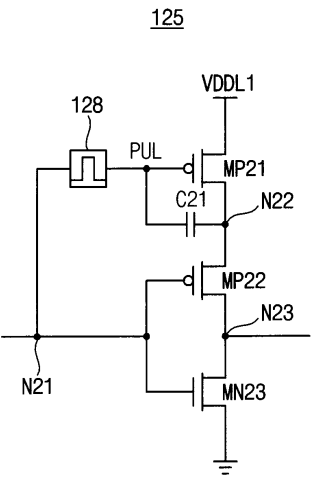
도면4d

	t1	t2	t3	t4
PD	1	1	0	0
PUMID	0	0	*1	0
PUHIGH	0	0	0	*1

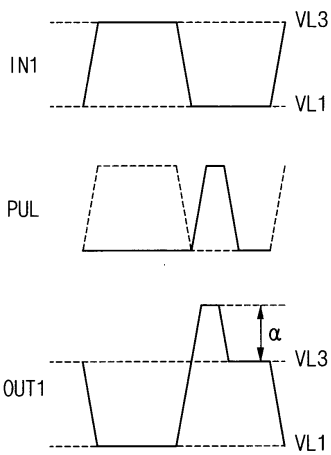
도면4e



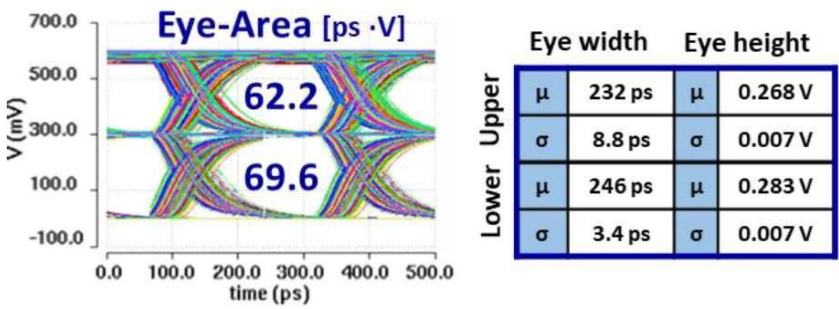
도면5



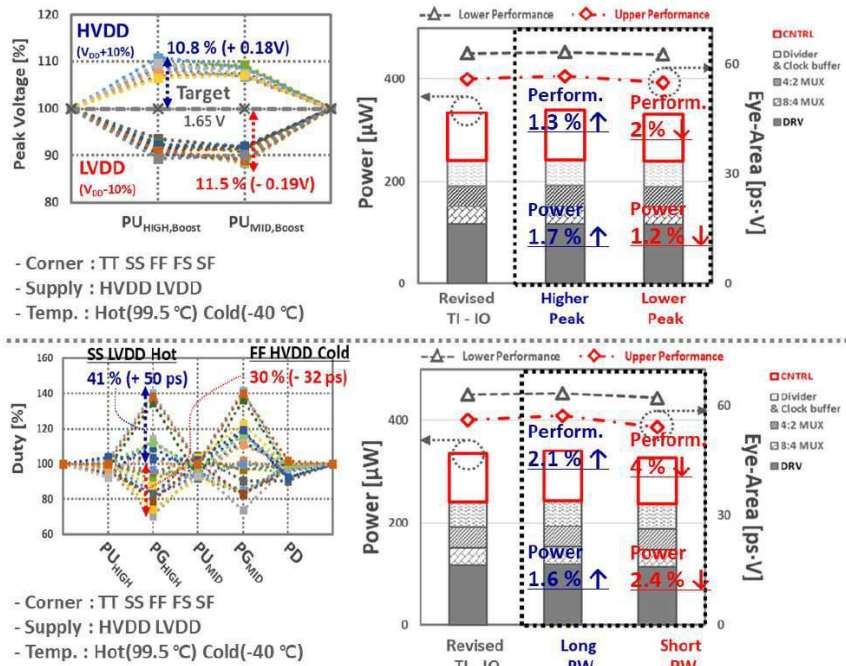
도면6



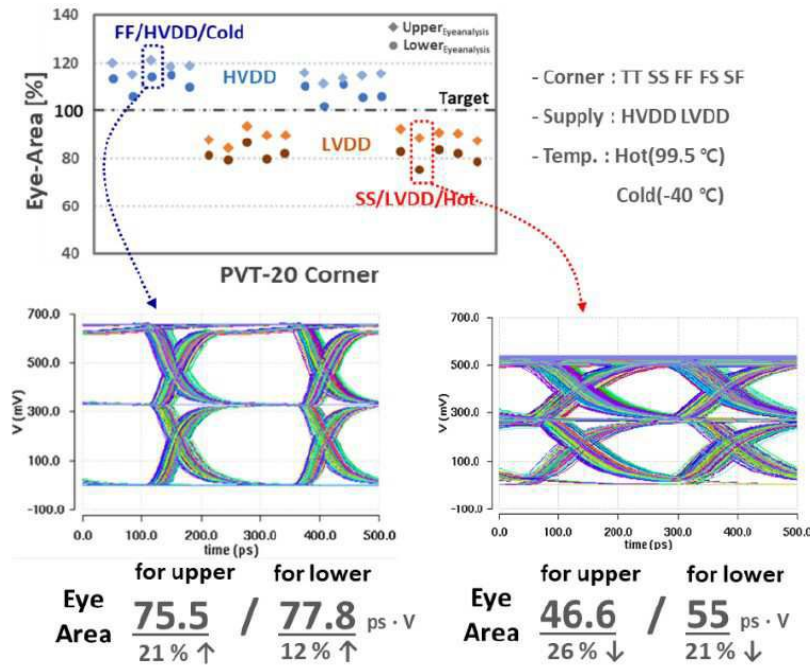
도면7a



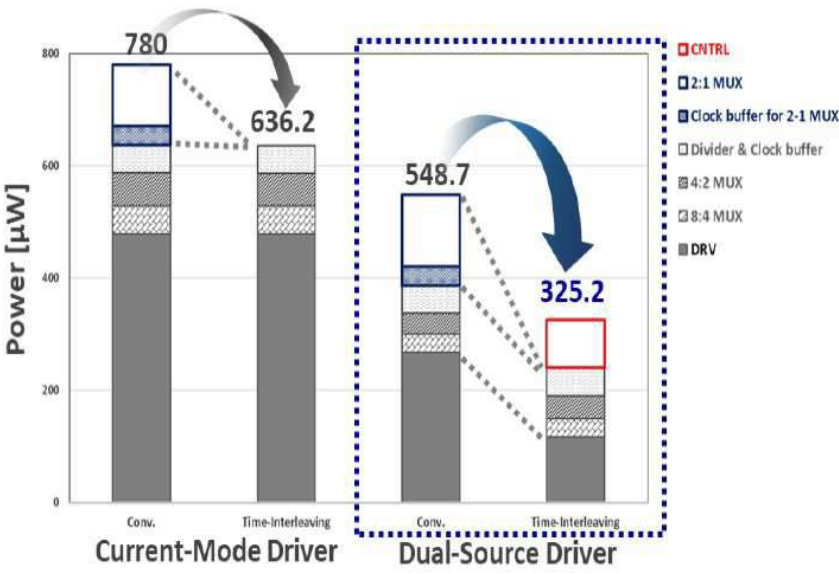
도면7b



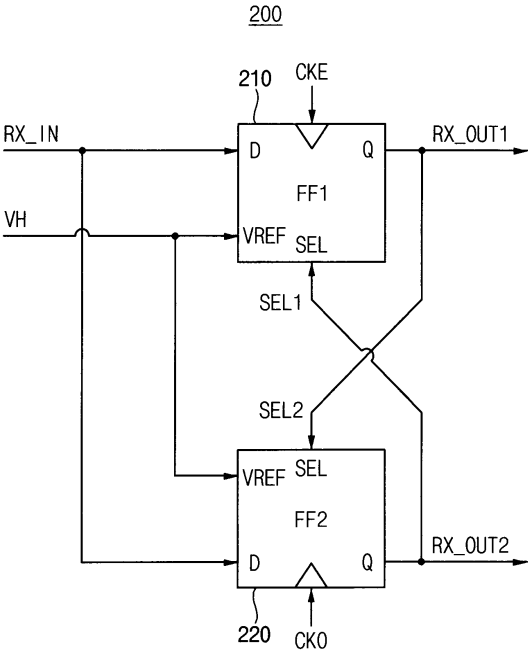
도면7c



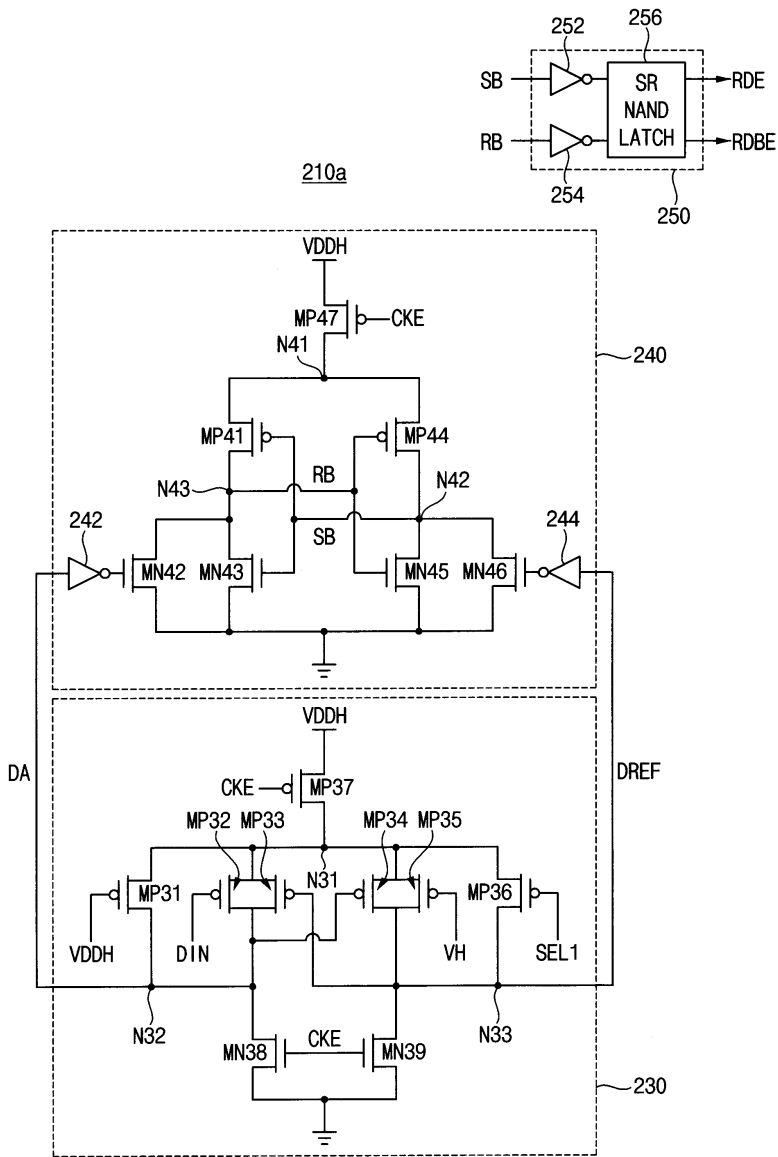
도면7d



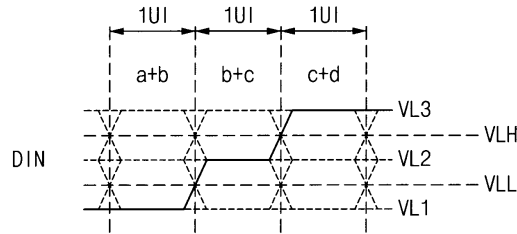
도면8



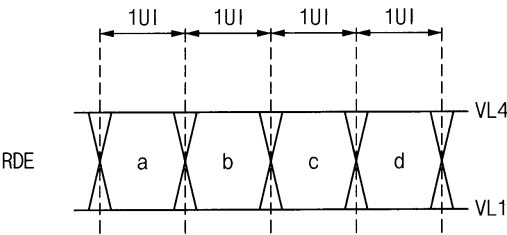
도면9



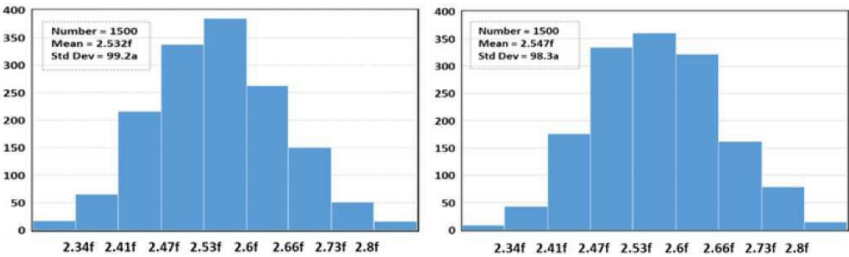
도면10a



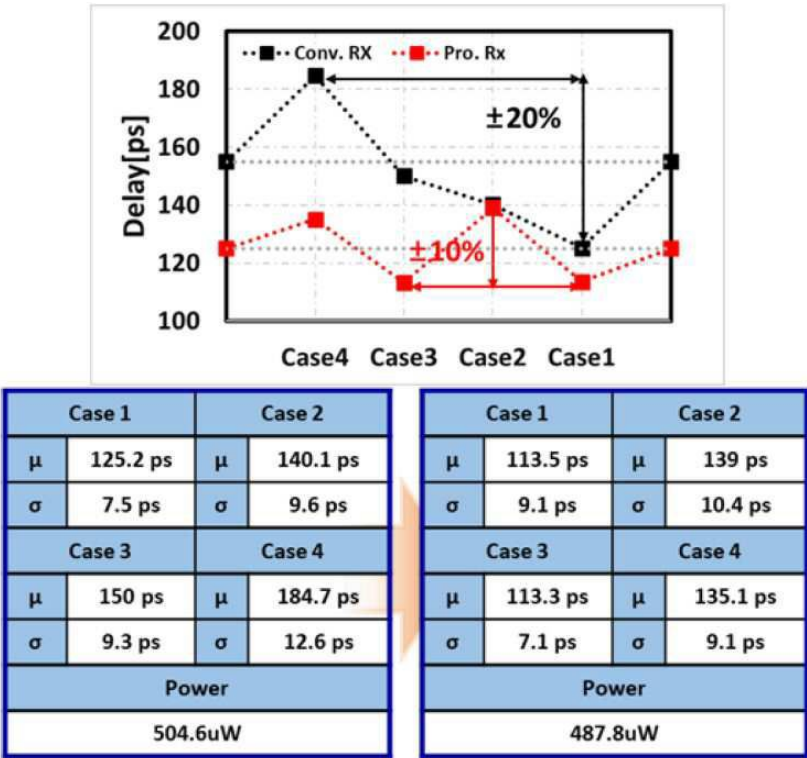
도면10b



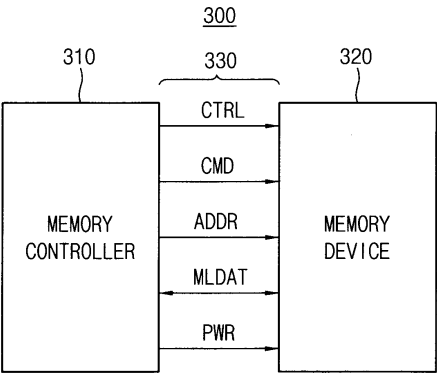
도면11a



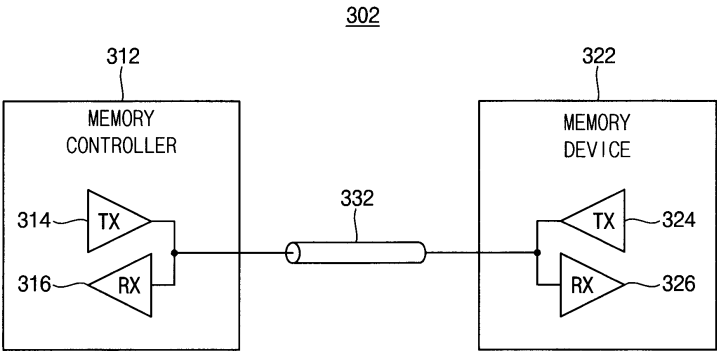
도면11b



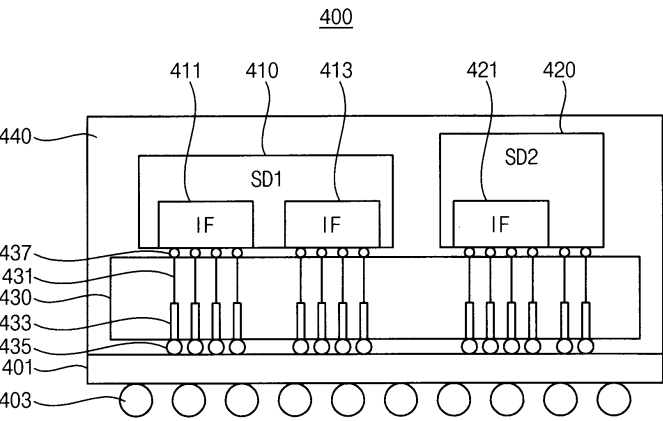
도면12



도면13



도면14a



도면14b

