



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년06월28일

(11) 등록번호 10-2680120

(24) 등록일자 2024년06월26일

(51) 국제특허분류(Int. Cl.)
G01R 31/3183 (2006.01) G01R 31/317 (2006.01)
G01R 31/3181 (2006.01) G01R 31/3187 (2006.01)

(52) CPC특허분류
G01R 31/318314 (2013.01)
G01R 31/31713 (2013.01)

(21) 출원번호 10-2021-0167453

(22) 출원일자 2021년11월29일

심사청구일자 2021년11월29일

(65) 공개번호 10-2023-0080061

(43) 공개일자 2023년06월07일

(56) 선행기술조사문헌

JP06331709 A*

(뒷면에 계속)

전체 청구항 수 : 총 9 항

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

강성호

서울특별시 마포구 양화로 45, 101동 2102호(서교동, 메세나폴리스)

김경빈

서울특별시 은평구 통일로 630, 201동 403호(녹번동, 래미안베라힐즈)

(74) 대리인

특허법인우인

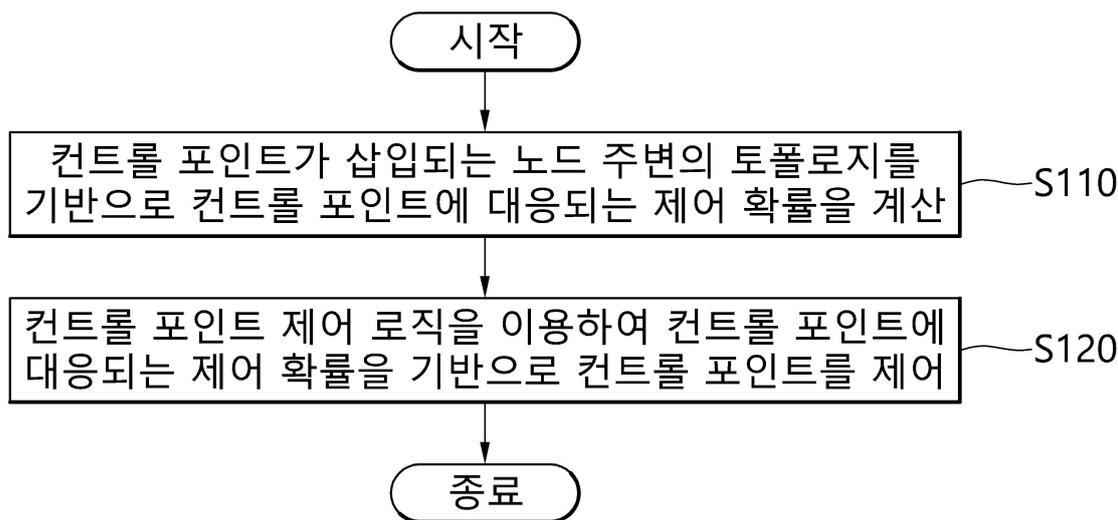
심사관 : 오경환

(54) 발명의 명칭 컨트롤 포인트의 구동 제어 방법 및 장치

(57) 요약

본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 방법 및 장치는, 회로의 토폴로지(topology)를 분석하여 최적의 성능으로 동작되도록 하기 위해, 회로에 삽입되는 컨트롤 포인트(control point)에 요구되는 제어 성능을 계산하고, 해당 제어 성능을 가지는 테스트 패턴을 생성하여 해당 컨트롤 포인트의 구동을 제어함으로써, 복수개의 컨트롤 포인트가 공유하여 사용할 수 있기 때문에 사이즈가 매우 작으며, 이를 통해 더 높은 테스트 커버리지를 얻을 수 있다.

대표도 - 도6



(52) CPC특허분류

G01R 31/31813 (2013.01)

G01R 31/3187 (2013.01)

(56) 선행기술조사문헌

JP2005135226 A*

US20050132254 A1

KR1020170095057 A

KR1020040070512 A

JP2015026336 A

JP2006084427 A

JP11142481 A

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 1711131125

과제번호 2019R1A2C3011079

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 중견연구자지원사업

연구과제명 인-메모리 컴퓨팅의 로버스트니스 향상을 위한 반도체 설계 기술(3/3)

기 여 율 1/1

과제수행기관명 연세대학교

연구기간 2021.03.01 ~ 2022.02.28

명세서

청구범위

청구항 1

반도체의 테스트를 위해 회로에 삽입되는 컨트롤 포인트(control point)의 구동을 제어하는 방법으로서,

상기 컨트롤 포인트가 삽입되는 노드(node) 주변의 토폴로지(topology)를 기반으로 상기 컨트롤 포인트에 대응되는 제어 확률을 계산하는 단계; 및

컨트롤 포인트 제어 로직을 이용하여 상기 컨트롤 포인트에 대응되는 제어 확률을 기반으로 상기 컨트롤 포인트를 제어하는 단계를 포함하되,

상기 제어 확률은, 상기 컨트롤 포인트에 연결된 컨트롤 라인(control line)에 요구되는 0의 개수의 비율 또는 상기 컨트롤 라인에 요구되는 1의 개수의 비율을 나타내며,

상기 컨트롤 포인트 제어 단계는, 상기 컨트롤 포인트에 대응되는 상기 제어 확률을 기반으로 상기 컨트롤 포인트 제어 로직의 복수개의 출력 중에서 사용할 출력을 결정하고, 결정된 출력을 상기 컨트롤 라인에 인가하는 것으로 이루어지는,

컨트롤 포인트의 구동 제어 방법.

청구항 2

삭제

청구항 3

제1항에서,

상기 제어 확률 계산 단계는,

상기 컨트롤 라인이 1일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 0의 개수를 획득하고,

상기 컨트롤 라인이 0일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 1의 개수를 획득하는 것으로 이루어지는,

컨트롤 포인트의 구동 제어 방법.

청구항 4

제3항에서,

상기 제어 확률 계산 단계는,

상기 컨트롤 라인을 1로 설정하고, 상기 컨트롤 라인의 값이 방문하는 게이트를 통과할 수 없을 때까지 상기 컨트롤 라인의 값을 전방향(forward)으로 전파하며, 마지막으로 방문한 게이트로부터 상기 컨트롤 라인을 향해 되돌아가며 방문했던 게이트의 다른 입력(input)의 팬인(fanin)에 존재하는 고장의 개수를 누산하여, 상기 컨트롤 라인에 요구되는 0의 개수를 획득하고,

상기 컨트롤 라인을 0으로 설정하고, 상기 컨트롤 라인의 값이 방문하는 게이트를 통과할 수 없을 때까지 상기 컨트롤 라인의 값을 전방향(forward)으로 전파하며, 마지막으로 방문한 게이트로부터 상기 컨트롤 라인을 향해 되돌아가며 방문했던 게이트의 다른 입력(input)의 팬인(fanin)에 존재하는 고장의 개수를 누산하여, 상기 컨트롤 라인에 요구되는 1의 개수를 획득하는 것으로 이루어지는,

컨트롤 포인트의 구동 제어 방법.

청구항 5

제1항에서,

상기 제어 확률 계산 단계는,

상기 컨트롤 라인에 요구되는 0의 개수 및 상기 컨트롤 라인에 요구되는 1의 개수를 기반으로, 상기 컨트롤 포인트에 대응되는 1에 대한 상기 제어 확률을 계산하거나 상기 컨트롤 포인트에 대응되는 0에 대한 상기 제어 확률을 계산하는 것으로 이루어지는,

컨트롤 포인트의 구동 제어 방법.

청구항 6

제5항에서,

상기 제어 확률 계산 단계는,

상기 컨트롤 라인에 요구되는 0의 개수와 상기 컨트롤 라인에 요구되는 1의 개수의 합에서 상기 컨트롤 라인에 요구되는 1의 개수가 차지하는 비율을 계산하여 1에 대한 상기 제어 확률을 획득하거나,

상기 컨트롤 라인에 요구되는 0의 개수와 상기 컨트롤 라인에 요구되는 1의 개수의 합에서 상기 컨트롤 라인에 요구되는 0의 개수가 차지하는 비율을 계산하여 0에 대한 상기 제어 확률을 획득하는 것으로 이루어지는,

컨트롤 포인트의 구동 제어 방법.

청구항 7

삭제

청구항 8

제1항에서,

상기 컨트롤 포인트 제어 단계는,

컨트롤 포인트 유형에 따른 제어 확률별 사용 출력 정보를 이용하여, 상기 컨트롤 포인트의 유형 및 상기 컨트롤 포인트에 대응되는 상기 제어 확률을 기반으로 상기 컨트롤 포인트 제어 로직의 복수개의 출력 중에서 사용할 출력을 결정하는 것으로 이루어지는,

컨트롤 포인트의 구동 제어 방법.

청구항 9

제1항, 제3항 내지 제6항 및 제8항 중 어느 한 항에 기재된 컨트롤 포인트의 구동 제어 방법을 컴퓨터에서 실행시키기 위하여 컴퓨터 판독 가능한 저장 매체에 저장된 컴퓨터 프로그램.

청구항 10

반도체의 테스트를 위해 회로에 삽입되는 컨트롤 포인트(control point)의 구동을 제어하는 구동 제어 장치로서, 상기 컨트롤 포인트의 구동을 제어하기 위한 하나 이상의 프로그램을 저장하는 메모리; 및 상기 메모리에 저장된 상기 하나 이상의 프로그램에 따라 상기 컨트롤 포인트의 구동을 제어하기 위한 동작을 수행하는 하나 이상의 프로세서;를 포함하며,

상기 프로세서는,

상기 컨트롤 포인트가 삽입되는 노드(node) 주변의 토폴로지(topology)를 기반으로 상기 컨트롤 포인트에 대응되는 제어 확률을 계산하고,

컨트롤 포인트 제어 로직을 이용하여 상기 컨트롤 포인트에 대응되는 제어 확률을 기반으로 상기 컨트롤 포인트를 제어하되,

상기 제어 확률은, 상기 컨트롤 포인트에 연결된 컨트롤 라인(control line)에 요구되는 0의 개수의 비율 또는 상기 컨트롤 라인에 요구되는 1의 개수의 비율을 나타내며,

상기 프로세서는, 상기 컨트롤 포인트에 대응되는 상기 제어 확률을 기반으로 상기 컨트롤 포인트 제어 로직의

복수개의 출력 중에서 사용할 출력을 결정하고, 결정된 출력을 상기 컨트롤 라인에 인가하는,
컨트롤 포인트의 구동 제어 장치.

청구항 11

삭제

청구항 12

제10항에서,

상기 프로세서는,

상기 컨트롤 라인이 1일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 0의 개수를 획득하고,

상기 컨트롤 라인이 0일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 1의 개수를 획득하는,

컨트롤 포인트의 구동 제어 장치.

청구항 13

삭제

발명의 설명

기술 분야

[0001] 본 발명은 컨트롤 포인트의 구동 제어 방법 및 장치에 관한 것으로서, 더욱 상세하게는 반도체의 테스트를 위해 회로에 삽입되는 컨트롤 포인트(control point)의 구동을 제어하는, 방법 및 장치에 관한 것이다.

배경 기술

[0002] 자동차, 의료 및 항공 우주와 같은 안전-크리티컬(safety-critical) 및 미션-크리티컬(mission-critical) 분야가 성장함에 따라 해당 분야에 사용되는 반도체의 안전성과 신뢰성도 중요해지고 있다.

[0003] 도 1은 종래의 로직 내장 자가 테스트(Logic BIST)의 구조를 설명하기 위한 도면이다.

[0004] 해당 분야에 사용되는 반도체는 양산 테스트뿐만 아니라 사용 중일 때에도 테스트를 통해 반도체 기능에 결함이 없음을 보장하여야 하고, 이를 위해 대부분 반도체 스스로 테스트할 수 있도록 로직 내장 자가 테스트(Logic BIST)를 삽입하고 있다.

[0005] 로직 내장 자가 테스트(Logic BIST)의 가장 큰 도전은 양산 테스트 수준의 테스트 커버리지를 얻기 어려운 것이다. 즉, 반도체의 필드 테스트를 위해 일반적으로 로직 내장 자가 테스트(Logic BIST)가 사용되며, 일반적으로 쓰이는 STUMPS(self-testing using MISR and parallel SRSG) 구조는 도 1에 도시된 바와 같다. 로직 내장 자가 테스트(Logic BIST)는 의사 랜덤(pseudo random) 테스트 패턴을 회로 내에서 직접 생성한다는 것이 특징인데, 이러한 랜덤 패턴으로는 검출하기 어려운 고장이 회로 내에 존재한다. 이러한 고장을 랜덤 패턴 내성(random pattern resistant) 고장이라고 하며, 이는 테스트 커버리지 저하를 야기한다.

[0006] 로직 내장 자가 테스트(Logic BIST)의 낮은 테스트 커버리지를 개선하기 위해 여러 연구가 진행되었으며, 그 중 회로에 테스트 포인트(test point) 삽입이 널리 사용되고 있다. 테스트 포인트의 종류는 크게 컨트롤 포인트(control point)와 관측 포인트(observation point)으로 구분되며, 각각 제어하기 어려운 라인(line)을 직접 제어하기 위해, 관측이 어려운 라인의 값을 직접 관측하기 위해 삽입된다. 테스트 포인트 중 컨트롤 포인트는 랜덤성을 가진 플립플롭(flip-flop)의 출력으로 작동하며, 컨트롤 포인트의 면적 오버헤드(overhead)를 줄이기 위한 연구는 진행되었지만, 컨트롤 포인트의 동작 최적화와 관련된 연구는 거의 진행되지 않고 있다.

[0007] 도 2는 종래의 AND-type 컨트롤 포인트의 구조를 설명하기 위한 도면이고, 도 3은 종래의 OR-type 컨트롤 포인

트의 구조를 설명하기 위한 도면이다.

[0008] 컨트롤 포인트는 0 또는 1이 나올 확률이 극히 낮은 노드(node)에 삽입되어 테스트 모드 시 해당 노드의 값을 제어한다. 컨트롤 포인트는 해당 노드를 제어하기 위한 신호를 스캔 셀(scan cell)로부터 제공받을 수 있다. 테스트 패턴 생성기(test pattern generator, TPG)에서 생성되는 랜덤 패턴이 스캔 셀에 인가되므로, 컨트롤 포인트의 제어 확률은 50%이다. 즉, 컨트롤 포인트의 출력은 50%의 확률로 0과 1의 값을 가지게 된다.

[0009] 기존 방식의 컨트롤 포인트는 제어할 노드 주변의 토폴로지(topology)를 고려하지 않고 있다. 제어할 노드의 값이 0 또는 1일 때, 전파(propagation)가 차단되는 고장이 존재할 수 있다. 예컨대, 출력을 1로 제어하기 어려운 노드의 값이 0일 때 전파가 차단되는 고장이 존재할 것이고, 노드의 값이 1일 때 전파가 차단되는 고장이 존재할 수 있다. 또한, 컨트롤 포인트에 의해 해당 노드가 제어될 때 해당 노드의 팬인(fanin)에 존재하는 고장은 해당 노드를 통해 전파될 수 없게 된다.

발명의 내용

해결하려는 과제

[0010] 본 발명이 이루고자 하는 목적은, 회로의 토폴로지(topology)를 분석하여 최적의 성능으로 동작되도록 하기 위해, 회로에 삽입되는 컨트롤 포인트(control point)에 요구되는 제어 성능을 계산하고, 해당 제어 성능을 가지는 테스트 패턴을 생성하여 해당 컨트롤 포인트의 구동을 제어하는, 컨트롤 포인트의 구동 제어 방법 및 장치를 제공하는 데 있다.

[0011] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0012] 상기의 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 방법은, 반도체의 테스트를 위해 회로에 삽입되는 컨트롤 포인트(control point)의 구동을 제어하는 방법으로서, 상기 컨트롤 포인트가 삽입되는 노드(node) 주변의 토폴로지(topology)를 기반으로 상기 컨트롤 포인트에 대응되는 제어 확률을 계산하는 단계; 및 컨트롤 포인트 제어 로직을 이용하여 상기 컨트롤 포인트에 대응되는 제어 확률을 기반으로 상기 컨트롤 포인트를 제어하는 단계;를 포함한다.

[0013] 여기서, 상기 제어 확률은, 상기 컨트롤 포인트에 연결된 컨트롤 라인(control line)에 요구되는 0의 개수의 비율 또는 상기 컨트롤 라인에 요구되는 1의 개수의 비율을 나타낼 수 있다.

[0014] 여기서, 상기 제어 확률 계산 단계는, 상기 컨트롤 라인이 1일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 0의 개수를 획득하고, 상기 컨트롤 라인이 0일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 1의 개수를 획득하는 것으로 이루어질 수 있다.

[0015] 여기서, 상기 제어 확률 계산 단계는, 상기 컨트롤 라인을 1로 설정하고, 상기 컨트롤 라인의 값이 방문하는 게이트를 통과할 수 없을 때까지 상기 컨트롤 라인의 값을 전방향(forward)으로 전파하며, 마지막으로 방문한 게이트로부터 상기 컨트롤 라인을 향해 되돌아가며 방문했던 게이트의 다른 입력(input)의 팬인(fanin)에 존재하는 고장의 개수를 누산하여, 상기 컨트롤 라인에 요구되는 0의 개수를 획득하고, 상기 컨트롤 라인을 0으로 설정하고, 상기 컨트롤 라인의 값이 방문하는 게이트를 통과할 수 없을 때까지 상기 컨트롤 라인의 값을 전방향(forward)으로 전파하며, 마지막으로 방문한 게이트로부터 상기 컨트롤 라인을 향해 되돌아가며 방문했던 게이트의 다른 입력(input)의 팬인(fanin)에 존재하는 고장의 개수를 누산하여, 상기 컨트롤 라인에 요구되는 1의 개수를 획득하는 것으로 이루어질 수 있다.

[0016] 여기서, 상기 제어 확률 계산 단계는, 상기 컨트롤 라인에 요구되는 0의 개수 및 상기 컨트롤 라인에 요구되는 1의 개수를 기반으로, 상기 컨트롤 포인트에 대응되는 1에 대한 상기 제어 확률을 계산하거나 상기 컨트롤 포인트에 대응되는 0에 대한 상기 제어 확률을 계산하는 것으로 이루어질 수 있다.

[0017] 여기서, 상기 제어 확률 계산 단계는, 상기 컨트롤 라인에 요구되는 0의 개수와 상기 컨트롤 라인에 요구되는 1의 개수의 합에서 상기 컨트롤 라인에 요구되는 1의 개수가 차지하는 비율을 계산하여 1에 대한 상기 제어 확률을 획득하거나, 상기 컨트롤 라인에 요구되는 0의 개수와 상기 컨트롤 라인에 요구되는 1의 개수의 합에서 상기 컨트롤 라인에 요구되는 0의 개수가 차지하는 비율을 계산하여 0에 대한 상기 제어 확률을 획득하는 것으로 이

루어질 수 있다.

- [0018] 여기서, 상기 컨트롤 포인트 제어 단계는, 상기 컨트롤 포인트에 대응되는 상기 제어 확률을 기반으로 상기 컨트롤 포인트 제어 로직의 복수개의 출력 중에서 사용할 출력을 결정하고, 결정된 출력을 상기 컨트롤 라인에 인가하는 것으로 이루어질 수 있다.
- [0019] 여기서, 상기 컨트롤 포인트 제어 단계는, 컨트롤 포인트 유형에 따른 제어 확률별 사용 출력 정보를 이용하여, 상기 컨트롤 포인트의 유형 및 상기 컨트롤 포인트에 대응되는 상기 제어 확률을 기반으로 상기 컨트롤 포인트 제어 로직의 복수개의 출력 중에서 사용할 출력을 결정하는 것으로 이루어질 수 있다.
- [0021] 상기의 기술적 과제를 달성하기 위한 본 발명의 바람직한 실시예에 따른 컴퓨터 프로그램은 컴퓨터 판독 가능한 저장 매체에 저장되어 상기한 컨트롤 포인트의 구동 제어 방법 중 어느 하나를 컴퓨터에서 실행시킨다.
- [0023] 상기의 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 장치는, 반도체의 테스트를 위해 회로에 삽입되는 컨트롤 포인트(control point)의 구동을 제어하는 구동 제어 장치로서, 상기 컨트롤 포인트의 구동을 제어하기 위한 하나 이상의 프로그램을 저장하는 메모리; 및 상기 메모리에 저장된 상기 하나 이상의 프로그램에 따라 상기 컨트롤 포인트의 구동을 제어하기 위한 동작을 수행하는 하나 이상의 프로세서;를 포함하며, 상기 프로세서는, 상기 컨트롤 포인트가 삽입되는 노드(node) 주변의 토폴로지(topology)를 기반으로 상기 컨트롤 포인트에 대응되는 제어 확률을 계산하고, 컨트롤 포인트 제어 로직을 이용하여 상기 컨트롤 포인트에 대응되는 제어 확률을 기반으로 상기 컨트롤 포인트를 제어한다.
- [0024] 여기서, 상기 제어 확률은, 상기 컨트롤 포인트에 연결된 컨트롤 라인(control line)에 요구되는 0의 개수의 비율 또는 상기 컨트롤 라인에 요구되는 1의 개수의 비율을 나타낼 수 있다.
- [0025] 여기서, 상기 프로세서는, 상기 컨트롤 라인이 1일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 0의 개수를 획득하고, 상기 컨트롤 라인이 0일 때 전파가 차단되는 고장의 개수를 기반으로 상기 컨트롤 라인에 요구되는 1의 개수를 획득할 수 있다.
- [0026] 여기서, 상기 프로세서는, 상기 컨트롤 포인트에 대응되는 상기 제어 확률을 기반으로 상기 컨트롤 포인트 제어 로직의 복수개의 출력 중에서 사용할 출력을 결정하고, 결정된 출력을 상기 컨트롤 라인에 인가할 수 있다.

발명의 효과

- [0027] 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 방법 및 장치에 의하면, 회로의 토폴로지(topology)를 분석하여 최적의 성능으로 동작되도록 하기 위해, 회로에 삽입되는 컨트롤 포인트(control point)에 요구되는 제어 성능을 계산하고, 해당 제어 성능을 가지는 테스트 패턴을 생성하여 해당 컨트롤 포인트의 구동을 제어함으로써, 복수개의 컨트롤 포인트가 공유하여 사용할 수 있기 때문에 사이즈가 매우 작으며, 이를 통해 더 높은 테스트 커버리지를 얻을 수 있다.
- [0028] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0029] 도 1은 종래의 로직 내장 자가 테스트(Logic BIST)의 구조를 설명하기 위한 도면이다.
- 도 2는 종래의 AND-type 컨트롤 포인트의 구조를 설명하기 위한 도면이다.
- 도 3은 종래의 OR-type 컨트롤 포인트의 구조를 설명하기 위한 도면이다.
- 도 4는 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 장치를 설명하기 위한 블록도이다.
- 도 5는 본 발명의 바람직한 실시예에 따른 컨트롤 포인트가 삽입된 회로의 토폴로지의 일례를 나타내는 도면이다.
- 도 6은 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 방법을 설명하기 흐름도이다.
- 도 7은 본 발명의 바람직한 실시예에 따른 컨트롤 포인트 제어 로직의 일례를 나타내는 도면이다.
- 도 8은 본 발명의 바람직한 실시예에 따른 컨트롤 포인트 유형에 따른 제어 확률별 사용 출력 정보의 일례를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0031] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0032] 본 명세서에서 "제1", "제2" 등의 용어는 하나의 구성 요소를 다른 구성 요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예컨대, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.
- [0033] 본 명세서에서 각 단계들에 있어 식별부호(예컨대, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별 부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0034] 본 명세서에서, "가진다", "가질 수 있다", "포함한다" 또는 "포함할 수 있다" 등의 표현은 해당 특징(예컨대, 수치, 기능, 동작, 또는 부품 등의 구성 요소)의 존재를 가리키며, 추가적인 특징의 존재를 배제하지 않는다.
- [0037] 이하에서 첨부한 도면을 참조하여 본 발명에 따른 컨트롤 포인트의 구동 제어 방법 및 장치의 바람직한 실시예에 대해 상세하게 설명한다.
- [0039] 먼저, 도 4 및 도 5를 참조하여 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 장치에 대하여 설명한다.
- [0040] 도 4는 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 장치를 설명하기 위한 블록도이고, 도 5는 본 발명의 바람직한 실시예에 따른 컨트롤 포인트가 삽입된 회로의 토폴로지의 일례를 나타내는 도면이다.
- [0041] 도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 장치(100)는 반도체의 테스트를 위해 회로에 삽입되는 컨트롤 포인트(control point)의 구동을 제어할 수 있다.
- [0042] 즉, 컨트롤 포인트의 구동 제어 장치(100)는 회로의 토폴로지(topology)를 분석하여 최적의 성능으로 동작되도록 하기 위해, 회로에 삽입되는 컨트롤 포인트(control point)에 요구되는 제어 성능을 계산하고, 해당 제어 성능을 가지는 테스트 패턴을 생성하여 해당 컨트롤 포인트의 구동을 제어할 수 있다.
- [0043] 예컨대, AND-type 컨트롤 포인트가 도 5에 도시된 바와 같이 회로에 삽입된 경우, 컨트롤 포인트의 구동에 따른 동작은 다음과 같다. 각 콘(cone)의 숫자는 콘(cone)에 존재하는 고장의 개수를 나타낸다. 랜덤 값을 가지는 컨트롤 라인(control line)의 신호에 의해 컨트롤 포인트가 동작한다. G_1 게이트의 팬인 콘(fanin cone)에 존재하는 고장은 컨트롤 포인트가 삽입되기 전에는 G_1 게이트를 통해 전파될 수 없지만, 컨트롤 포인트가 동작하여 x' 노드에 1(제어 값)이 출력되면, G_1 게이트의 팬인 콘(fanin cone)에 존재하는 80개의 고장이 G_1 게이트를 통해 전파될 수 있다. 하지만, x' 노드의 1 때문에 G_2 게이트의 팬인 콘(fanin cone)에 존재하는 10개의 고장이 G_2 게이트를 통과할 수 없게 된다. 또한, 기존 제어 목표인 x 노드의 팬인 콘(fanin cone)에 존재하는 10개의 고장이 컨트롤 포인트로 인해 전파가 차단된다. 만약, 컨트롤 포인트가 노드를 제어할 때 전파가 차단되는 고장의 개수가 전파가 가능해지는 고장의 개수보다 현저히 적다면 컨트롤 포인트의 제어 빈도가 더 높은 것이 테스트 커버리지(test coverage) 관점에서 유리하다.
- [0045] 이를 위해, 컨트롤 포인트의 구동 제어 장치(100)는 하나 이상의 프로세서(110), 컴퓨터 판독 가능한 저장 매체(130) 및 통신 버스(150)를 포함할 수 있다.

- [0046] 프로세서(110)는 컨트롤 포인트의 구동 제어 장치(100)가 동작하도록 제어할 수 있다. 예컨대, 프로세서(110)는 컴퓨터 판독 가능한 저장 매체(130)에 저장된 하나 이상의 프로그램(131)을 실행할 수 있다. 하나 이상의 프로그램(131)은 하나 이상의 컴퓨터 실행 가능 명령어를 포함할 수 있으며, 컴퓨터 실행 가능 명령어는 프로세서(110)에 의해 실행되는 경우 컨트롤 포인트의 구동 제어 장치(100)로 하여금 컨트롤 포인트의 구동을 제어하기 위한 동작을 수행하도록 구성될 수 있다.
- [0047] 컴퓨터 판독 가능한 저장 매체(130)는 컨트롤 포인트의 구동을 제어하기 위한 컴퓨터 실행 가능 명령어 내지 프로그램 코드, 프로그램 데이터 및/또는 다른 적합한 형태의 정보를 저장하도록 구성된다. 컴퓨터 판독 가능한 저장 매체(130)에 저장된 프로그램(131)은 프로세서(110)에 의해 실행 가능한 명령어의 집합을 포함한다. 일 실시예에서, 컴퓨터 판독 가능한 저장 매체(130)는 메모리(랜덤 액세스 메모리와 같은 휘발성 메모리, 비휘발성 메모리, 또는 이들의 적절한 조합), 하나 이상의 자기 디스크 저장 디바이스들, 광학 디스크 저장 디바이스들, 플래시 메모리 디바이스들, 그 밖에 컨트롤 포인트의 구동 제어 장치(100)에 의해 액세스되고 원하는 정보를 저장할 수 있는 다른 형태의 저장 매체, 또는 이들의 적합한 조합일 수 있다.
- [0048] 통신 버스(150)는 프로세서(110), 컴퓨터 판독 가능한 저장 매체(130)를 포함하여 컨트롤 포인트의 구동 제어 장치(100)의 다른 다양한 컴포넌트들을 상호 연결한다.
- [0049] 컨트롤 포인트의 구동 제어 장치(100)는 또한 하나 이상의 입출력 장치를 위한 인터페이스를 제공하는 하나 이상의 입출력 인터페이스(170) 및 하나 이상의 통신 인터페이스(190)를 포함할 수 있다. 입출력 인터페이스(170) 및 통신 인터페이스(190)는 통신 버스(150)에 연결된다. 입출력 장치(도시하지 않음)는 입출력 인터페이스(170)를 통해 컨트롤 포인트의 구동 제어 장치(100)의 다른 컴포넌트들에 연결될 수 있다.
- [0052] 그러면, 도 6 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 방법에 대하여 설명한다.
- [0053] 도 6은 본 발명의 바람직한 실시예에 따른 컨트롤 포인트의 구동 제어 방법을 설명하기 흐름도이고, 도 7은 본 발명의 바람직한 실시예에 따른 컨트롤 포인트 제어 로직의 일례를 나타내는 도면이며, 도 8은 본 발명의 바람직한 실시예에 따른 컨트롤 포인트 유형에 따른 제어 확률별 사용 출력 정보의 일례를 나타내는 도면이다.
- [0054] 도 6을 참조하면, 컨트롤 포인트의 구동 제어 장치(100)의 프로세서(110)는 컨트롤 포인트가 삽입되는 노드(node) 주변의 토폴로지(topology)를 기반으로 컨트롤 포인트에 대응되는 제어 확률을 계산할 수 있다(S110).
- [0055] 여기서, 제어 확률은 컨트롤 포인트에 연결된 컨트롤 라인(control line)에 요구되는 0의 개수의 비율 또는 컨트롤 라인에 요구되는 1의 개수의 비율을 나타낼 수 있다.
- [0056] 즉, 프로세서(110)는 컨트롤 라인이 1일 때 전파가 차단되는 고장의 개수를 기반으로 컨트롤 라인에 요구되는 0의 개수를 획득할 수 있다.
- [0057] 보다 자세히 설명하면, 프로세서(110)는 컨트롤 라인을 1로 설정하고, 컨트롤 라인의 값이 방문하는 게이트를 통과할 수 없을 때까지 컨트롤 라인의 값을 전방향(forward)으로 전파하며, 마지막으로 방문한 게이트로부터 컨트롤 라인을 향해 되돌아가며 방문했던 게이트의 다른 입력(input)의 팬인(fanin)에 존재하는 고장의 개수를 누산하여, 컨트롤 라인에 요구되는 0의 개수를 획득할 수 있다.
- [0058] 그리고, 프로세서(110)는 컨트롤 라인이 0일 때 전파가 차단되는 고장의 개수를 기반으로 컨트롤 라인에 요구되는 1의 개수를 획득할 수 있다.
- [0059] 보다 자세히 설명하면, 프로세서(110)는 컨트롤 라인을 0으로 설정하고, 컨트롤 라인의 값이 방문하는 게이트를 통과할 수 없을 때까지 컨트롤 라인의 값을 전방향(forward)으로 전파하며, 마지막으로 방문한 게이트로부터 컨트롤 라인을 향해 되돌아가며 방문했던 게이트의 다른 입력(input)의 팬인(fanin)에 존재하는 고장의 개수를 누산하여, 컨트롤 라인에 요구되는 1의 개수를 획득할 수 있다.
- [0060] 그리고, 프로세서(110)는 컨트롤 라인에 요구되는 0의 개수 및 컨트롤 라인에 요구되는 1의 개수를 기반으로, 컨트롤 포인트에 대응되는 1에 대한 제어 확률을 계산하거나 컨트롤 포인트에 대응되는 0에 대한 제어 확률을 계산할 수 있다.
- [0061] 보다 자세히 설명하면, 프로세서(110)는 컨트롤 라인에 요구되는 0의 개수와 컨트롤 라인에 요구되는 1의 개수의 합에서 컨트롤 라인에 요구되는 1의 개수가 차지하는 비율을 계산하여 1에 대한 제어 확률을 획득할 수 있다. 또한, 프로세서(110)는 컨트롤 라인에 요구되는 0의 개수와 컨트롤 라인에 요구되는 1의 개수의 합에서

컨트롤 라인에 요구되는 0의 개수가 차지하는 비율을 계산하여 0에 대한 제어 확률을 획득할 수 있다.

[0063] 그런 다음, 프로세서(110)는 컨트롤 포인트 제어 로직을 이용하여 컨트롤 포인트에 대응되는 제어 확률을 기반으로 컨트롤 포인트를 제어할 수 있다(S120).

[0064] 즉, 프로세서(110)는 컨트롤 포인트에 대응되는 제어 확률을 기반으로 컨트롤 포인트 제어 로직의 복수개의 출력 중에서 사용할 출력을 결정할 수 있다.

[0065] 보다 자세히 설명하면, 프로세서(110)는 컨트롤 포인트 유형에 따른 제어 확률별 사용 출력 정보를 이용하여, 컨트롤 포인트의 유형 및 컨트롤 포인트에 대응되는 제어 확률을 기반으로 컨트롤 포인트 제어 로직의 복수개의 출력 중에서 사용할 출력을 결정할 수 있다. 예컨대, 컨트롤 포인트 유형에 따른 제어 확률별 사용 출력 정보는 아래의 아래의 [표 1]과 같이 구성되어, 미리 저장되어 있을 수 있다.

표 1

컨트롤 포인트 유형	컨트롤 포인트의 제어 확률	사용할 출력
AND-type 컨트롤 포인트	0% < 제어 확률 < 31.25%	출력 0
	31.25% ≤ 제어 확률 < 100%	출력 2
OR-type 컨트롤 포인트	0% < 제어 확률 ≤ 68.75%	출력 2
	68.75% < 제어 확률 < 100%	출력 1

[0067] 그리고, 프로세서(110)는 결정된 출력을 컨트롤 라인에 인가하여, 컨트롤 포인트의 구동을 제어할 수 있다.

[0069] 예컨대, 컨트롤 라인에 요구되는 0의 개수(0_{req})와 1의 개수(1_{req})의 비율이 제어 확률을 나타내게 된다. 1에 대한 제어 확률은 해당 컨트롤 라인에 1이 출력되어야 할 확률을 나타내고, 0에 대한 제어 확률은 해당 컨트롤 라인에 0이 출력되어야 할 확률을 나타낸다. 컨트롤 라인에 요구되는 0의 개수(0_{req})와 1의 개수(1_{req})는 각각 컨트롤 라인이 1과 0일 때 전파가 차단되는 고장의 개수로 나타낼 수 있다. 컨트롤 라인에 요구되는 0의 개수(0_{req})를 다음과 같이 구할 수 있다.

[0070] - 컨트롤 라인을 1로 설정함.

[0071] - 컨트롤 라인의 해당 값을 전방향(forward)으로 전파함. 해당 값이 방문하는 게이트를 통과할 수 없을 때까지 전파함.

[0072] - 마지막으로 방문한 게이트로부터 컨트롤 라인을 향해 되돌아가며 방문했던 게이트의 다른 입력(input)의 팬인(fanin)에 존재하는 고장의 개수를 누산함.

[0073] - 누산된 결과는 컨트롤 라인이 1일 때 전파가 차단되는 고장의 개수, 즉, 컨트롤 라인에 요구되는 0의 개수(0_{req})임.

[0074] 컨트롤 라인에 요구되는 1의 개수(1_{req})는 컨트롤 라인에 0을 설정하고, 위의 과정을 반복하여 구할 수 있다.

[0075] 컨트롤 포인트의 타입(AND-type 컨트롤 포인트, OR-type 컨트롤 포인트)별 컨트롤 라인에 요구되는 1에 대한 제어 확률은 아래의 [수학식 1]과 같고, 컨트롤 라인에 요구되는 0에 대한 제어 확률은 아래의 [수학식 2]와 같다.

수학식 1

$$RCP_1 = \frac{1_{req}}{0_{req} + 1_{req}} \times 100(\%)$$

[0076]

수학식 2

$$RCP_0 = \frac{0_{req}}{0_{req} + 1_{req}} \times 100(\%)$$

[0077]

[0078]

AND-type 컨트롤 포인트가 도 5에 도시된 바와 같이 회로에 삽입된 경우, 컨트롤 라인에 요구되는 0의 개수 (0_{req})는 "20"이고, 1의 개수(1_{req})는 "80"이다. 이때, 컨트롤 라인에 요구되는 1에 대한 제어 확률은

$$\frac{80}{20+80} \times 100 = 80\%$$

이다.

[0079]

컨트롤 라인에 요구되는 제어 확률은 0% ~ 100%의 값을 가질 수 있다. 컨트롤 라인에 요구되는 제어 확률로 컨트롤 포인트를 제어하기 위해, 추가적인 컨트롤 포인트 제어 로직이 회로에 삽입되어야 한다. 컨트롤 포인트 제어 로직을 통해 해당 제어 확률의 값에 가까운 값을 만들 수 있는데, 정밀도에 따라 컨트롤 포인트 제어 로직에 요구되는 로직 게이트의 개수가 달라질 수 있다.

[0080]

본 발명은 영역 오버헤드(area overhead)를 최소화하기 위해, 제어 확률을 {12.5%, 50%, 87.5%} 3-가중치로 세분화할 수 있다. 즉, 도 7에 도시된 바와 같은 3-입력(input) 게이트를 통해 0 또는 100의 방향으로 편향된 정도가 큰 12.5%와 87.5%의 확률을 가지는 값을 생성할 수 있다. 극히 낮은(12.5%) 또는 극히 높은(87.5%) 제어 확률을 요구하는 컨트롤 포인트에 대해서 구동 최적화를 진행하고, 50%와 가까운 값을 가지는 제어 확률에 대해서는 기존의 방식을 사용할 수 있다. 3개의 플립플롭(flip-flop)이 기존 스캔 체인(scan chain)으로 연결되거나, 또는 별개의 스캔 체인(scan chain)을 구성할 수 있다. 출력 "out[0]"의 1에 대한 제어 확률은 "12.5%"이고, 출력 "out[1]"의 1에 대한 제어 확률은 "87.5%"이다.

[0081]

이때, 컨트롤 포인트의 타입(AND-type 컨트롤 포인트, OR-type 컨트롤 포인트)별 컨트롤 라인에 요구되는 1에 대한 제어 확률의 범위에 따라 사용할 핀(pin), 즉 컨트롤 포인트 유형에 따른 제어 확률별 사용 출력 정보도 도 8에 도시된 바와 같다. AND-type 컨트롤 포인트에 대해 "31.25%(12.5%와 50%의 절반)"보다 높은 1에 대한 제어 확률을 요구하는 경우, 기존의 컨트롤 포인트 전용 드라이버(전용 플립플롭의 출력) "scan_out"을 사용한다. 0으로 제어하기 어려운 노드에 AND-type 컨트롤 포인트를 삽입하기 때문에, 1을 많이 요구하는 경우에도 "out[1]"을 사용하지 않고, 전용 드라이버(전용 플립플롭의 출력) "scan_out"를 사용하여 컨트롤 포인트의 동작을 보장할 수 있다.

[0083]

이와 같은 본 발명에 따른 컨트롤 포인트의 구동 제어 장치(100)는 반도체에 탑재되는 로직 내장 자가 테스트(Logic BIST)와 함께 장착되어, 복수개의 컨트롤 포인트가 공유하여 사용할 수 있기 때문에 사이즈가 매우 작으며, 이를 통해 더 높은 테스트 커버리지를 얻을 수 있다. 즉, 본 발명에 따른 컨트롤 포인트의 제어 확률을 계산하는 구성, 컨트롤 라인을 통해 컨트롤 포인트와 연결되는 컨트롤 포인트 제어 로직, 컨트롤 포인트의 제어 확률을 기반으로 컨트롤 포인트의 구동을 제어하는 구성 등이 반도체 제품 제조 시 탑재되어, 자가 테스트를 수행할 수 있다.

[0086]

본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 저장 매체에 기록될 수 있다. 컴퓨터 판독 가능한 저장 매체는 실행을 위해 프로세서에 명령어를 제공하는데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 저장 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예컨대, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술 분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.

[0087]

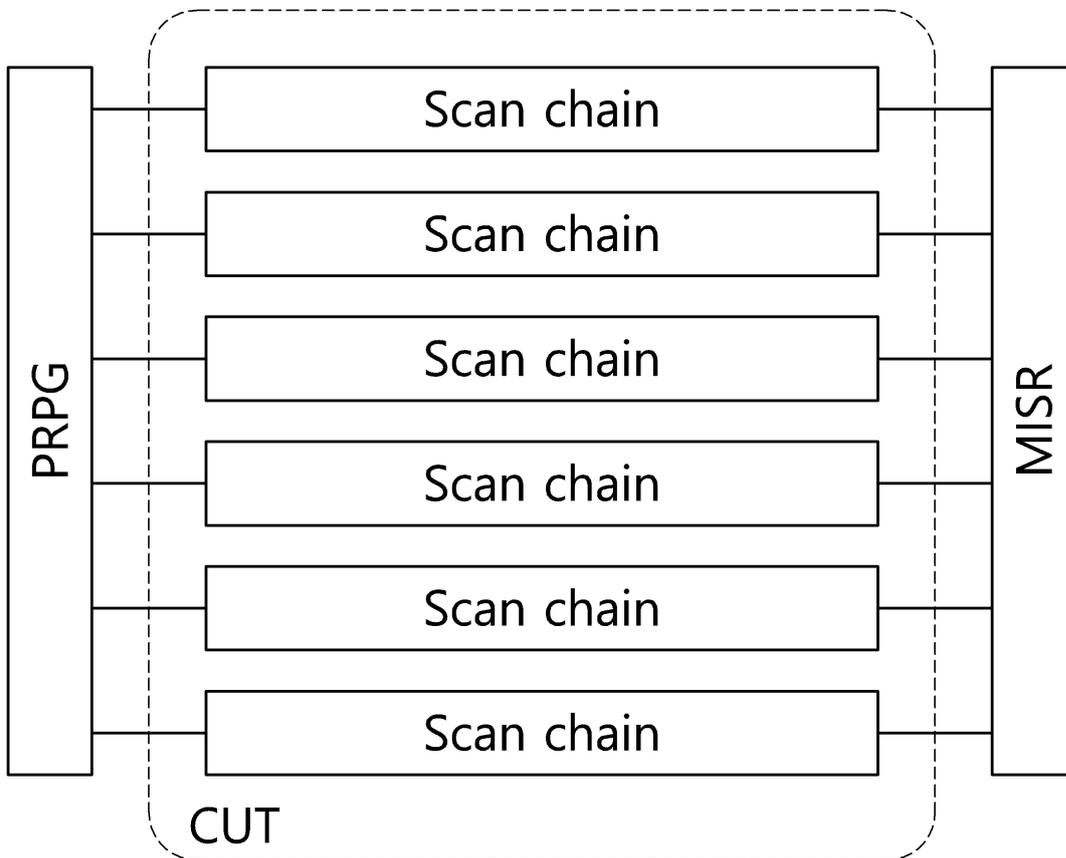
본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

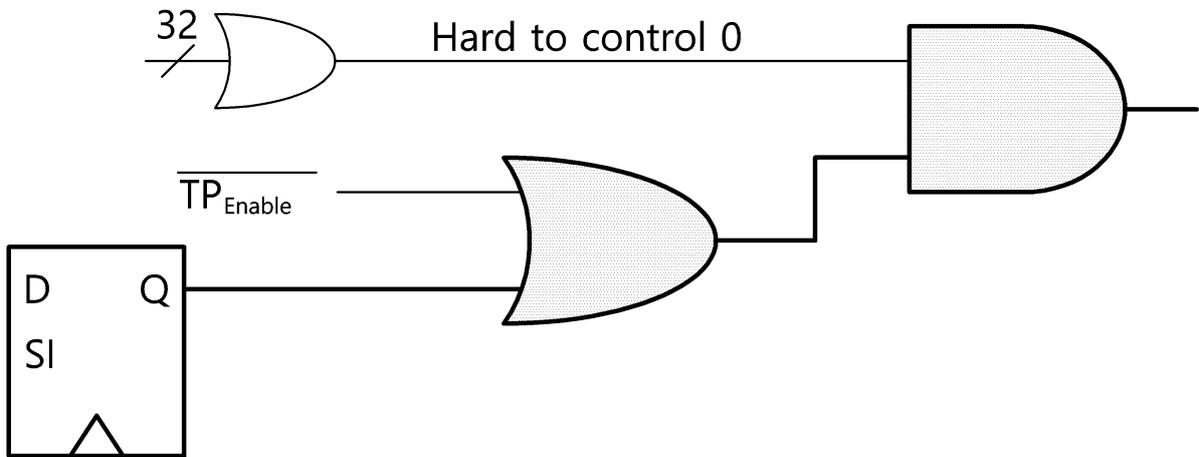
- [0088] 100 : 컨트롤 포인트의 구동 제어 장치,
- 110 : 프로세서,
- 130 : 컴퓨터 판독 가능한 저장 매체,
- 131 : 프로그램,
- 150 : 통신 버스,
- 170 : 입출력 인터페이스,
- 190 : 통신 인터페이스

도면

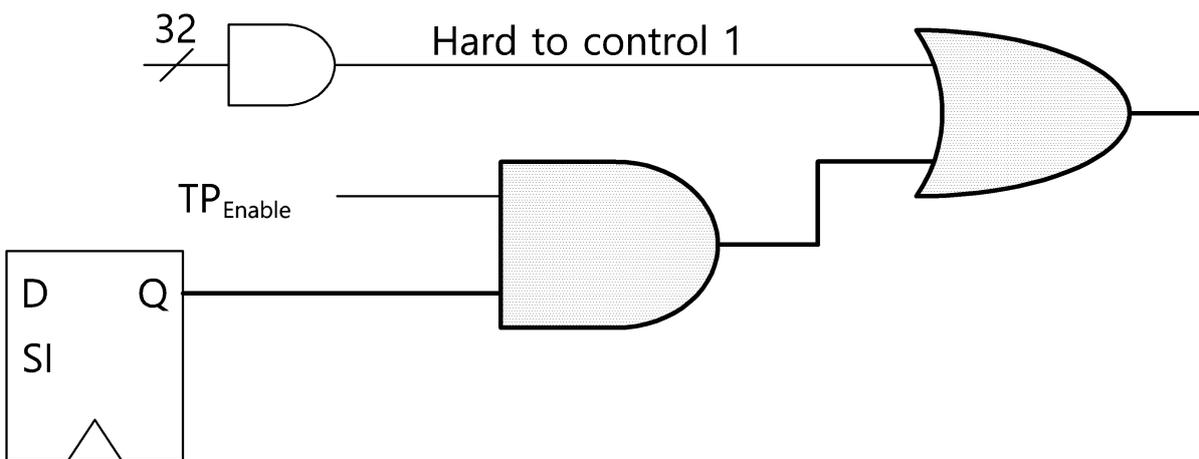
도면1



도면2

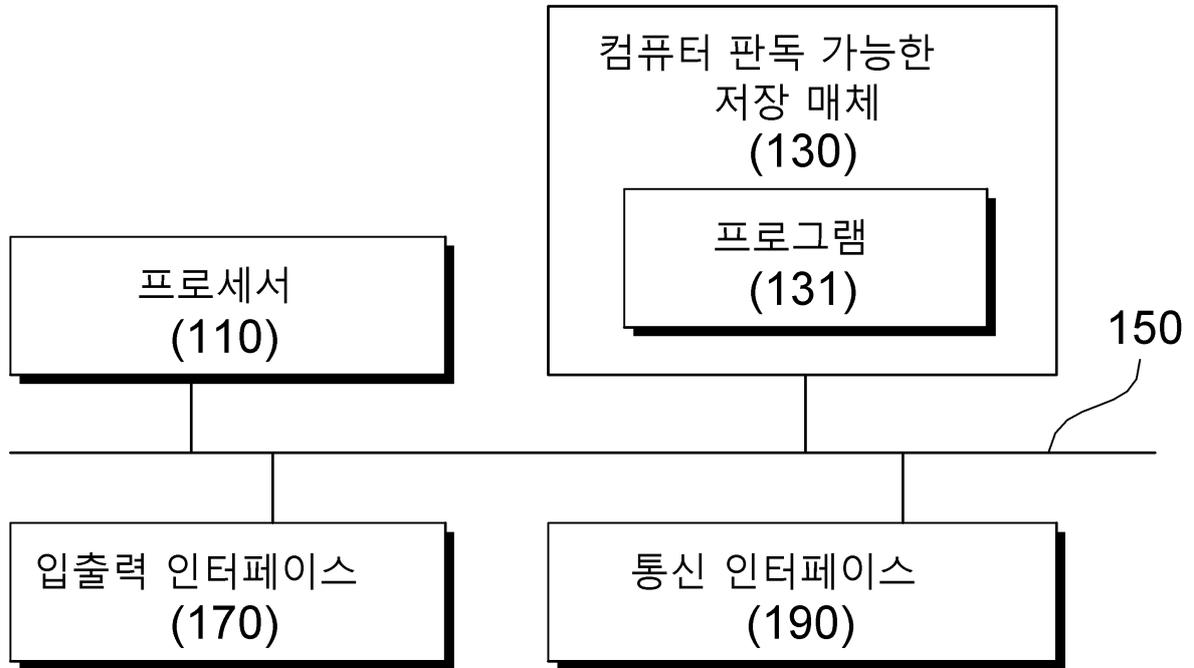


도면3

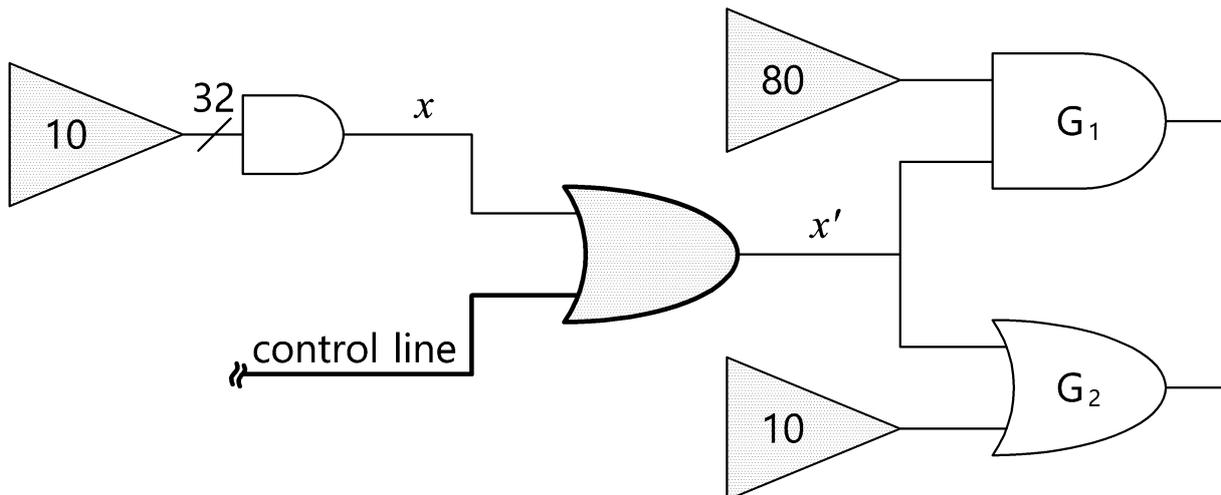


도면4

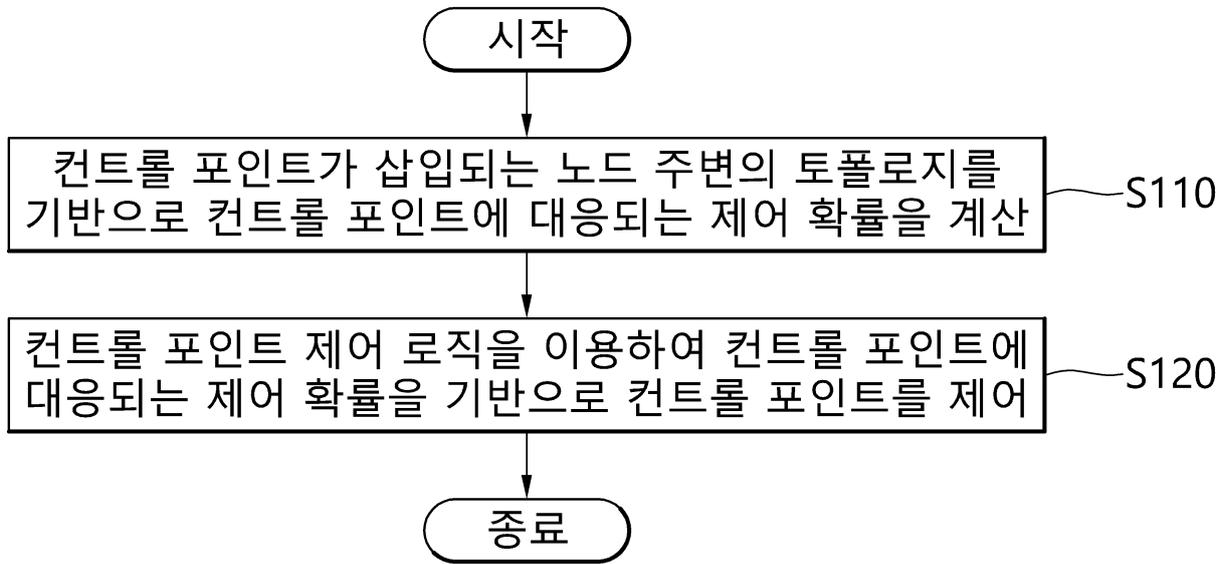
100



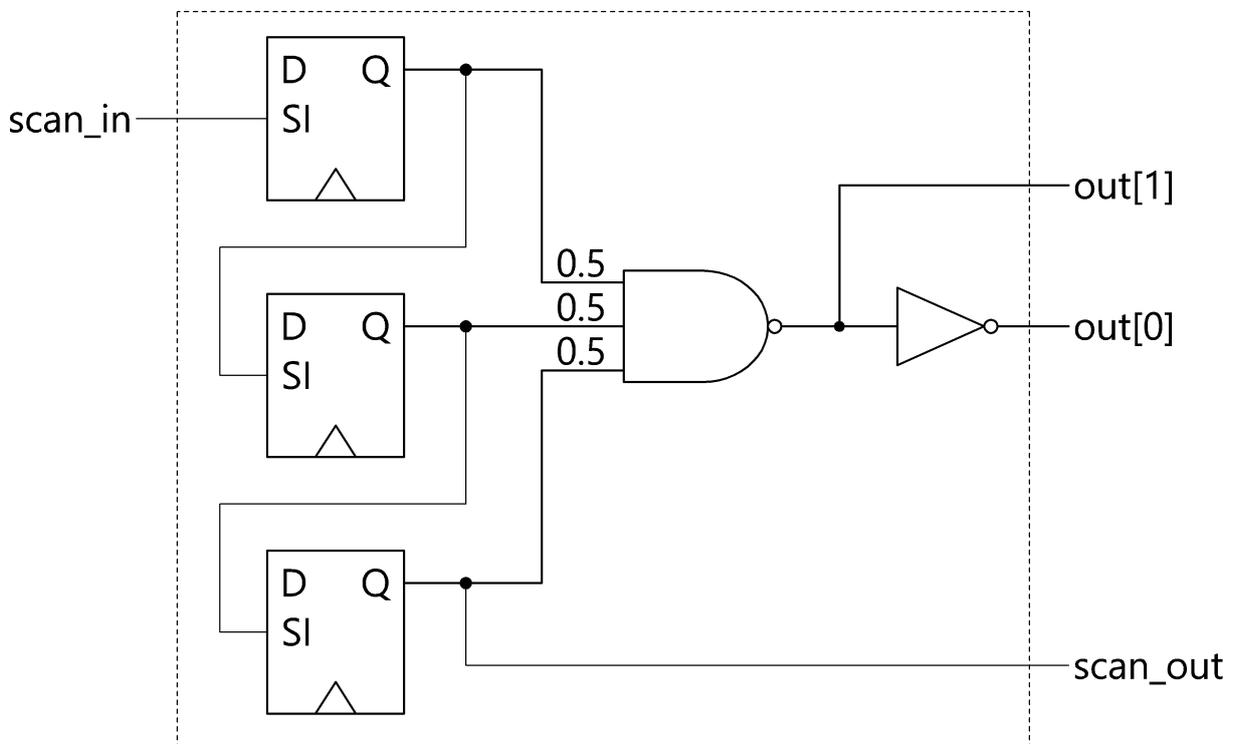
도면5



도면6



도면7



도면8

