



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년02월13일  
(11) 등록번호 10-2636607  
(24) 등록일자 2024년02월07일

(51) 국제특허분류(Int. Cl.)  
H03K 3/03 (2006.01) H03K 3/354 (2006.01)  
H03K 5/131 (2014.01) H03K 5/133 (2014.01)  
(52) CPC특허분류  
H03K 3/0315 (2013.01)  
H03K 3/354 (2013.01)  
(21) 출원번호 10-2022-0091020  
(22) 출원일자 2022년07월22일  
심사청구일자 2022년07월22일  
(65) 공개번호 10-2024-0013466  
(43) 공개일자 2024년01월30일  
(56) 선행기술조사문헌  
US05180994 A\*  
JP2000156629 A  
US20010033624 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
김태욱  
서울특별시 서대문구 연희로20길 33  
장준영  
서울특별시 서대문구 연세로 50, 제3공학관 509호  
송경석  
서울특별시 서대문구 연세로 50, 제3공학관 509호  
(74) 대리인  
특허법인시공

전체 청구항 수 : 총 10 항

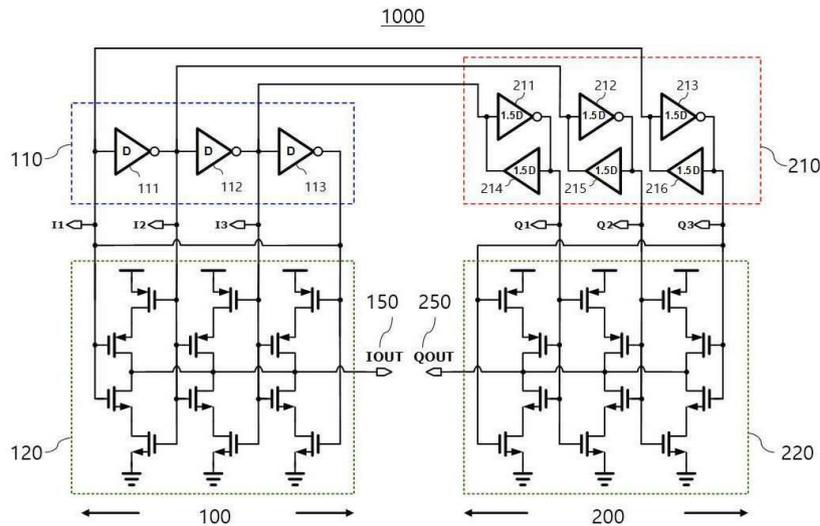
심사관 : 최규돈

(54) 발명의 명칭 다중 루프 버니어를 이용한 링 발진기

(57) 요약

본 발명의 디지털 제어 발진기는 제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및 상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함할 수 있다.

대표도



(52) CPC특허분류

*H03K 5/131* (2013.01)

*H03K 5/133* (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711152841
과제번호	2017-0-00418-006
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	ICT융합산업혁신기술개발사업
연구과제명	초고속 샘플링 기법을 이용한 시간도메인 인공지능 레이더 SoC (System On a Chip)
설계 연구	
기여율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2022.01.01 ~ 2022.12.31

---

## 명세서

### 청구범위

#### 청구항 1

제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및

상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함하고,

상기 제1 딜레이 셀은 지연 시간  $D$ 를 갖는 제1 인버터, 제2 인버터 및 제3 인버터를 포함하고,

상기 제1 계산 블록은 상기 제1 인버터의 제1 출력 전류, 상기 제2 인버터의 제2 출력 전류 및 상기 제3 인버터의 제3 출력 전류에 기초하여 상기 동 위상 신호를 출력하는

디지털 제어 발진기.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,

상기 제1 출력 전류, 상기 제2 출력 전류 및 상기 제3 출력 전류는 서로  $D$ 의 시간 차이를 가지고,

상기 동 위상 신호의 주기는  $2D$ 인

디지털 제어 발진기.

#### 청구항 4

제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및

상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함하고,

상기 제2 딜레이 셀은 지연 시간  $1.5D$ 를 갖는 제4 인버터, 제5 인버터 및 제6 인버터를 포함하고,

상기 제2 계산 블록은 상기 제4 인버터의 제4 출력 전류, 상기 제5 인버터의 제5 출력 전류 및 상기 제6 인버터의 제6 출력 전류에 기초하여 상기 직교 위상 신호를 출력하는

디지털 제어 발진기.

#### 청구항 5

제4항에 있어서,

상기 제4 출력 전류, 상기 제5 출력 전류 및 상기 제6 출력 전류는 서로  $1.5D$ 의 시간 차이를 가지고,

상기 직교 위상 신호의 주기는  $2D$ 인

디지털 제어 발진기.

#### 청구항 6

제1항에 있어서,

상기 동 위상 신호와 상기 직교 위상 신호는  $0.5D - D$ 는 상기 제1 인버터, 상기 제2 인버터 및 상기 제3 인버터의 지연 시간임 -의 시간 차를 갖는

디지털 제어 발진기.

#### 청구항 7

제1항에 있어서,

상기 제1 딜레이 셀과 상기 제2 딜레이 셀의 지연 시간의 차이는  $0.5D - D$ 는 상기 제1 인버터, 상기 제2 인버터 및 상기 제3 인버터의 지연 시간임 -인

디지털 제어 발진기.

#### 청구항 8

제4항에 있어서,

상기 제2 딜레이 셀은 상기 제4 출력 전류, 상기 제5 출력 전류 및 상기 제6 출력 전류의 안정성을 위해, 상기 제4 인버터와 반대 방향으로 병렬 연결된 제7 인버터, 상기 제5 인버터와 반대 방향으로 병렬 연결된 제8 인버터 및 상기 제6 인버터와 반대 방향으로 병렬 연결된 제9 인버터를 포함하는

디지털 제어 발진기.

#### 청구항 9

제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및

상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함하고,

상기 동 위상 신호의 주파수는 상기 제1 딜레이 셀의 출력 신호의 주파수의 3배인

디지털 제어 발진기.

#### 청구항 10

제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및

상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함하고,

상기 직교 위상 신호의 주파수는 상기 제2 딜레이 셀의 출력 신호의 주파수의 3배인

디지털 제어 발진기.

**청구항 11**

동 위상 신호 및 직교 위상 신호를 출력하는 디지털 제어 발진기를 포함하고,

상기 디지털 제어 발진기는:

제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 상기 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및

상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 상기 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함하고,

상기 제1 딜레이 셀은 지연 시간 D를 갖는 제1 인버터, 제2 인버터 및 제3 인버터를 포함하고,

상기 제1 계산 블록은 상기 제1 인버터의 제1 출력 전류, 상기 제2 인버터의 제2 출력 전류 및 상기 제3 인버터의 제3 출력 전류에 기초하여 상기 동 위상 신호를 출력하는

무선 통신 송수신기.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 링 발진기에 관한 것으로, 보다 상세하게는, 다중 루프 버니어 딜레이 셀을 이용하여 고주파수를 가진 신호를 출력하는 링 발진기에 관한 것이다.

**배경 기술**

[0002] 기술 발전에 따라 대용량, 고속 정보 처리에 대한 수요가 증가하였다. 이로 인해 송수신에 필요한 신호의 주파수가 점차 높아지면서, 고속 발진기의 필요성 또한 높아졌다. 디지털 제어 발진기는 송수신 신호의 변조 및 복조를 위한 로컬 발진기 신호를 생성하는 블록으로, 서로 1/4 위상 차이를 갖는 동 위상 신호(I-phase)와 직교 위상 신호(Q-phase)의 로컬 발진기 신호를 생성한다.

[0003] 고속 발진기 신호 생성을 위한 발진기의 구조는 대표적으로 두 가지가 있다. 하나는 인덕터와 커패시터를 사용하는 LC 발진기이고, 나머지 하나는 디지털 딜레이 셀을 이용한 링 발진기이다. 그 중 링 발진기는 LC 발진기 대비 낮은 전력 소모, 넓은 출력 주파수 조정 범위, 작은 회로 면적을 갖는다는 장점이 존재하고, 이로 인해 많은 응용 분야에서 사용되고 있다. 따라서, 많은 응용 분야에서 적용될 수 있는 높은 주파수의 신호를 출력할 수 있는 링 발진기가 필요하다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 일 과제는 다중 루프 버니어 딜레이 셀을 이용하여 고주파수를 가진 신호를 출력할 수 있는 링 발진기에 관한 것이다.

**과제의 해결 수단**

[0005] 일 실시예에 따른 링 발진기는 제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및 상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함할 수 있다.

[0006] 여기서, 상기 제1 딜레이 셀은 지연 시간 D를 갖는 제1 인버터, 제2 인버터 및 제3 인버터를 포함하고, 상기 제1 계산 블록은 상기 제1 인버터의 제1 출력 전류, 상기 제2 인버터의 제2 출력 전류 및 상기 제3 인버터의 제3 출력 전류에 기초하여 상기 동 위상 신호를 출력할 수 있다.

[0007] 여기서, 상기 제1 출력 전류, 상기 제2 출력 전류 및 상기 제3 출력 전류는 서로 D의 시간 차이를 가지고, 상기 동 위상 신호의 주기는 2D일 수 있다.

- [0008] 여기서, 상기 제2 딜레이 셀은 지연 시간 1.5D를 갖는 제4 인버터, 제5 인버터 및 제6 인버터를 포함하고, 상기 제2 계산 블록은 상기 제4 인버터의 제4 출력 전류, 상기 제5 인버터의 제5 출력 전류 및 상기 제6 인버터의 제6 출력 전류에 기초하여 상기 직교 위상 신호를 출력할 수 있다.
- [0009] 여기서, 상기 제4 출력 전류, 상기 제5 출력 전류 및 상기 제6 출력 전류는 서로 1.5D의 시간 차이를 가지고, 상기 직교 위상 신호의 주기는 2D일 수 있다.
- [0010] 여기서, 상기 동 위상 신호와 상기 직교 위상 신호는 0.5D의 시간 차를 가질 수 있다.
- [0011] 여기서, 상기 제1 딜레이 셀과 상기 제2 딜레이 셀의 지연 시간의 차이는 0.5D일 수 있다.
- [0012] 여기서, 상기 제2 딜레이 셀은 상기 제4 출력 전류, 상기 제5 출력 전류 및 상기 제6 출력 전류의 안정성을 위해, 상기 제4 인버터와 반대 방향으로 병렬 연결된 제7 인버터, 상기 제5 인버터와 반대 방향으로 병렬 연결된 제8 인버터 및 상기 제6 인버터와 반대 방향으로 병렬 연결된 제9 인버터를 포함할 수 있다.
- [0013] 여기서, 상기 동 위상 신호의 주파수는 상기 제1 딜레이 셀의 출력 신호의 주파수의 3배일 수 있다.
- [0014] 여기서, 상기 직교 위상 신호의 주파수는 상기 제2 딜레이 셀의 출력 신호의 주파수의 3배일 수 있다.
- [0016] 일 실시예에 따른 무선 통신 송수신기는 동 위상 신호 및 직교 위상 신호를 출력하는 링 발진기를 포함하고, 상기 링 발진기는: 제1 딜레이 셀 및 상기 제1 딜레이 셀의 출력 신호에 기초하여 상기 동 위상 신호를 출력하는 제1 계산 블록을 포함하는 동 위상 발진기; 및 상기 제1 딜레이 셀의 출력 신호를 입력으로 하는 제2 딜레이 셀 및 상기 제2 딜레이 셀의 출력 신호에 기초하여 상기 직교 위상 신호를 출력하는 제2 계산 블록을 포함하는 직교 위상 발진기를 포함할 수 있다.

**발명의 효과**

- [0017] 본 발명의 일 실시예에 따르면 다중 루프 버니어 딜레이 셀을 이용하여 고주파수를 가진 신호를 출력할 수 있는 링 발진기가 제공될 수 있다.

**도면의 간단한 설명**

- [0018] 도 1은 종래의 링 발진기의 블록도와 출력 신호를 나타내는 도면이다.
- 도 2는 모스펫의 게이트 길이에 따른 링 발진기의 최대 주파수의 그래프를 나타내는 도면이다.
- 도 3은 일 실시예에 따른 링 발진기의 회로도이다.
- 도 4는 일 실시예에 따른 링 발진기의 동 위상 발진기의 동작과 출력 신호를 나타내는 도면이다.
- 도 5는 일 실시예에 따른 링 발진기의 직교 위상 발진기의 동작과 출력 신호를 나타내는 도면이다.
- 도 6은 링 발진기의 동 위상 발진기와 관련된 신호의 예시를 나타내는 도면이다.
- 도 7은 링 발진기의 직교 위상 발진기와 관련된 신호의 예시를 나타내는 도면이다.
- 도 8은 본원 발명의 링 발진기가 적용된 무선 통신 송수신기를 설명하기 위한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 본 명세서에 기재된 실시예는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 사상을 명확히 설명하기 위한 것이므로, 본 발명이 본 명세서에 기재된 실시예에 한정되는 것은 아니며, 본 발명의 범위는 본 발명의 사상을 벗어나지 아니하는 수정예 또는 변형예를 포함하는 것으로 해석되어야 한다.
- [0020] 본 명세서에서 사용되는 용어는 본 발명에서의 기능을 고려하여 가능한 현재 널리 사용되고 있는 일반적인 용어를 선택하였으나 이는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자의 의도, 관례 또는 새로운 기술의 출현 등에 따라 달라질 수 있다. 다만, 이와 달리 특정한 용어를 임의의 의미로 정의하여 사용하는 경우에는 그 용어의 의미에 관하여 별도로 기재할 것이다. 따라서 본 명세서에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가진 실질적인 의미와 본 명세서의 전반에 걸친 내용을 토대로 해석되어야 한다.
- [0021] 본 명세서에 첨부된 도면은 본 발명을 용이하게 설명하기 위한 것으로 도면에 도시된 형상은 본 발명의 이해를 돕기 위하여 필요에 따라 과장되어 표시된 것일 수 있으므로 본 발명이 도면에 의해 한정되는 것은 아니다.

- [0022] 본 명세서에서 본 발명에 관련된 공지의 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에 이에 관한 자세한 설명은 필요에 따라 생략하기로 한다.
- [0024] 도 1은 종래의 링 발진기의 블록도와 출력 신호를 나타내는 도면이다.
- [0025] 도 1을 참조하면, 종래의 링 발진기는 2개의 딜레이 셀을 포함할 수 있다. 구체적으로, 종래의 링 발진기는 D의 지연 시간을 갖는 2개의 인버터를 포함할 수 있다.
- [0026] 종래의 링 발진기 회로의 임의의 지점에서 신호가 원위치로 돌아오기까지, 신호는 딜레이 셀을 4번 거치게 된다. 따라서, 도 1의 링 발진기는 4D의 발진 주기를 가지게 된다. 종래의 링 발진기의 주파수를 높이기 위해서는, D값을 줄여야 한다.
- [0027] D값을 줄이기 위한 다양한 방법이 존재할 수 있다. 그 중 회로에서 지연 시간에 영향을 주는 주요 요소는 MOSFET의 게이트 길이(Gate length)이다. 게이트 길이가 작을수록, 지연 시간은 줄어든다.
- [0028] 그러나, 게이트 길이의 최소값은 반도체 공정에 의해 결정된다. 이와 관련하여 도 2의 그래프를 참조하여 설명한다.
- [0030] 도 2는 MOSFET의 게이트 길이에 따른 링 발진기의 최대 주파수의 그래프를 나타내는 도면이다.
- [0031] 도 2를 참조하면, MOSFET의 게이트 길이가 작아질수록(x축 방향으로 오른쪽으로 갈수록) 링 발진기의 최대 주파수는 증가하는 것을 알 수 있다. 구체적으로, MOSFET의 게이트 길이가 작아질수록, 발진기의 지연 시간이 줄어들기 때문에, 링 발진기의 최대 주파수는 증가하게 된다. 따라서, 발진기의 주파수를 향상시키는 방법은 MOSFET의 게이트 길이를 감소시키는 것일 수 있다.
- [0032] 그러나, 게이트 길이의 최소값은 반도체 공정에 의해 결정된다. 따라서, 링 발진기의 최대 동작 속도는 반도체 공정에 의해 제한되는 문제가 발생된다. 링 발진기의 주파수를 높이기 위해서는, 더 미세한 반도체 공정을 사용한 설계가 필요하다. 그러나, 칩 제작 설비나 상황에 따라 반도체 공정이 고정되어 있거나, 더 이상 줄일 수 없는 환경이 많기 때문에, MOSFET의 게이트 길이로 링 발진기의 주파수를 향상시키는 것에는 한계가 있다.
- [0033] 본원 발명은 더 미세한 공정을 사용하지 않고도 발진기의 동작 속도를 높일 수 있는 새로운 링 발진기 구조를 제안한다. 구체적으로, 본원 발명은 다중 루프 버니어를 사용하는 링 발진기에 관한 것이다. 이하에서 도면을 참조하여 구체적으로 설명한다.
- [0035] 도 3은 일 실시예에 따른 링 발진기의 회로도이다.
- [0036] 도 3을 참조하면, 본원 발명의 일 실시예에 따른 링 발진기(1000)는 동 위상 발진기(100) 및 직교 위상 발진기(200)를 포함할 수 있다.
- [0037] 동 위상 발진기(100)는 동 위상(I-phase) 신호(150)를 출력할 수 있다. 동 위상 발진기(100)는 제1 딜레이 셀(110) 및 제1 계산 블록(120)을 포함할 수 있다.
- [0038] 제1 딜레이 셀(110)은 메인이 되는 디지털 제어 발진기로서, 지연 시간 D를 갖는 3개의 인버터를 포함할 수 있다. 구체적으로, 제1 딜레이 셀(110)은 제1 인버터(111), 제2 인버터(112) 및 제3 인버터(113)를 포함할 수 있다.
- [0039] 제1 인버터(111)는 제1 출력 전류(I1)를 출력할 수 있다. 제2 인버터(112)는 상기 제1 출력 전류(I1)를 입력으로 하여, 제2 출력 전류(I2)를 출력할 수 있다. 제3 인버터(113)는 상기 제2 출력 전류(I2)를 입력으로 하여, 제3 출력 전류(I3)를 출력할 수 있다. 제1 인버터(111), 제2 인버터(112) 및 제3 인버터(113)는 지연 시간 D를 갖기 때문에, 상기 제1 출력 전류(I1), 상기 제2 출력 전류(I2) 및 상기 제3 출력 전류(I3)는 서로 D의 시간 차이를 가질 수 있다.
- [0040] 제1 딜레이 셀(110)의 출력 신호(I1, I2, I3)는 제1 계산 블록(120)으로 입력된다. 제1 계산 블록(120)은 상기 제1 딜레이 셀(110)의 출력 신호를 입력으로 하여, 동 위상 신호(150)를 출력할 수 있다. 구체적으로, 제1 계산 블록(120)은 실시간으로 제1 인버터(111), 제2 인버터(112) 및 제3 인버터(113)의 출력 전류를 합하는 연산을 수행할 수 있다.
- [0041] 제1 계산 블록(120)은 복수의 MOSFET을 포함할 수 있다. 복수의 MOSFET은 제1 출력 전류(I1), 제2 출력 전류(I2) 및 제3 출력 전류(I3)에 기초하여 덧셈 연산을 수행할 수 있도록 구성될 수 있다.

- [0042] 제1 계산 블록(120)의 동작과 동 위상 신호(150)는 도 4를 참조하여 이하에서 자세히 설명한다.
- [0043] 제2 딜레이 셀(210)은 다중 루프 버니어 디지털 제어 발진기로서, 지연 시간 1.5d를 갖는 6개의 인버터를 포함할 수 있다. 구체적으로, 제2 딜레이 셀(210)은 제4 인버터(211), 제5 인버터(212) 및 제6 인버터(213)를 포함할 수 있다. 또한, 제2 딜레이 셀(210)은 제7 인버터(214), 제8 인버터(215) 및 제9 인버터(216)를 포함할 수 있다.
- [0044] 제4 인버터(211)는 제1 딜레이 셀(110)의 제1 인버터(111)의 출력 전류인 제1 출력 전류(I1)를 입력으로 하여, 제4 출력 전류(Q1)를 출력할 수 있다. 제5 인버터(212)는 제2 인버터(112)의 출력 전류인 제2 출력 전류(I2)를 입력으로 하여, 제5 출력 전류(Q2)를 출력할 수 있다. 제6 인버터(213)는 제3 인버터(113)의 출력 전류인 제3 출력 전류(I3)를 입력으로 하여, 제6 출력 전류(Q3)를 출력할 수 있다.
- [0045] 제2 딜레이 셀(210)은 출력 전류의 안정성을 위해 제7 인버터(214), 제8 인버터(215) 및 제9 인버터(216)를 포함할 수 있다. 이때, 제7 인버터(214), 제8 인버터(215) 및 제9 인버터(216)는 제4 인버터(211), 제5 인버터(212) 및 제6 인버터(213)에 각각 반대 방향으로 병렬 연결될 수 있다.
- [0046] 구체적으로, 제7 인버터(214)는 제4 인버터(211)와 반대 방향으로 제4 인버터(211)에 병렬로 연결될 수 있다. 제7 인버터(214)는 제4 인버터(211)의 출력 신호를 입력으로 하여, 다시 제4 인버터(211)의 입력 신호를 출력할 수 있다. 제7 인버터(214)의 출력 신호는 제4 인버터(211)의 입력으로 되어, 제4 인버터(211)에 계속해서 동일한 입력 신호가 인가될 수 있다.
- [0047] 또한, 제8 인버터(215)는 제5 인버터(212)와 반대 방향으로 제5 인버터(212)에 병렬로 연결될 수 있다. 또한, 제9 인버터(216)는 제6 인버터(213)와 반대 방향으로 제6 인버터(213)에 병렬로 연결될 수 있다. 마찬가지로, 제8 인버터(215) 및 제9 인버터(216)에 의해 제5 인버터(212) 및 제6 인버터(213)에 계속해서 동일한 입력 신호가 인가될 수 있다.
- [0048] 제2 딜레이 셀(210)의 출력 신호(Q1, Q2, Q3)는 제2 계산 블록(220)으로 입력된다. 제2 계산 블록(220)은 상기 제2 딜레이 셀(210)의 출력 신호를 입력으로 하여, 직교 위상 신호(250)를 출력할 수 있다. 구체적으로, 제2 계산 블록(220)은 실시간으로 제4 인버터(211), 제5 인버터(212) 및 제6 인버터(213)의 출력 전류를 합하는 연산을 수행할 수 있다.
- [0049] 제2 계산 블록(220)은 복수의 모스펫을 포함할 수 있다. 복수의 모스펫은 제4 출력 전류(Q1), 제5 출력 전류(Q2) 및 제6 출력 전류(Q3)에 기초하여 덧셈 연산을 수행할 수 있도록 구성될 수 있다. 제2 계산 블록(220)은 제1 계산 블록(120)과 동일할 수 있으나, 이에 한정되지 않는다.
- [0050] 제2 계산 블록(220)의 동작과 직교 위상 신호(250)는 도 5를 참조하여 이하에서 자세히 설명한다.
- [0052] 도 4는 일 실시예에 따른 링 발진기의 동 위상 발진기의 동작과 출력 신호를 나타내는 도면이다.
- [0053] 도 4를 참조하면, 시간에 따른 동 위상 발진기(100)의 동작과 동 위상 발진기(100)와 관련된 출력 신호의 형태를 알 수 있다.
- [0054] 도 4에 도시된 바와 같이, 제1 출력 전류(I1), 제2 출력 전류(I2) 및 제3 출력 전류(I3)는 3D마다 값이 달라져, 6D의 주기를 갖는다. 또한, 제1 출력 전류(I1), 제2 출력 전류(I2) 및 제3 출력 전류(I3)는 서로 D의 시간 차를 갖는다.
- [0055] 제1 출력 전류(I1), 제2 출력 전류(I2) 및 제3 출력 전류(I3)에 기초하여 생성된 동 위상 신호(IOUT, 150)는 2D의 주기를 갖는 것을 알 수 있다. 따라서, 동 위상 신호(150)의 주기는 제1 딜레이 셀(110)의 출력 신호(I1, I2, I3)의 1/3배이다. 즉, 동 위상 신호(150)의 주파수는 제1 딜레이 셀(110)의 출력 신호(I1, I2, I3)의 3배이다.
- [0056] 도 4의 왼쪽 3개의 도면을 살펴보면, 동 위상 신호(150)의 고점 또는 저점에서의 제1 계산 블록의 동작을 알 수 있다.
- [0057] 동 위상 신호(150)가 저점에 있다가 고점에 도달하는 시기인 제1 시점(t1)에서의 제1 계산 블록(120)은 첫 번째 도면에 도시되어 있다. 구체적으로, 제1 시점(t1)은 제1 출력 전류(I1)가 막 고점에 도달한 시점으로, 제2 출력 전류(I2)가 고점에 있고 제3 출력 전류(I3)가 저점에 있는 시점일 수 있다.
- [0058] 또한, 동 위상 신호(150)가 고점에 있다가 저점으로 도달하는 시기인 제2 시점(t2)에서의 제1 계산 블록(120)은

두 번째 도면에 도시되어 있다. 구체적으로, 제2 시점(t2)은 제2 출력 전류(I2)가 막 저점에 도달한 시점으로, 제1 출력 전류(I1)가 고저에 있고 제3 출력 전류(I3)가 저점에 있는 시점일 수 있다.

- [0059] 또한, 동 위상 신호(150)가 저점에 있다가 고점에 도달하는 시기인 제3 시점(t3)에서의 제1 계산 블록(120)은 세 번째 도면에 도시되어 있다. 구체적으로, 제3 시점(t3)은 제1 시점(t1)과 달리 제3 출력 전류(I3)가 막 고점에 도달한 시점으로, 제1 출력 전류(I1)가 고점에 있고 제2 출력 전류(I2)가 저점에 있는 시점일 수 있다.
- [0061] 도 5는 일 실시예에 따른 링 발진기의 직교 위상 발진기의 동작과 출력 신호를 나타내는 도면이다.
- [0062] 도 5를 참조하면, 시간에 따른 직교 위상 발진기(200)의 동작과 직교 위상 발진기(200)와 관련된 출력 신호의 형태를 알 수 있다.
- [0063] 도 5에 도시된 바와 같이, 제4 출력 전류(Q1), 제5 출력 전류(Q2) 및 제6 출력 전류(Q3)는 3D마다 값이 달라져, 6D의 주기를 갖는다. 또한, 제4 인버터(211), 제5 인버터(212) 및 제6 인버터(213)는 각각 제1 인버터(111), 제2 인버터(112) 및 제3 인버터(113)의 출력 신호를 입력으로 하고, 1.5D의 지연 시간을 갖는다. 따라서, 제4 인버터(211), 제5 인버터(212) 및 제6 인버터(213)의 출력 신호(Q1, Q2, Q3)는 각각 제1 인버터(111), 제2 인버터(112) 및 제3 인버터(113)의 출력 신호(I1, I2, I3)에 비해 1.5D의 지연 시간을 갖는다.
- [0064] 제4 출력 전류(Q1), 제5 출력 전류(Q2) 및 제6 출력 전류(Q3)에 기초하여 생성된 직교 위상 신호(QOUT, 250)는 2D의 주기를 갖는 것을 알 수 있다. 또한, 직교 위상 신호(250)와 동 위상 신호(150)를 비교하였을 때, 서로 0.5D의 위상 차이를 갖는 것을 확인할 수 있다. 0.5D의 위상 차이는 정상적인 I/Q 로컬 발진기 신호가 생성된 것을 의미하는 것일 수 있다. 따라서, 본원 발명의 링 발진기는 종래의 0.5D 지연 시간을 갖는 딜레이 셀 없이 지연 시간 D와 1.5D를 갖는 딜레이 셀을 통해, 2D의 발진 주기를 갖는 I/Q 신호를 생성하는 것을 확인할 수 있다.
- [0066] 도 6은 링 발진기의 동 위상 발진기와 관련된 신호의 예시를 나타내는 도면이다.
- [0067] 도 6을 참조하면, 제1 딜레이 셀(110)의 출력 신호(I1, I2, I3)는 6D의 주기를 갖는 것을 확인할 수 있다. 또한, 제1 딜레이 셀(110)의 출력 신호에 기초하여 생성된 동 위상 신호(IOUT, 150)는 2D의 주기를 갖는 것을 확인할 수 있다.
- [0069] 도 7은 링 발진기의 직교 위상 발진기와 관련된 신호의 예시를 나타내는 도면이다.
- [0070] 도 7을 참조하면, 제1 딜레이 셀(110)의 출력 신호(I1, I2, I3)를 입력으로 하여 출력 신호(Q1, Q2, Q3)를 출력하는 직교 위상 발진기(200)와 관련된 신호를 확인할 수 있다.
- [0071] 제1 출력 전류(I1)를 입력 신호로 하는 제4 인버터(211)의 제4 출력 전류(Q1)는 제1 출력 전류(I1)와 1.5D의 시간 차를 갖는 것을 확인할 수 있다. 또한, 제2 딜레이 셀(210)의 출력 신호(Q1, Q2, Q3)는 6D의 주기를 갖는 것을 확인할 수 있다. 또한, 동 위상 신호(150)와 직교 위상 신호(250)의 위상 차이는 0.5D인 것을 확인할 수 있다.
- [0073] 도 8은 본원 발명의 링 발진기가 적용된 무선 통신 송수신기를 설명하기 위한 도면이다.
- [0074] 도 8을 참조하면, 무선 통신 송수신기는 수신 모듈(Rx) 및 송신 모듈(Tx)을 포함할 수 있다. 본원 발명의 링 발진기(1000)는 수신 모듈 및 송신 모듈에 연결되어, 동 위상 신호(150) 및 직교 위상 신호(250)를 제공할 수 있다.
- [0075] 또한, 본원 발명의 링 발진기(1000)는 RF 트랜시버 뿐만 아니라, 위상 동기 회로(Phase Locked Loop, PLL) 및 통신 시스템 전반에 사용될 수 있다. 본원 발명의 링 발진기는 다중 루프 버니어 디지털 제어 발진기를 사용함으로써, 반도체 공정과 상관없이 종래보다 주파수를 2배 이상 증가시킬 수 있다.
- [0077] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은

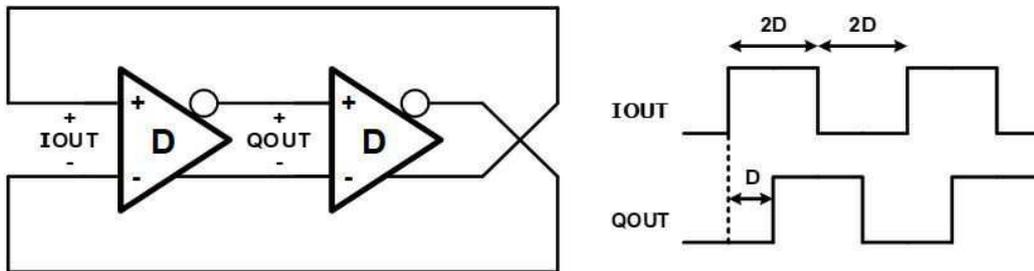
기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다

[0078] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

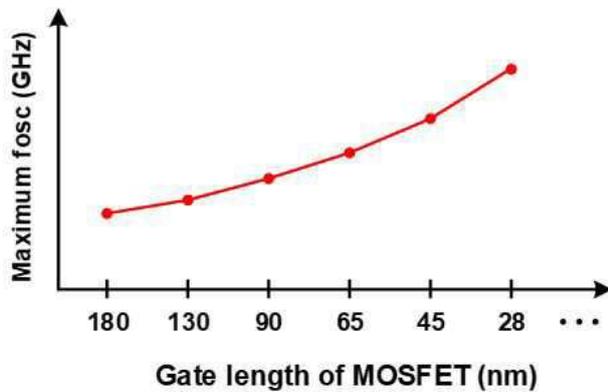
[0079] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

**도면**

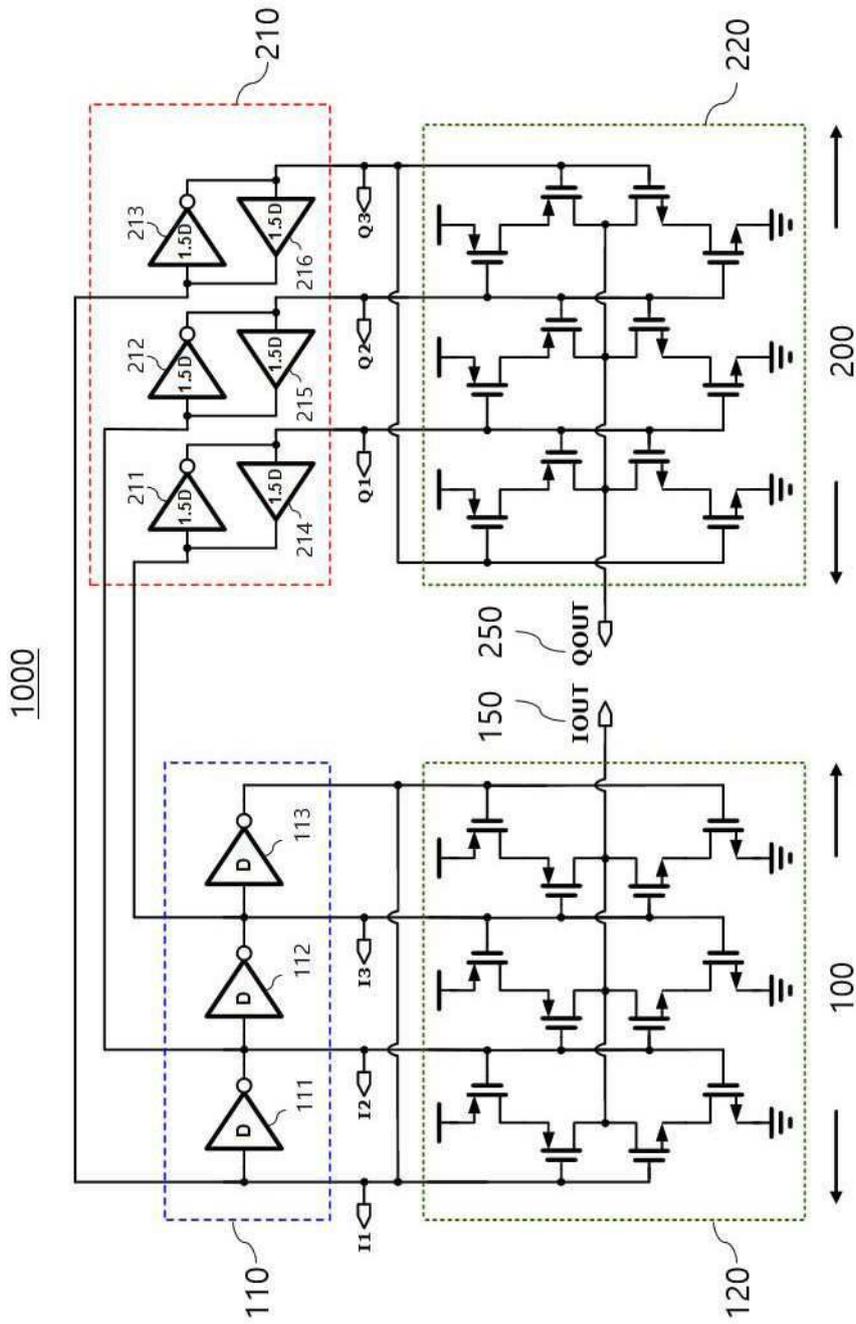
**도면1**



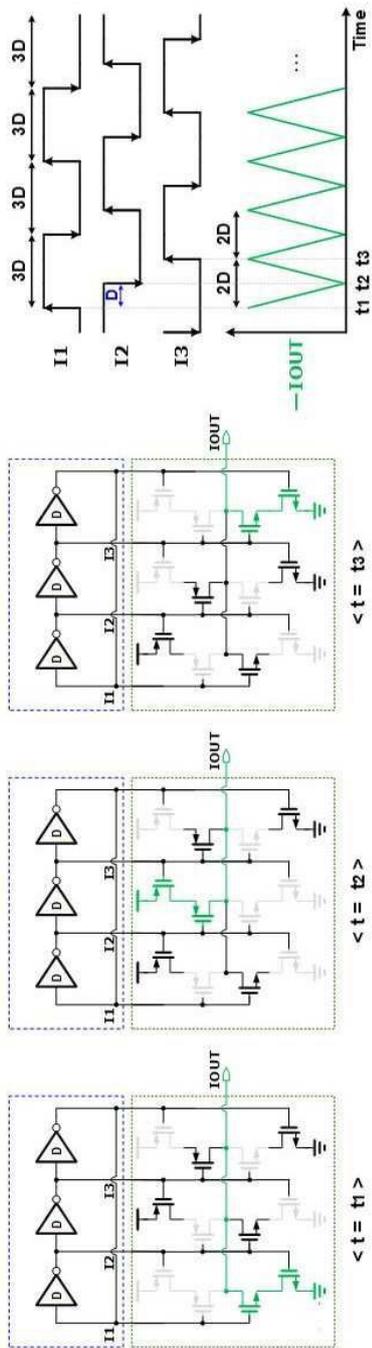
**도면2**



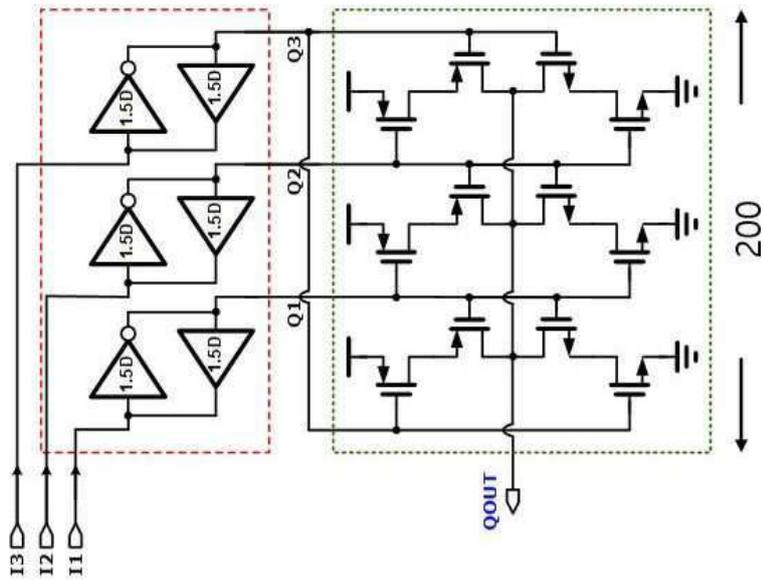
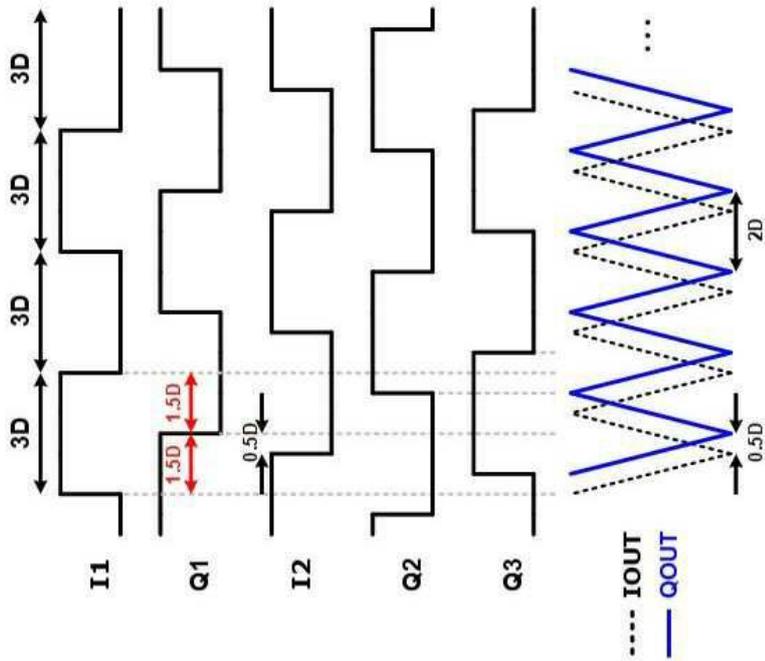
도면3



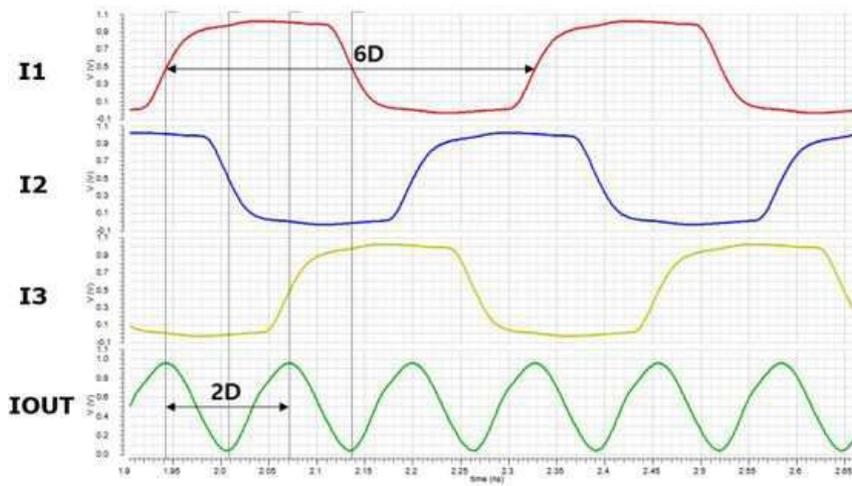
도면4



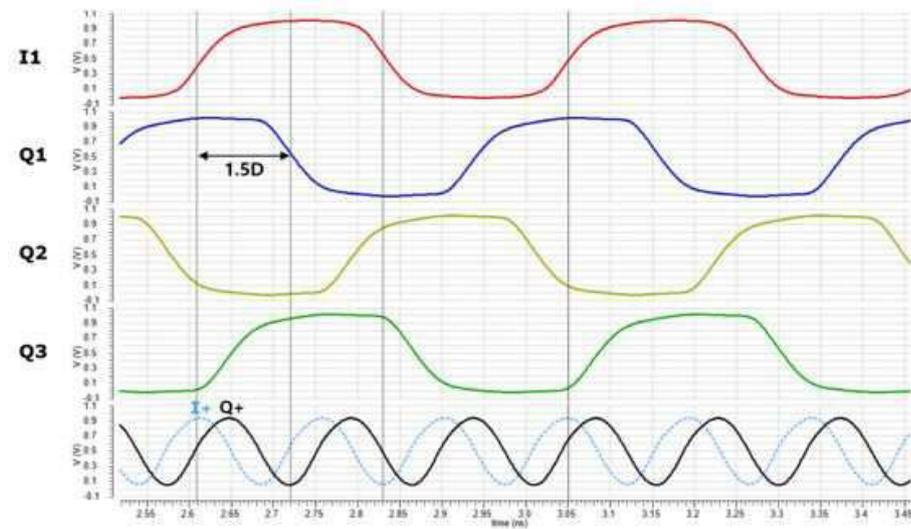
도면5



도면6



도면7



도면8

