



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년01월30일
(11) 등록번호 10-2631903
(24) 등록일자 2024년01월26일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 29/47 (2006.01)
(52) CPC특허분류
H01L 29/66143 (2013.01)
H01L 29/47 (2013.01)
(21) 출원번호 10-2022-0011584
(22) 출원일자 2022년01월26일
심사청구일자 2022년01월26일
(65) 공개번호 10-2023-0115066
(43) 공개일자 2023년08월02일
(56) 선행기술조사문헌
US20210193645 A1*
JP05175486 A*
JP2018195819 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
전성찬
서울특별시 종로구 진흥로 438-4, 2-401(구기동, 동진스위트빌라)
하지상
경기도 하남시 미사강변서로 45, 2207동 601호(풍산동, 미사강변동원로알듀크)
(74) 대리인
특허법인(유한)아이시스
(뒷면에 계속)

전체 청구항 수 : 총 12 항

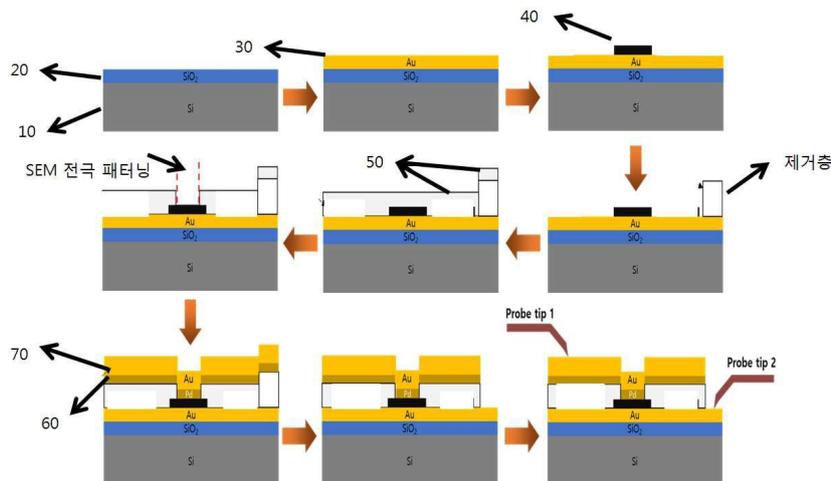
심사관 : 김중호

(54) 발명의 명칭 주사전자현미경을 사용한 쇼트키 다이오드의 제조방법

(57) 요약

주사전자현미경을 사용한 쇼트키 다이오드의 제조방법 및 이에 따라 제조된 쇼트키 다이오드에 관한 것으로서, 주사전자현미경(SEM)을 사용하여 쇼트키 다이오드를 제조하므로, 장비 활용, 장비 구비, 대량 생산 및 전자빔 리소그래피 자체의 복잡한 공정과 같은 기존 전자빔 리소그래피를 진행하기 위해 고려해야 되는 다양한 요소들을 배제함으로써 생산에 필요한 다양한 시간적, 공간적 비용을 줄일 수 있으며, 생산공정 감소로 인해 생산단가 감소 및 수율이 증가하는 장점이 있다.

대표도 - 도1



(72) 발명자

박세원

서울특별시 양천구 목동동로 100, 1328동 1201호(신정동, 목동신시가지아파트13단지)

임채광

경기도 안산시 상록구 건지미길 27, 202호(건건동)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711109897
 과제번호 2019R1A2C2090443
 부처명 과학기술정보통신부
 과제관리(전문)기관명 한국연구재단
 연구사업명 중견연구자지원사업
 연구과제명 비등방성 열전 이온 확산을 통한 필름형 자가 열충전 슈퍼캐패시터
 기여율 1/4
 과제수행기관명 연세대학교
 연구기간 2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 1711135294
 과제번호 2017M3A7B4041988
 부처명 과학기술정보통신부
 과제관리(전문)기관명 한국연구재단
 연구사업명 원천기술개발사업
 연구과제명 나노 융복합 소재를 이용한 어레이 기반 VOCs 센싱
 기여율 1/4
 과제수행기관명 연세대학교
 연구기간 2021.01.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1415173534
 과제번호 20013621
 부처명 산업통상자원부
 과제관리(전문)기관명 한국산업기술평가관리원
 연구사업명 산업기술거점센터육성시범사업(R&D)
 연구과제명 초임계 소재 산업기술거점센터
 기여율 1/4
 과제수행기관명 연세대학교 산학협력단
 연구기간 2021.03.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1485018004
 과제번호 ARQ202101038001
 부처명 환경부
 과제관리(전문)기관명 한국환경산업기술원
 연구사업명 환경기술개발사업
 연구과제명 유해인자 DB구축 및 IoT기반 공기포집-농축-전처리-상시진단 연계기술개발
 기여율 1/4
 과제수행기관명 연세대학교 산학협력단
 연구기간 2021.04.01 ~ 2021.12.31

명세서

청구범위

청구항 1

버퍼층이 증착된 기판을 준비하는 단계;

상기 버퍼층 상에, 제1 전극을 증착시키는 단계;

상기 제1 전극 상에, 반도체층을 형성시키는 단계;

상기 반도체층 상에, 전자빔 레지스트층을 형성시켜 적층체를 형성시키는 단계;

상기 적층체의 전자빔 레지스트층의 면측에, 주사전자현미경(scanning electron microscope; SEM)을 사용하여 전자빔을 노출시킨 후 전극 패터닝을 수행하는 단계; 및

상기 적층체의 패터닝된 면측에, 금속층과 제2 전극을 증착시키는 단계를 포함하는 쇼트키 다이오드의 제조방법.

청구항 2

제1항에 있어서,

상기 기판은 실리콘 웨이퍼, 유리, PI(polyimide), PET(Polyethylene naphthalate), PEN(Polyethylene terephthalate), 및 metal foil로 이루어진 군으로부터 선택된 1종 이상인 것인 쇼트키 다이오드의 제조방법.

청구항 3

제1항에 있어서,

상기 버퍼층은 SiO₂, 및 SiN로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것인 쇼트키 다이오드의 제조방법.

청구항 4

제1항에 있어서,

상기 제1 전극은 금(Au), 은(Ag), 알루미늄(Al), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 및 그래핀으로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것인 쇼트키 다이오드의 제조방법.

청구항 5

제1항에 있어서,

상기 반도체층은 전이금속 디칼코겐 화합물(Transition metal dichalcogenide; TMD)를 포함하는 것인 쇼트키 다이오드의 제조방법.

청구항 6

제1항에 있어서,

상기 반도체층은 제1 전극 상의 일부에 형성되는 것인 쇼트키 다이오드의 제조방법.

청구항 7

제6항에 있어서,

상기 반도체층이 형성되지 않은 제1 전극 상의 일부에, 제거층을 형성시키는 단계를 더 포함하는 것인 쇼트키 다이오드의 제조방법.

청구항 8

제1항에 있어서,

상기 반도체층 상에 패시베이션층(passivation layer)를 형성시키는 단계를 더 포함하는 것인 쇼트키 다이오드의 제조방법.

청구항 9

제1항에 있어서,

상기 전극 패터닝을 수행하는 단계에서,

상기 주사전자현미경(FE-SEM)을 가속전압 8kV 내지 12kV, 흡수전류 200pA 내지 240pA, 및 노출시간 20초 내지 40초의 조건으로 전자빔을 노출시키는 것을 포함하는 쇼트키 다이오드의 제조방법.

청구항 10

제1항에 있어서,

상기 금속층과 제2 전극을 증착시키는 단계에서,

전극 패터닝되어 제거된 부분에 금속층과 제2 전극을 형성시킬 때, 전극 패터닝 되지 않아 제거되지 않은 부분에 위치한 전자빔 레지스트층보다 더 두껍게 증착시키는 것인 쇼트키 다이오드의 제조방법.

청구항 11

제7항에 있어서,

상기 제거층을 제거하는 단계를 더 포함하는 것인 쇼트키 다이오드의 제조방법.

청구항 12

제1항에 있어서,

상기 제2 전극은 금(Au), 은(Ag), 알루미늄(Al), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), ITO, ZnO, 및 Ta₂O₅로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것인 쇼트키 다이오드의 제조방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

[0001] 주사전자현미경을 사용한 쇼트키 다이오드의 제조방법 및 이에 따라 제조된 쇼트키 다이오드에 관한 것이다.

배경 기술

[0002] 기존 전자빔 리소그래피 장비를 이용한 쇼트키 다이오드를 제조하는 경우, 리소그래피 장비 및 시스템을 추가적으로 구축해야 한다. 하지만, 전자빔 리소그래피 장비 및 시스템 구축 비용이 굉장히 고가이기 때문에 이를 보

유한 곳이 많지 않고, 이를 다루기 위한 매우 복잡한 기술을 필요로 하므로 이를 다루는 기관이나 전문가도 거의 드문 실정이었다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 대한민국 등록특허공보 제10-2320367호

발명의 내용

해결하려는 과제

[0004] 상기 문제를 해결하기 위한 목적은 다음과 같다.

[0005] 주사전자현미경(Field Emission scanning electron microscope; FE-SEM)을 사용하여 쇼트키 다이오드를 제조하는 제조방법, 및 이에 따라 제조된 쇼트키 다이오드를 제조하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 일 측면에 따른 쇼트키 다이오드의 제조방법은 버퍼층이 증착된 기판을 준비하는 단계; 상기 버퍼층 상에, 제1 전극을 증착시키는 단계; 상기 제1 전극 상에, 반도체층을 형성시키는 단계; 상기 반도체층 상에, 포토레지스트층을 형성시켜 적층체를 형성시키는 단계; 상기 적층체의 포토레지스트층의 면측에, 주사전자현미경(scanning electron microscope; SEM)을 사용하여 전극 패터닝을 수행하는 단계; 및 상기 적층체의 패터닝된 면측에, 금속층과 제2 전극을 증착시키는 단계를 포함한다.

[0007] 상기 기판은 실리콘 웨이퍼, 유리, PI(polyimide), PET(Polyethylene naphthalate), PEN(Polyethylene terephthalate), 및 metal foil로 이루어진 군으로부터 선택된 1종 이상일 수 있다.

[0008] 상기 버퍼층은 SiO₂, 및 SiN로 이루어진 군으로부터 선택된 1종 이상을 포함할 수 있다.

[0009] 상기 제1 전극은 금(Au), 은(Ag), 알루미늄(Al), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 및 그래핀으로 이루어진 군으로부터 선택된 1종 이상을 포함할 수 있다.

[0010] 상기 반도체층은 전이금속 디칼코젠 화합물(Transition metal dichalcogenide; TMD)를 포함할 수 있다.

[0011] 상기 반도체층은 제1 전극 상의 일부에 형성될 수 있다.

[0012] 상기 쇼트키 다이오드의 제조방법은 상기 반도체층이 형성되지 않은 제1 전극 상의 일부에, 제거층을 형성시키는 단계를 더 포함할 수 있다.

[0013] 상기 쇼트키 다이오드의 제조방법은 상기 반도체층 상에 패시베이션층(passivation layer)를 형성시키는 단계를 더 포함할 수 있다.

[0014] 상기 전극 패터닝을 수행하는 단계에서, 상기 주사전자현미경(FE-SEM)을 가속전압 8kV 내지 12kV, 흡수전류 200pA 내지 240pA, 및 노출시간 20초 내지 40초의 조건으로 패터닝을 수행할 수 있다.

[0015] 상기 금속층과 제2 전극을 증착시키는 단계에서, 전극 패터닝되어 제거된 부분에 금속층과 제2 전극을 형성시킬 때, 전극 패터닝 되지 않아 제거되지 않은 부분에 위치한 포토레지스트층보다 더 두껍게 증착시킬 수 있다.

[0016] 상기 쇼트키 다이오드의 제조방법은 상기 제거층을 제거하는 단계를 더 포함할 수 있다.

[0017] 상기 제2 전극은 금(Au), 은(Ag), 알루미늄(Al), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), ITO, ZnO, 및 Ta₂O₅로 이루어진 군으로부터 선택된 1종 이상을 포함할 수 있다.

[0018] 다른 일 측면에 따른 쇼트키 다이오드는 버퍼층이 형성되어 있는 기판; 상기 버퍼층 상에 위치한 제1 전극; 상기 제1 전극 상의 일부에 위치한 반도체층;

[0019] 상기 기판, 제1 전극, 및 반도체층으로 이루어진 결합체의 제1 구역에 형성되어, 상기 반도체층 상에 금속층과 제2 전극이 적층되어 쇼트키 접합된 쇼트키 접합층; 및 상기 기판, 제1 전극, 및 반도체층으로 이루어진 결합체

의 제2 구역에 형성되어, 상기 반도체층 상에, 포토레지스트층, 금속층, 및 제2 전극이 적층된 비접합층;을 포함한다.

- [0020] 상기 쇼트키 다이오드는 상기 기관, 및 제1 전극만으로 이루어진 제3 구역을 더 포함할 수 있다.
- [0021] 상기 쇼트키 접합층 내 금속층과 제2 전극의 두께는, 상기 비접합층 내 포토레지스트층보다 더 두꺼울 수 있다.
- [0022] 상기 쇼트키 다이오드는 상기 반도체층 상에 패시베이션층(passivation layer)을 더 포함할 수 있다.

발명의 효과

- [0023] 일 구현예에 따른 쇼트키 다이오드의 제조방법은 주사전자현미경(SEM)을 사용하여 쇼트키 다이오드를 제조하므로, 장비 활용, 장비 구비, 대량 생산 및 전자빔 리소그래피 자체의 복잡한 공정과 같은 기존 전자빔 리소그래피를 진행하기 위해 고려해야 되는 다양한 요소들을 배제함으로써 생산에 필요한 다양한 시간적, 공간적 비용을 줄일 수 있으며, 생산공정 감소로 인해 생산단가 감소 및 수율이 증가하는 장점이 있다.

도면의 간단한 설명

- [0024] 도 1은 일 실시예에 따른 쇼트키 다이오드의 제조방법을 흐름 상 간략하게 나타낸 단면도이다.
- 도 2는 일 실시예에 따른 쇼트키 다이오드(1)의 단면도이다.
- 도 3은 일 실시예에 따른 쇼트키 다이오드의 쇼트키 접합의 전류-전압곡선을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이상의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 통상의 기술자에게 기술적 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0026] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0027] 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "하부에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0028] 달리 명시되지 않는 한, 본 명세서에서 사용된 성분, 반응 조건, 폴리머 조성물 및 배합물의 양을 표현하는 모든 숫자, 값 및/또는 표현은, 이러한 숫자들이 본질적으로 다른 것들 중에서 이러한 값을 얻는 데 발생하는 측정의 다양한 불확실성이 반영된 근사치들이므로, 모든 경우 "약"이라는 용어에 의해 수식되는 것으로 이해되어야 한다. 또한, 본 기재에서 수치범위가 개시되는 경우, 이러한 범위는 연속적이며, 달리 지적되지 않는 한 이러한 범위의 최소값으로부터 최대값이 포함된 상기 최대값까지의 모든 값을 포함한다. 더 나아가, 이러한 범위가 정수를 지칭하는 경우, 달리 지적되지 않는 한 최소값으로부터 최대값이 포함된 상기 최대값까지를 포함하는 모든 정수가 포함된다.
- [0029] 본 명세서에 있어서, 범위가 변수에 대해 기재되는 경우, 상기 변수는 상기 범위의 기재된 종료점들을 포함하는 기재된 범위 내의 모든 값들을 포함하는 것으로 이해될 것이다. 예를 들면, "5 내지 10"의 범위는 5, 6, 7, 8, 9, 및 10의 값들뿐만 아니라 6 내지 10, 7 내지 10, 6 내지 9, 7 내지 9 등의 임의의 하위 범위를 포함하고, 5.5, 6.5, 7.5, 5.5 내지 8.5 및 6.5 내지 9 등과 같은 기재된 범위의 범주에 타당한 정수들 사이의 임의의 값

도 포함하는 것으로 이해될 것이다. 또한 예를 들면, "10% 내지 30%"의 범위는 10%, 11%, 12%, 13% 등의 값들과 30%까지를 포함하는 모든 정수들뿐만 아니라 10% 내지 15%, 12% 내지 18%, 20% 내지 30% 등의 임의의 하위 범위를 포함하고, 10.5%, 15.5%, 25.5% 등과 같이 기재된 범위의 범주 내의 타당한 정수들 사이의 임의의 값도 포함하는 것으로 이해될 것이다.

- [0031] 기존 전자빔 리소그래피 장비를 이용한 쇼트키 다이오드를 제조하는 경우, 리소그래피 장비 및 시스템을 추가적으로 구축해야 한다. 하지만, 전자빔 리소그래피 장비 및 시스템 구축 비용이 굉장히 고가이기 때문에 이를 보유한 곳이 많지 않고, 이를 다루기 위한 매우 복잡한 기술을 필요로 하므로 이를 다루는 기관이나 전문가도 거의 드문 실정이었다.
- [0032] 이에, 상기 문제를 해결하기 위해 본 발명자들이 예의 연구한 결과, 주사전자현미경(Field Emission scanning electron microscope; FE-SEM)을 사용하여 특정 구조를 갖도록 쇼트키 다이오드를 제조하는 경우, 장비 활용, 장비 구비, 대량 생산 및 전자빔 리소그래피 자체의 복잡한 공정과 같은 기존 전자빔 리소그래피를 진행하기 위해 고려해야 되는 다양한 요소들을 배제함으로써 생산에 필요한 다양한 시간적, 공간적 비용을 줄일 수 있으며, 생산공정 감소로 인해 생산단가 감소 및 수율이 증가하는 것을 발견하고 이를 완성하였다.
- [0034] 도 1은 일 실시예에 따른 쇼트키 다이오드의 제조방법을 흐름 상 간략하게 나타낸 단면도이다. 이를 참고하면, 버퍼층이 증착된 기판을 준비하는 단계(S10); 상기 버퍼층 상에, 제1 전극을 증착시키는 단계(S20); 상기 제1 전극 상에, 반도체층을 형성시키는 단계(S30); 상기 반도체층 상에, 포토레지스트층을 형성시켜 적층체를 형성시키는 단계(S40); 상기 적층체의 포토레지스트층의 면측에, 전계방사형 주사전자현미경(Field Emission scanning electron microscope; FE-SEM)을 사용하여 전극 패터닝을 수행하는 단계(S50); 및 상기 적층체의 패터닝된 면측에, 금속층과 제1 전극을 증착시키는 단계(S60)를 포함한다.
- [0035] 상기 버퍼층이 증착된 기판을 준비하는 단계(S10)는 제1 전극을 형성시키기 위한 기판을 준비하는 단계이다.
- [0036] 상기 기판(10)은 쇼트키 다이오드를 지지하는 지지체 역할 등을 수행하는 것일 수 있고, 구체적으로, 실리콘 웨이퍼(silicon wafer), 유리(glass)와 같은 하드 타입(hard type) 또는 PI(polyimide), PET(Polyethylene naphthalate), PEN(Polyethylene terephthalate), metal foil과 같은 유연 기판(flexible substrate)으로부터 선택된 1종 이상일 수 있다.
- [0037] 상기 버퍼층(20)은 상기 기판상에 증착되어 기판으로부터 기인할 수 있는 오염을 차단하는 장벽(barrier)의 역할을 수행하는 것일 수 있고, 구체적으로, SiO₂, 및 SiN로 이루어진 균으로부터 선택된 1종 이상을 포함할 수 있고, 바람직하게는, SiO₂, SiN의 적층 또는 다중 적층 구조일 수 있다.
- [0038] 상기 제1 전극(30)을 증착시키는 단계(S20)는 상기 버퍼층 상에, 제1 전극(30)을 증착시키는 단계이다.
- [0039] 상기 제1 전극은 상부전극 또는 하부전극일 수 있으나, 바람직하게는, 하부전극일 수 있다. 구체적으로, 금(Au), 은(Ag), 알루미늄(Al), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 및 그래핀으로 이루어진 균으로부터 선택된 1종 이상을 포함할 수 있다.
- [0040] 상기 제1 전극을 증착시키는 방법은 전자 빔 증착 장치를 이용한 증착방법, 열 증착(Thermal Evaporation) 방법, 스퍼터링(sputtering) 방법으로 이루어진 균으로부터 선택된 1종 이상의 방법을 사용하여 증착시킬 수 있고, 특정 방법만으로 제한되지 않는다.
- [0041] 상기 반도체층(40)을 형성시키는 단계(S30)는 상기 제1 전극 상에, 반도체층(40)을 형성시키는 단계이다.
- [0042] 상기 반도체층은 도핑(doping)을 통해 형성된 n형 반도체 또는 p형 반도체 중 어느 하나일 수 있다. 또는, 도핑 없이 본래 n형 반도체 또는 p형 반도체의 전기적 특성을 갖는 반도체 소재일 수 있다.
- [0043] 구체적으로, 반도체층은 전이금속 디칼코젠 화합물(Transition metal dichalcogenide; TMD), Si, Ge, SiGe, III-V족 화합물 반도체, II-VI족 화합물 반도체, 와이드 밴드 갭 반도체(wide band gap semiconductor)(예컨대, SiC, GaN, GaO), 금속 산화물 기반의 산화물 반도체(oxide semiconductor)(예컨대, In, Ga, Zn, Sn, Cu, Ni), 및 2차원 물질 반도체(2D material semiconductor)(예컨대, 그래핀(graphene), BN(Boron Nitride))로 이루어진 균으로부터 선택된 1종 이상을 포함할 수 있고, 특정 반도체만을 포함하는 것으로 제한되지 않으나, 바람직하게는, 합성이 용이하면서도 대면적 작업에서도 얇은 박막으로 제작할 수 있어 추후 산업체에서도 응용이 용이한 전이금속 디칼코젠 화합물(Transition metal dichalcogenide; TMD)를 포함할 수 있다.

- [0044] 상기 전이금속 디칼코겐 화합물(TMD)은 칼코겐 원소층 사이에 전이금속 단일원소층이 샌드위치처럼 끼어있는 화합물일 수 있고, 구체적으로, 이황화레늄(ReS_2), 이황화몰리브덴(MoS_2), 이황화텅스텐(WS_2), 이셀레늄화몰리브덴(MoSe_2), 이셀레늄화텅스텐(WSe_2), 및 이텔루륨화몰리브덴(MoTe_2) 로 이루어진 군으로부터 선택된 1종 이상을 포함할 수 있고, 특정 화합물만을 포함하는 것으로 제한되지 않으나, 바람직하게는, 두께차이에 대한 밴드갭 차이가 크지 않아 추후 주사현미경으로 찾기가 용이한 이황화레늄(ReS_2)을 포함할 수 있다.
- [0045] 상기 반도체층은 제1 전극 상에 형성시키는 방법은 기계적 박리법, 스핀 코팅(spin coating), 잉크젯 프린팅(inkjet printing), 스퍼터링(sputtering), 화학기상증착(CVD, chemical vapor desposition), 물리기상증착(PVD, physical vapor desposition), 원자층증착(ALD, atomic layer deposition), 및 분자빔에피택시(MBE, molecular beam epitaxy)로 이루어진 군으로부터 선택된 1종 이상의 방법에 의해 형성시킬 수 있고, 특정 방법만을 사용하는 것으로 제한되지 않으나, 바람직하게는, 사용 장비가 저렴하고 오차가 적으면서도 순도 높은 플레이크(Flake)를 얻을 수 있는 기계적 박리법을 사용하여 제1 전극 상에 반도체층을 형성시킬 수 있다.
- [0046] 상기 반도체층은 제1 전극 상에 전부 또는 일부에 형성될 수 있다. 도 1을 참고하면, 일 실시예에 따라, 상기 반도체층은 제1 전극 상에 일부에 형성될 수 있다. 이에 따라 반도체층이 형성된 타겟영역에는 추후 전극 패터닝을 통해 음각될 수 있다. 반면, 반도체층이 형성되지 않은 비타겟영역에는 전극 패터닝을 통해 음각되지 않을 수 있다.
- [0047] 한편, 반도체층이 형성되지 않은 비타겟영역 중 일부영역은 제거층(45)이 형성될 수 있다. 상기 제거층(45)은 바람직하게는, 반도체층이 형성되지 않은 제1 전극 상 중에서도 모서리 영역에 형성될 수 있다.
- [0048] 상기 제거층은 추후 쌓이는 포토레지스트층, 금속층, 및 제2 전극층을 쉽게 제거할 수 있는 것, 예를 들어, 스카치 테이프, 아크릴 테이프, 캡톤 테이프(내열 테이프) 등일 수 있다.
- [0049] 상기 제거층은 추후 쌓이는 포토레지스트층, 금속층, 및 제2 전극층을 쉽게 제거함으로써 리프트-오프(Lift-off) 과정을 최소화시킬 수 있다. 상기 과정을 통해 제1 전극을 쉽게 노출시켜 추후 프로브 팁 접촉이 용이하여 전류-전압 측정이 용이한 장점이 있다.
- [0050] 또한, 상기 포토레지스트층을 형성시키기 전에 패시베이션층(passivation layer)(미도시)를 형성시키는 단계를 더 포함할 수 있다.
- [0051] 상기 패시베이션층은 포토레지스트층을 형성시켜 적층체에 전극 패터닝을 수행할 때, 반도체층의 오염을 방지하고 외부의 수분 또는 산소로부터 반도체층을 보호하는 역할을 수행할 수 있고, 패시베이션층의 폭(width) 및 길이(length)는 각각 반도체층의 폭(W) 및 길이(L)보다 크거나 같도록 형성될 수 있다.
- [0052] 상기 포토레지스트층(50)을 형성시켜 적층체를 형성시키는 단계(S40)는 상기 반도체층 상에, 또는 패시베이션층(미도시) 상에 포토레지스트층(50)을 형성시켜 적층체를 형성시키는 단계이다.
- [0053] 상기 포토레지스트층은 주사전자현미경(scanning electron microscope; SEM)를 이용하여 패턴을 형성시킬 때 사용하는 감광성 소재일 수 있고, 바람직하게는, 추후 현상액(developer)에 의해 포토레지스트층 중 전자빔에 쬐인 영역이 제거되는 포지티브 포토레지스트층(Positive photoresist)일 수 있다. 본원에서 전자빔 레지스트층이라는 용어는 포토레지스트층이라는 용어와 혼용되어 사용될 수 있다.
- [0054] 구체적으로, 상기 포토레지스트층은 폴리메틸 메타크릴레이트(Poly(Methyl methacrylate); PMMA), SML Resist, AR-P 617, AR-P 639-679, ARP-6200, 및 AR-P 7400으로 이루어진 군으로부터 선택된 1종 이상을 포함할 수 있고, 특정 종류만을 포함하는 것으로 제한되지 않으나, 바람직하게는, 경제성이 뛰어나면서도 FET의 dielectric layer로 사용가능한 PMMA를 포함할 수 있다.
- [0055] 구체적으로, 추후 주사전자현미경(scanning electron microscope; SEM)을 사용하여 반도체층이 형성된 타겟영역에 전극 패터닝을 수행할 때, 상기 포토레지스트층 중 타겟영역은 주사전자현미경(scanning electron microscope; SEM)에 의해 쇼트키 전극으로 형성시키기 위해 깎여질 수 있다.
- [0056] 상기 전극 패터닝을 수행하는 단계(S50)는 상기 적층체의 포토레지스트층의 면측에, 주사전자현미경(scanning electron microscope; SEM), 바람직하게는 전계방사형 주사전자현미경(Field Emission scanning electron microscope; FE-SEM)을 사용하여 전극 패터닝을 수행하는 단계이다.
- [0057] 일 실시예에 따라, 상기 전계방사형 주사전자현미경(FE-SEM)사용하여 전자 빔을 반도체층이 형성된 타겟영역에

가속전압 (Accelerating voltage) 8kV 내지 12kV, 흡수전류 (Absorbed Current) 200pA 내지 240pA, 및 노출시간 20초 내지 40초의 조건으로 전극 패터닝을 수행할 수 있다. 특히, 포토레지스트층에 따라 주사전자현미경의 노출시간이 달라질 수 있다.

- [0058] 상기 범위를 벗어나, 가속전압이 너무 낮으면 흡수전류가 적어져 시간이오래 걸리는 단점이 있고, 가속전압이 너무 크면 흡수전류가 커져 수행시간은 적으나 빔 손상이 커질 수 있는 단점이 있다. 또한, 노출시간이 너무 적으면 포토레지스트층이 충분히 변성되지 않아 전극 패터닝을 수행하기 어려우며 노출시간이 너무 크면 포토레지스트층이 경화되어 현상액에 넣어도 빔에 노출된 영역이 제거되지 않는 단점이 있다.
- [0059] 구체적으로, 전극 패터닝은 포지티브 포토레지스트(Positive photoresist) 방식으로 수행될 수 있고, 전계방사형 주사전자현미경(FE-SEM)을 사용하여 포토레지스트 층 내 타겟영역에 전자빔을 노출시킨 후, 추후 현상액(developer)에 의해 포토레지스트층 중 전자빔에 노출된 영역이 제거되는 방식으로 수행될 수 있다.
- [0060] 이는 종래 전자빔 리소그래피 자체의 복잡한 공정 등과 같이 고려해야 되는 다양한 요소들을 배제하고 간단하게 전계방사형 주사전자현미경(FE-SEM)사용하여 전자 빔으로 전극 패터닝을 수행할 수 있으므로, 배제함으로써 생산에 필요한 다양한 시간적, 공간적 비용을 줄일 수 있는 장점이 있다.
- [0061] 상기 금속층(60)과 제2 전극(70)을 증착시키는 단계(S60)는 상기 적층체의 패터닝된 면측에, 금속층(60)과 제2 전극(70)을 증착시키는 단계이다.
- [0062] 상기 금속층은 반도체층과 접촉 결합되어 쇼트키 접합(Schottky junction)이 이뤄질 수 있는 금속, 예를 들어, 팔라듐(Pd), 은(Ag), 알루미늄(Al), 티타늄(Ti), 팔라듐(Pd), 및 백금(Pt)으로 이루어진 군으로부터 선택된 1종 이상을 포함할 수 있고, 특정금속만을 포함하는 것으로 제한되지 않는다.
- [0063] 상기 제2 전극은 하부전극 또는 상부전극일 수 있으나, 바람직하게는, 상부전극일 수 있고, 구체적으로, 금(Au), 은(Ag), 알루미늄(Al), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), ITO, ZnO, 및 Ta₂O₅로 이루어진 군으로부터 선택된 1종 이상을 포함할 수 있다.
- [0064] 일 실시예에 따라, 금속층과 제2 전극은 전극 패터닝되어 제거된 부분과 전극 패터닝 되지 않아 제거되지 않은 부분에 각각 증착시킬 수 있고, 구체적으로, 전극 패터닝되어 제거된 부분은 반도체층 상에 증착시킬 수 있고, 전극 패터닝 되지 않아 제거되지 않은 부분은 포토레지스트층에 증착될 수 있다.
- [0065] 이에 따라, 금속층과 제2 전극이 전극 패터닝되어 제거된 부분에 증착될 경우, 금속층이 반도체층 상에 증착되어 쇼트키 접합이 형성될 수 있다.
- [0066] 반면, 금속층과 제2 전극이 전극 패터닝 되지 않아 제거되지 않은 부분에 증착될 경우, 포토레지스트층에 증착되고 포토레지스트층은 유전층(Dielectric layer)되어 제1 전극과 제2 전극이 서로 접합되지 않게 할 수 있다.
- [0067] 또한, 상기 금속층과 제2 전극을 증착시키는 단계에서, 전극 패터닝되어 제거된 부분에 금속층과 제2 전극을 형성시킬 때, 전극 패터닝 되지 않아 제거되지 않은 부분에 위치한 포토레지스트층보다 더 두껍게 증착시킬 수 있다.
- [0068] 이를 통해, 전극 패터닝되어 제거된 부분에 형성된 제2 전극과 전극 패터닝 되지 않아 제거되지 않은 부분에 형성된 제2 전극을 연결시킬 수 있다.
- [0069] 상기 제조방법으로 쇼트키 다이오드의 제조하면, 장비 활용, 장비 구비, 대량 생산 및 전자빔 리소그래피 자체의 복잡한 공정과 같은 기존 전자빔 리소그래피를 진행하기 위해 고려해야 되는 다양한 요소들을 배제함으로써 생산에 필요한 다양한 시간적, 공간적 비용을 줄일 수 있으며, 생산공정 감소로 인해 생산단가 감소 및 수율이 증가하는 장점이 있다.
- [0070] 도 2는 일 실시예에 따른 쇼트키 다이오드(1)의 단면도이다. 이를 참고하면, 버퍼층(20)이 형성되어 있는 기판(10); 상기 버퍼층 상에 위치한 제1 전극(30); 상기 제1 전극 상의 일부에 위치한 반도체층(40); 상기 기판, 제1 전극, 및 반도체층으로 이루어진 결합체의 제1 구역에 형성되어, 상기 반도체층 상에 금속층(60)과 제2 전극(70)이 적층되어 쇼트키 접합된 쇼트키 접합층; 및 상기 기판, 제1 전극, 및 반도체층으로 이루어진 결합체의 제2 구역에 형성되어, 상기 반도체층 상에, 포토레지스트층(50), 금속층(60), 및 제2 전극(70)이 적층된 비접합층을 포함한다. 이때, 쇼트키 다이오드에 설명할 내용과 상기 쇼트키 다이오드 제조방법과 중복된 내용은 생략할 수 있다.

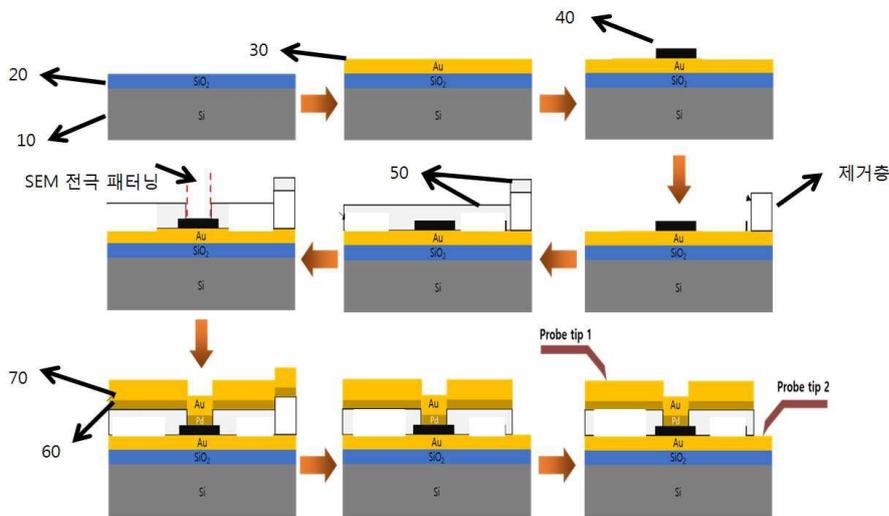
- [0071] 상기 반도체층 상에 패시베이션층을 더 포함할 수 있다.
- [0072] 상기 쇼트키 다이오드는 상기 기판, 및 제1 전극만으로 이루어진 제3 구역을 더 포함할 수 있다.
- [0073] 상기 쇼트키 접합층 내 금속층과 제2 전극의 두께는, 상기 비접합층 내 포토레지스트층보다 더 두꺼울 수 있다. 따라서, 제1 구역의 제2 전극과 제2 구역의 제2 전극은 연결될 수 있다.
- [0074] 일 실시예에 따라, 상기 쇼트키 다이오드에서 상기 제3 구역은 제1 전극이 노출되어 있고, 제1 구역의 제2 전극과 제2 구역의 제2 전극은 상기 두께 차이로 인해 연결되어 있으므로, 제3 구역에 노출된 제1 전극과 제2 전극에 프로브팁 접촉이 용이한 바 전류 전압 측정이 정확하면서도 용이한 장점이 있다.
- [0075] 도 3는 일 실시예에 따른 쇼트키 다이오드의 쇼트키 접합의 전류-전압곡선을 나타낸 그래프이다. 이를 참고하면, 상기 쇼트키 다이오드는 상기 구조로 인해 전류 전압 측정이 정확하면서도 용이한 장점이 있으므로 음의 바이어스 전압을 주었을 때보다 양의 바이어스 전압을 주었을 때 전류가 잘 통하는 정류효과를 확인할 수 있다.

부호의 설명

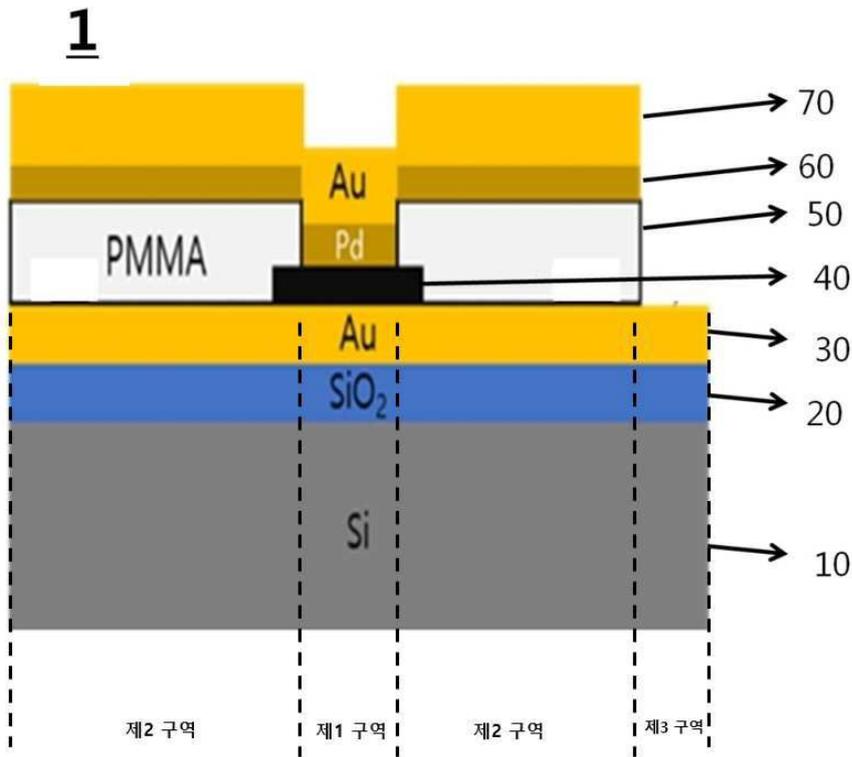
- [0076] 1 : 쇼트키 다이오드
- 10 : 기판, 20 : 버퍼층, 30 : 제1 전극, 40 : 반도체층,
- 50 : 포토레지스트층, 60 : 금속층, 70 : 제2 전극

도면

도면1



도면2



도면3

