



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년07월11일

(11) 등록번호 10-2684764

(24) 등록일자 2024년07월09일

- (51) 국제특허분류(Int. Cl.)  
 $H04B\ 1/525$  (2015.01)  $H03F\ 3/60$  (2006.01)  
 $H04B\ 1/04$  (2006.01)  $H04B\ 1/18$  (2018.01)
- (52) CPC특허분류  
 $H04B\ 1/525$  (2013.01)  
 $H03F\ 3/605$  (2013.01)
- (21) 출원번호 10-2023-0108161  
(22) 출원일자 2023년08월18일  
심사청구일자 2023년08월18일
- (56) 선행기술조사문헌  
KR100299740 B1  
KR1020210014151 A  
KR1020210053128 A  
Shih-Han Hung, et al., "An Ultra Wideband Quasi-Circulator With Distributed Amplifiers Using 90 nm CMOS Technology ", IEEE Microwave and Wireless Components Letters, 2013.

- (73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
- (72) 발명자  
민병욱  
서울특별시 강남구 도곡로43길 21, 101동 804호 (역삼동, 래미안그레이트)  
유동호  
서울특별시 서대문구 신촌로 63, 518호  
황준  
서울특별시 동대문구 망우로 46, 101동 1011호 (회경동)
- (74) 대리인  
민영준

전체 청구항 수 : 총 20 항

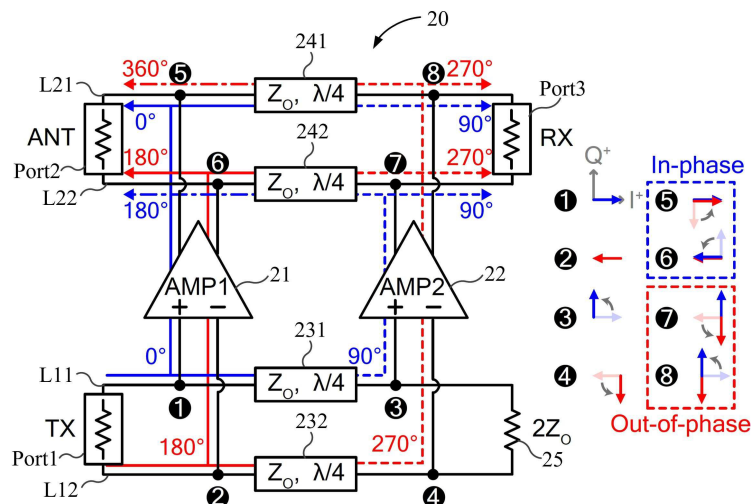
심사관 : 구영희

(54) 발명의 명칭 준순환기 및 이를 포함하는 통신 장치

## (57) 요약

본 개시는 입력 라인쌍에 형성되는 제1 전송 라인쌍, 출력 라인쌍에 형성되는 제2 전송 라인쌍, 2개의 입력단이 제1 전송 라인쌍의 일단에 연결되고, 2개의 출력단이 제2 전송 라인쌍의 일단에 연결되는 제1 증폭기 및 2개의 입력단이 제1 전송 라인쌍의 타단에 2개의 입력단이 연결되고, 2개의 출력단이 제2 전송 라인쌍의 타단에 교차 연결되는 제2 증폭기를 포함하여, 광대역 특성을 가질 뿐만 아니라 소형으로 제조 가능한 준순환기 및 이를 구비하는 통신 장치를 제공한다.

## 대표도 - 도3



(52) CPC특허분류

*H04B 1/0458* (2013.01)

*H04B 1/18* (2018.01)

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

입력 라인쌍에 형성되는 제1 전송 라인쌍;

출력 라인쌍에 형성되는 제2 전송 라인쌍;

2개의 입력단이 상기 제1 전송 라인쌍의 일단에 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 일단에 연결되는 제1 증폭기; 및

2개의 입력단이 상기 제1 전송 라인쌍의 타단에 2개의 입력단이 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 타단에 교차 연결되는 제2 증폭기를 포함하는 준순환기.

#### 청구항 2

제1항에 있어서, 상기 제1 증폭기는

제1 입력단이 상기 입력 라인쌍의 제1 및 제2 입력 라인 중 제1 입력 라인 연결되고, 제2 입력단이 제2 입력 라인에 연결되며,

제1 출력단은 상기 출력 라인쌍의 제1 및 제2 출력 라인 중 제1 출력 라인 연결되고, 제2 출력단이 제2 출력 라인에 연결되는 준순환기.

#### 청구항 3

제1항에 있어서, 상기 제2 증폭기는

제1 입력단이 상기 입력 라인쌍의 제1 및 제2 입력 라인 중 제1 입력 라인 연결되고, 제2 입력단이 제2 입력 라인에 연결되며,

제1 출력단은 상기 출력 라인쌍의 제1 및 제2 출력 라인 중 제2 출력 라인 연결되고, 제2 출력단이 제1 출력 라인에 연결되는 준순환기.

#### 청구항 4

제1항에 있어서, 상기 입력 라인쌍은

일단이 차동 신호인 송신 신호가 입력되는 제1 포트에 연결되고, 타단은 종단 임피던스를 갖는 종단에 연결되는 준순환기.

#### 청구항 5

제1항에 있어서, 상기 출력 라인쌍은

일단이 안테나에 연결되는 제2 포트에 연결되고, 타단이 상기 안테나를 통해 수신된 수신 신호를 전달하는 제3 포트에 연결되는 준순환기.

#### 청구항 6

제1항에 있어서, 상기 제1 및 제2 전송 라인쌍 각각은

일단 또는 타단으로 인가된 신호의 위상을 90도 지연하여 전달하는 준순환기.

#### 청구항 7

제1항에 있어서, 상기 제1 및 제2 전송 라인쌍 각각은

합성 선로를 이용한 커플 인덕터로 구현되는 준순환기.

#### 청구항 8

제1항에 있어서, 상기 제1 및 제2 증폭기 각각은  
일단이 접지 전압에 연결되고, 게이트로 차동 신호인 송신 신호가 인가되는 2개의 입력 트랜지스터;  
상기 2개의 입력 트랜지스터와 상기 2개의 출력단 각각 사이에 연결되는 2개의 출력 트랜지스터; 및  
상기 2개의 출력 트랜지스터의 게이트 사이에 연결되는 게이트 캐패시터를 포함하는 준순환기.

#### 청구항 9

제8항에 있어서, 상기 제1 및 제2 증폭기 각각은  
상기 2개의 입력 트랜지스터와 상기 2개의 출력 트랜지스터 각각 사이에 위치하는 2개의 스테이지 내부 인덕터를 더 포함하는 준순환기.

#### 청구항 10

제9항에 있어서, 상기 2개의 스테이지 내부 인덕터는  
합성 선로를 이용한 커플 인덕터로 구현되는 준순환기.

#### 청구항 11

제8항에 있어서, 상기 제1 및 제2 증폭기 각각은  
상기 2개의 출력단 사이에 연결되는 라인 캐패시터를 더 포함하는 준순환기.

#### 청구항 12

제1항에 있어서, 상기 준순환기는  
언밸런스 신호인 송신 신호를 인가받아 차동 신호로 변환하여 상기 입력 라인쌍의 일단으로 전달하는 발분을 더 포함하는 준순환기.

#### 청구항 13

송신 모듈;  
수신 모듈; 및  
준순환기를 포함하고,  
상기 준순환기는  
입력 라인쌍에 형성되는 제1 전송 라인쌍;  
출력 라인쌍에 형성되는 제2 전송 라인쌍;  
2개의 입력단이 상기 제1 전송 라인쌍의 일단에 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 일단에 연결되는 제1 증폭기; 및  
2개의 입력단이 상기 제1 전송 라인쌍의 타단에 2개의 입력단이 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 타단에 교차 연결되는 제2 증폭기를 포함하는 통신 장치.

#### 청구항 14

제13항에 있어서, 상기 제1 증폭기는  
제1 입력단이 상기 입력 라인쌍의 제1 및 제2 입력 라인 중 제1 입력 라인 연결되고, 제2 입력단이 제2 입력 라인에 연결되며,  
제1 출력단은 상기 출력 라인쌍의 제1 및 제2 출력 라인 중 제1 출력 라인 연결되고, 제2 출력단이 제2 출력 라인에 연결되는 통신 장치.

### 청구항 15

제13항에 있어서, 상기 제2 증폭기는

제1 입력단이 상기 입력 라인쌍의 제1 및 제2 입력 라인 중 제1 입력 라인 연결되고, 제2 입력단이 제2 입력 라인에 연결되며,

제1 출력단은 상기 출력 라인쌍의 제1 및 제2 출력 라인 중 제2 출력 라인 연결되고, 제2 출력단이 제1 출력 라인에 연결되는 통신 장치.

### 청구항 16

제13항에 있어서, 상기 입력 라인쌍은

일단이 차동 신호인 송신 신호가 입력되는 제1 포트에 연결되고, 타단은 종단 임피던스를 갖는 종단에 연결되는 통신 장치.

### 청구항 17

제13항에 있어서, 상기 출력 라인쌍은

일단이 안테나에 연결되는 제2 포트에 연결되고, 타단이 상기 안테나를 통해 수신된 수신 신호를 전달하는 제3 포트에 연결되는 통신 장치.

### 청구항 18

제13항에 있어서, 상기 제1 및 제2 전송 라인쌍 각각은

일단 또는 타단으로 인가된 신호의 위상을 90도 지연하여 전달하는 통신 장치.

### 청구항 19

제13항에 있어서, 상기 제1 및 제2 전송 라인쌍 각각은

합성 선로를 이용한 커플 인덕터로 구현되는 통신 장치.

### 청구항 20

제13항에 있어서, 상기 제1 및 제2 증폭기 각각은

일단이 접지 전압에 연결되고, 게이트로 차동 신호인 송신 신호가 인가되는 2개의 입력 트랜지스터;

상기 2개의 입력 트랜지스터와 상기 2개의 출력단 각각 사이에 연결되는 2개의 출력 트랜지스터;

상기 2개의 출력 트랜지스터의 게이트 사이에 연결되는 게이트 캐패시터; 및

상기 2개의 입력 트랜지스터와 상기 2개의 출력 트랜지스터 각각 사이에 위치하는 2개의 스테이지 내부 인덕터를 포함하는 통신 장치.

## 발명의 설명

## 기술 분야

[0001] 본 개시는 준순환기 및 이를 포함하는 통신 장치에 관한 것으로, 초광대역 소형 능동형 준순환기 및 이를 포함하는 통신 장치에 관한 것이다.

## 배경 기술

[0002] 종래에 대표적인 순환기는 자석을 이용하여 구현되는 자기 순환기(magnetic circulator)로서 가격이 비쌌 뿐만 아니라 크기가 크므로, 온칩(On-chip)으로 통합되거나 호환되지 않는다는 문제가 있었다.

[0003] 이러한 문제를 극복하기 위해 비자성 순환기(non-magnetic circulator)가 개발되었다. 비자성 순환기 중 공진기(resonator) 또는 자이레이터(gyrator)를 이용하는 순환기는 클럭 신호를 생성하고, 생성된 클럭 신호의 위상

으로 스위치를 변조하여 순환기의 비가역 특성을 구현하였다. 그러나 클럭 신호, 특히 밀리미터파(mmW)와 같은 초고주파수 대역의 클럭 신호는 생성하기 어려울 뿐만 아니라, 전력 소모가 크고 클럭 생성기를 구현하기 위해 큰 부피가 요구된다는 한계가 있다.

- [0004] 이에 클럭 기반 순환기의 대안으로 증폭기의 특성을 이용한 능동형 준순환기(active Quasi-Circulator: active QC)가 제안되었다.
- [0005] 도 1은 기존의 능동형 준순환기의 일 예에 대한 개략적 구조를 나타내고, 도 2는 도 1의 준순환기의 시뮬레이션 특성 그래프를 나타낸다.
- [0006] 도 1을 참조하면, 기존의 준순환기(10)는 분산 증폭기(Distributed Amplifier: DA)와 2개의 전송 라인(transmission line)(13, 14)를 포함한다.
- [0007] 2개의 전송 라인(13, 14)은 각각 입력 라인(L1)과 출력 라인(L2)에 형성된다. 2개의 전송 라인(13, 14) 중 입력 라인(L1)에 형성되는 제1 전송 라인(13)은 일단이 입력단인 제1 포트(Port1)에 연결되고, 타단은 종단(termination)에 연결된다. 여기서 제1 포트(Port1)는 송신 신호(TX)가 입력되는 입력 포트이고, 종단은 종단 임피던스(terminal impedance)( $Z_0$ )를 가져 제1 전송 라인(13)을 통해 인가되는 신호를 종단시킨다.
- [0008] 그리고 출력 라인(L2)에 형성되는 제2 전송 라인(14)의 양단은 각각 제2 및 제3 포트(Port2, Port3)에 연결된다. 여기서 제3 포트(Port3)는 안테나(ANT)에 연결되는 출력 포트이고, 제2 포트(Port2) 또한 종단 임피던스( $Z_0$ )를 갖는 종단이지만 안테나(ANT)로 수신된 수신 신호(RX)가 전달되는 수신 포트로서 활용될 수 있다.
- [0009] 2개의 전송 라인(13, 14) 각각은 일단 또는 타단으로 인가되는 송신 신호(TX)를 90도만큼 위상 지연하여 타단 또는 일단으로 전달할 수 있다.
- [0010] 한편, 분산 증폭기(DA)는 각각 단일단을 갖는 2개의 증폭기(11, 12)를 갖는 단일단 2스테이지 분산 증폭기(single-ended two-stage DA)로 구현될 수 있다. 2개의 증폭기(11, 12) 중 제1 증폭기(11)는 2개의 전송 라인(13, 14)의 일단 사이에 연결되고, 제2 증폭기(12)는 2개의 전송 라인(13, 14)의 타단 사이에 연결된다. 즉 제1 증폭기(11)는 제1 포트(Port1)와 제2 포트(Port2) 사이에 연결되고, 제2 증폭기(12)는 입력 라인(L1)의 종단과 제3 포트(Port3) 사이에 연결된다. 2개의 증폭기(11, 12)는 각각 제1 전송 라인(13)의 양단의 신호를 증폭하여 제2 전송 라인(14)의 양단으로 인가한다.
- [0011] 도 1에서 우측 그림은 각 노드(① ~ ④)에서 신호의 위상 변화를 나타낸다.
- [0012] 도 1의 준순환기의 동작을 살펴보면, 우선 송신 신호(TX)가 제1 포트(Port1)를 통해 제1 노드(①)로 인가되면, 제1 노드(①)로 인가된 송신 신호(TX)는 제1 전송 라인(13) 및 제1 증폭기(11)로 전달된다. 제1 전송 라인(13)은 제1 노드(①)로 인가된 송신 신호(TX)를 90도 위상 지연하여 제2 노드(②)로 전달한다. 제1 포트(Port1)으로 인가된 송신 신호(TX)의 위상을 0도라고 할 때, 제1 노드(①)에서 송신 신호의 위상은 0도이고, 제2 증폭기(12)의 입력단이 제2 노드(②)에 연결되므로, 제2 증폭기(12)에는 90도 위상 지연된 송신 신호(TX)가 입력된다.
- [0013] 제1 및 제2 증폭기(11, 12) 각각은 인가된 송신 신호를 증폭하여 제2 전송 라인(14)의 양단으로 제3 및 제4 노드(③, ④)로 전달한다. 이때 신호의 위상에는 변화가 발생되지 않는다. 따라서 제2 전송 라인(14)의 일단이 연결된 제3 노드(③)에는 위상 지연되지 않고 증폭된 송신 신호(TX)가 인가되고, 제2 전송 라인(14)의 타단이 연결된 제4 노드(④)에는 90도 위상 지연되고 증폭된 송신 신호(TX)가 인가된다. 제2 전송 라인(14)에 의해 제3 노드(③)로 인가된 송신 신호(TX)는 90도 위상 지연되어 제4 노드(④)로 전달된다. 제4 노드(④)로 전달된 90도 위상의 송신 신호(TX)는 제2 증폭기(12)에서 제4 노드(④)로 전달된 90도 위상 지연된 송신 신호(TX)와 동일 위상을 가지므로 보강 간섭된다. 따라서 증폭되고 보강된 90도 위상의 송신 신호(X)가 제3 포트(Port3)를 통해 안테나(ANT)로 전달된다.
- [0014] 이때 2개의 송신 신호가 모두 하나의 증폭기(11, 12)와 하나의 전송 라인(13, 14)를 통해 전달되므로, 경로차가 발생되지 않아 도 2에 도시된 바와 같이, 전체 주파수 대역( $0 \sim 2f_0$ )에서 안정적으로 보강 간섭이 발생된다.
- [0015] 한편, 제4 노드(④)로 인가된 90도 위상 지연된 송신 신호(TX)는 다시 90도 위상 지연되어 180도 위상 지연되어 제3 노드(③)로 전달된다. 제1 증폭기(11)에서 위상 지연없이 제3 노드(③)로 전달된 송신 신호(TX)와 제4 노드(④)에서 제2 전송 라인(14)을 거쳐 제3 노드(③)로 전달되어 180도 위상 지연된 송신 신호(TX)는 서로 180도 위상차를 가지므로 상쇄 간섭된다.

- [0016] 따라서 도 1의 준순환기(10)는 수신 포트인 제2 포트(Port)로 송신 신호(TX)가 전달되지 않도록, 입력 포트인 제1 포트(Port1)와 격리(isolation)할 수 있다.
- [0017] 다만, 제1 및 제2 전송 라인(13, 14)를 지나지 않은 송신 신호(TX)와 제1 및 제2 전송 라인(14)을 모두 거쳐 180도 위상 지연된 송신 신호(TX)가 상쇄 간섭되어 제2 포트(Port)가 격리되므로, 두 송신 신호(TX)가 정확히 180도 위상차를 가져야만 한다. 그러나 전송 라인(13, 14)의 위상 지연은 인가된 신호의 주파수에 크게 의존하므로, 송신 신호(TX)의 주파수가 동작 주파수( $f_0$ )에서 벗어나면, 제1 포트(Port)와 제2 포트(Port2) 사이의 격리 성능이 급격하게 저하된다. 따라서 기존의 준순환기(10)는 매우 좁은 동작 대역폭을 갖는다는 한계가 있다.
- [0018] 또한 제2 포트(Port)로 인가되는 2개의 송신 신호(TX)는 2개의 전송 라인(13, 14)만큼의 경로 차가 발생할 뿐만 아니라, 2개의 전송 라인(13, 14)를 통과한 송신 신호(TX)는 위상 지연뿐만 아니라 신호 세기 감쇄가 발생할 수 있다. 이로 인해, 제2 포트(Port2)로 전달되는 두 송신 신호(TX)는 180도 위상차를 갖기 어려울 뿐만 아니라, 180도 위상차를 갖더라도 세기차로 인해 완전히 상쇄되지 않을 수 있다. 이로 인해 상쇄되지 않은 신호 성분이 제2 포트(Port2)로 인가될 수 있다.
- [0019] 이러한 문제를 억제하기 위해, 도 1에 도시된 기존의 준순환기(10)에서는 분산 증폭기(DA)의 제1 및 제2 증폭기(11, 12)를 실제 구현하는 경우에 서로 상이한 구조를 갖도록 설계하여 상기한 문제를 보완하였다. 그러나 2개의 증폭기(11, 12)가 서로 상이한 구조를 갖도록 설계를 하는 경우, 설계 복잡도가 크게 상승할 뿐만 아니라 제조 비용 또한 상승하게 된다.

## 발명의 내용

### 해결하려는 과제

- [0020] 본 개시의 목적은 광대역에서 동작하는 준순환기 및 이를 포함하는 통신 장치에 관한 것이다.
- [0021] 본 개시의 목적은 소형으로 제조 가능한 준순환기 및 이를 포함하는 통신 장치에 관한 것이다.

### 과제의 해결 수단

- [0022] 본 개시의 일 실시 예에 따른, 준순환기는 입력 라인쌍에 형성되는 제1 전송 라인쌍; 출력 라인쌍에 형성되는 제2 전송 라인쌍; 2개의 입력단이 상기 제1 전송 라인쌍의 일단에 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 일단에 연결되는 제1 증폭기; 및 2개의 입력단이 상기 제1 전송 라인쌍의 타단에 2개의 입력단이 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 타단에 교차 연결되는 제2 증폭기를 포함한다.
- [0023] 상기 제1 증폭기는 제1 입력단이 상기 입력 라인쌍의 제1 및 제2 입력 라인 중 제1 입력 라인 연결되고, 제2 입력단이 제2 입력 라인에 연결되며, 제1 출력단은 상기 출력 라인쌍의 제1 및 제2 출력 라인 중 제1 출력 라인 연결되고, 제2 출력단이 제2 출력 라인에 연결될 수 있다.
- [0024] 상기 제2 증폭기는 제1 입력단이 상기 입력 라인쌍의 제1 및 제2 입력 라인 중 제1 입력 라인 연결되고, 제2 입력단이 제2 입력 라인에 연결되며, 제1 출력단은 상기 출력 라인쌍의 제1 및 제2 출력 라인 중 제2 출력 라인 연결되고, 제2 출력단이 제1 출력 라인에 연결될 수 있다.
- [0025] 상기 입력 라인쌍은 일단이 차동 신호인 송신 신호가 입력되는 제1 포트에 연결되고, 타단은 종단 임피던스를 갖는 종단에 연결될 수 있다.
- [0026] 상기 출력 라인쌍은 일단이 안테나에 연결되는 제2 포트에 연결되고, 타단이 상기 안테나를 통해 수신된 수신 신호를 전달하는 제3 포트에 연결될 수 있다.
- [0027] 상기 제1 및 제2 전송 라인쌍 각각은 일단 또는 타단으로 인가된 신호의 위상을 90도 지연하여 전달할 수 있다.
- [0028] 상기 제1 및 제2 전송 라인쌍 각각은 합성 선로를 이용한 커플 인덕터로 구현될 수 있다.
- [0029] 상기 제1 및 제2 증폭기 각각은 일단이 접지 전압에 연결되고, 게이트로 차동 신호인 송신 신호가 인가되는 2개의 입력 트랜지스터; 상기 2개의 입력 트랜지스터와 상기 2개의 출력단 각각 사이에 연결되는 2개의 출력 트랜지스터; 및 상기 2개의 출력 트랜지스터의 게이트 사이에 연결되는 게이트 캐패시터를 포함할 수 있다.
- [0030] 상기 제1 및 제2 증폭기 각각은 상기 2개의 입력 트랜지스터와 상기 2개의 출력 트랜지스터 각각 사이에 위치하는 2개의 스테이지 내부 인덕터를 더 포함할 수 있다.

- [0031] 상기 2개의 스테이지 내부 인덕터는 합성 선로를 이용한 커플 인덕터로 구현될 수 있다.
- [0032] 상기 제1 및 제2 증폭기 각각은 상기 2개의 출력단 사이에 연결되는 라인 캐패시터를 더 포함할 수 있다.
- [0033] 상기 준순환기는 언밸런스 신호인 송신 신호를 인가받아 차동 신호로 변환하여 상기 입력 라인쌍의 일단으로 전달하는 발륜을 더 포함할 수 있다.
- [0034] 본 개시의 다른 실시 예에 따른, 통신 장치는 송신 모듈; 수신 모듈; 및 준순환기를 포함하고, 상기 준순환기는 입력 라인쌍에 형성되는 제1 전송 라인쌍; 출력 라인쌍에 형성되는 제2 전송 라인쌍; 2개의 입력단이 상기 제1 전송 라인쌍의 일단에 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 일단에 연결되는 제1 증폭기; 및 2개의 입력단이 상기 제1 전송 라인쌍의 타단에 2개의 입력단이 연결되고, 2개의 출력단이 상기 제2 전송 라인쌍의 타단에 교차 연결되는 제2 증폭기를 포함한다.

### 발명의 효과

- [0035] 본 개시의 준순환기 및 이를 포함하는 통신 장치는 넓은 주파수 대역에서 우수한 격리 성능을 나타내어 광대역 특성을 가질 뿐만 아니라 소형으로 제조 가능하다.

### 도면의 간단한 설명

- [0036] 도 1은 기존의 능동형 준순환기의 일 예에 대한 개략적 구조를 나타낸다.
- 도 2는 도 1의 준순환기의 시뮬레이션 특성 그래프를 나타낸다.
- 도 3은 본 개시에 따른 능동형 준순환기의 일 예에 대한 개략적 구조를 나타낸다.
- 도 4는 도 3의 준순환기의 구조를 간략화한 도면을 나타낸다.
- 도 5는 도 3의 준순환기에서 증폭기의 상세 구성의 일 예를 나타낸다.
- 도 6은 도 5의 증폭기의 특성을 설명하기 위한 그래프이다.
- 도 7 및 도 8은 도 3의 준순환기의 시뮬레이션 특성 그래프를 나타낸다.
- 도 9는 도 3의 준순환기에서 전송 라인쌍과 증폭기의 스테이지 내부 인덕터의 구현 예를 나타낸다.
- 도 10은 본 개시의 준순환기를 포함하는 통신 장치의 개략적 구조를 나타낸다.

### 발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 도면을 참조하여 본 개시의 실시예에 따른 구체적인 실시형태를 설명하기로 한다. 이하의 상세한 설명은 본 명세서에서 기술된 방법, 장치 및/또는 시스템에 대한 포괄적인 이해를 돕기 위해 제공된다. 그러나 이는 예시에 불과하며 본 발명은 이에 제한되지 않는다.
- [0038] 본 개시의 실시예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 실시예의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 일 실시예들을 기술하기 위한 것이며, 결코 제한적이지는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능성을 배제하도록 해석되어서는 안 된다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0039] 도 3은 본 개시에 따른 능동형 준순환기의 일 예에 대한 개략적 구조를 나타낸다.
- [0040] 도 3에 도시된 바와 같이, 본 개시의 능동형 준순환기(20) 또한 도 1의 준순환기(10)와 유사하게 분산 증폭기(DA)와 전송 라인((231, 232), (241, 242))를 구비한다. 다만 본 개시의 준순환기(20)는 기존의 준순환기(10)와 달리 입력 라인과 출력 라인이 각각 라인쌍((L11, L12), (L21, L22))으로 구성된다.



- [0041] 그리고 입력 라인쌍(L11, L12)의 일단에는 제1 포트(Port1)가 연결된다. 입력 라인쌍(L11, L12)의 일단에 연결된 제1 포트(Port1)는 도 1에서와 마찬가지로 입력 포트로서 송신 신호(TX)가 입력된다. 이때 제1 포트에 입력되는 송신 신호(TX)는 서로 180도 위상차를 갖는 차동 신호(differential signal, 또는 밸런스 신호(balanced signal))로 입력된다. 따라서 입력 라인쌍(L11, L12)의 제1 입력 라인(L11)에 인가된 송신 신호(TX)의 위상을 0도라고 가정할 때, 제2 입력 라인(L12)로 인가된 송신 신호(TX)는 180도의 위상을 갖는다. 그리고 입력 라인쌍(L11, L12)의 타단은 종단으로서 인가된 신호를 종단시킨다.
- [0042] 한편, 입력 라인쌍(L11, L12)의 일단은 제2 포트(Port2)에 연결되고 타단은 제3 포트(Port3)에 연결된다. 도 1에 도시된 기존의 준순환기(10)에서는 제2 포트(Port2)가 수신 포트이고, 제3 포트(Port3)가 안테나(ANT)에 연결된 출력 포트로서 구성되었으나, 본 개시의 준순환기(20)에서는 도 1의 준순환기(10)와 반대로, 제2 포트(Port2)가 안테나(ANT)에 연결되는 출력 포트로서 활용되고, 제3 포트(Port3)는 안테나(ANT)로 수신된 수신 신호(RX)가 전달되는 수신 포트로서 활용된다.
- [0043] 입력 라인과 출력 라인이 모두 차동 신호가 인가되는 라인쌍((L11, L12), (L21, L22))으로 구성되므로, 본 개시의 준순환기(20)에서는 입력 라인쌍(L11, L12)과 출력 라인쌍(L21, L22) 각각에 전송 라인쌍((231, 232), (241, 242))이 형성되어, 총 4개의 전송 라인이 형성된다. 제1 전송 라인쌍(231, 232)의 제1 전송 라인(231)은 제1 입력 라인(L11)에 형성되고, 제2 전송 라인(232)은 제2 입력 라인(L12)에 형성된다. 그리고 제2 전송 라인쌍(241, 242)의 제1 전송 라인(241)은 제1 출력 라인(L21)에 형성되고, 제2 전송 라인(242)은 제2 출력 라인(L22)에 형성된다. 4개의 전송 라인((231, 232), (241, 242))은 각각 일단 또는 타단으로 인가되는 전송 신호(TX)를 90도만큼 위상 지연하여 타단 또는 일단으로 전달한다.
- [0044] 한편, 분산 증폭기(DA)는 도 1의 분산 증폭기(DA)와 마찬가지로 2개의 증폭기(21, 22)를 포함하는 2스테이지 분산 증폭기로 구현된다. 다만, 본 개시에서는 입력 라인과 출력 라인이 차동 신호를 인가받는 라인쌍으로 구현되므로, 분산 증폭기(DA)의 2개의 증폭기(21, 22)는 입력 라인쌍(L11, L12)과 출력 라인쌍(L21, L22) 사이에 연결될 수 있도록, 각각 이중단(double-ended)을 갖는 차동 증폭기(Differential Amplifier)로 구현될 수 있다. 제1 및 제2 증폭기(21, 22) 각각에서 2개의 입력단은 입력 라인쌍(L11, L12)에 연결되고, 2개의 출력단은 출력 라인쌍(L21, L22)에 연결된다. 제1 및 제2 증폭기(21, 22)는 각각 입력 라인쌍(L11, L12)으로 인가되는 180도 위상차를 갖는 차동 신호를 증폭하여 출력 라인쌍(L11, L12)으로 전달한다.
- [0045] 이때, 제1 및 제2 증폭기(21, 22)의 제1 입력단은 + 입력단으로서 입력 라인쌍(L11, L12)의 제1 입력 라인(L11)에 연결되고, 제2 입력단은 - 입력단으로서 제2 입력 라인(L12)에 연결된다. 그리고 제1 증폭기(21)의 제1 출력단은 출력 라인쌍(L21, L22)의 제1 출력 라인(L21)에 연결되고, 제2 출력단은 제2 출력 라인(L22)에 연결되는 반면, 제2 증폭기(22)의 제1 출력단은 출력 라인쌍(L21, L22)의 제2 출력 라인(L22)에 연결되고, 제2 출력단은 제1 출력 라인(L21)에 연결된다.
- [0046] 즉 제1 및 제2 증폭기(21, 22)의 2개의 입력단은 동일한 방식으로 입력 라인쌍(L11, L12)에 연결되는 반면, 2개의 출력단은 서로 교차되어 출력 라인쌍(L21, L22)에 연결된다.
- [0047] 따라서 제1 증폭기(21)는 입력 라인쌍(L11, L12)으로 인가된 차동 신호의 위상을 그대로 출력 라인쌍(L21, L22)으로 전달하는데 반해, 제2 증폭기(22)의 2개의 출력단이 출력 라인쌍(L21, L22)에 교차 연결됨에 따라, 입력 라인쌍(L11, L12)으로 인가된 차동 신호의 위상이 180도 반전되어 출력 라인쌍(L21, L22)으로 전달된다. 이는 별도의 구성 요소 없이 차동 신호의 위상을 반전한 것과 동일한 효과를 유발한다.
- [0048] 여기서 제1 내지 제3 포트(Port1 ~ Port3)와 입력 라인쌍(L11, L12)의 타단의 종단은 종단 임피던스( $2Z_0$ )를 가질 수 있다.
- [0049] 도 3에서도 우측 그림은 각 노드(① ~ ⑧)에서 신호의 위상 변화를 나타낸다.
- [0050] 상기한 구성을 갖는 본 개시의 준순환기(20)의 동작을 살펴보면, 우선, 입력 포트인 제1 포트(Port1)으로 송신 신호(TX)가 인가된다. 여기서는 송신 신호(TX)가 180도 위상차를 갖는 차동 신호이므로, 제1 입력 라인(L11)의 제1 노드(①)로 인가된 신호의 위상이 0도라고 가정하면, 제2 입력 라인(L12)의 제2 노드(②)로 인가된 신호는 180도 위상을 갖는다.
- [0051] 그리고 입력 라인쌍(L11, L12)의 제1 및 제2 노드(①, ②)로 인가된 차동 신호는 제1 전송 라인쌍(231, 232)을 거쳐 제3 및 제4 노드(③, ④)로 전달되면서 각각 90도 위상 지연되어, 90도 및 270도 위상을 갖게 된다.
- [0052] 제1 및 제2 노드(①, ②)로 인가된 0도 및 180도 위상의 차동 신호는 제1 증폭기(21)의 입력단으로 인가되고,

제3 및 제4 노드(③, ④)의 90도 및 270도 위상의 차동 신호는 제2 증폭기(22)의 입력단으로 인가된다. 제1 및 제2 증폭기(21, 22)는 각각 입력단으로 인가된 차동 신호를 증폭하여 출력단으로 출력한다.

[0053] 이때 제1 증폭기(21)의 제1 출력단은 출력 라인쌍(L21, L22)에서 제1 출력 라인(L21)의 제5 노드(⑤)에 연결되고, 제2 출력단은 제2 출력 라인(L22)의 제6 노드(⑥)에 연결되어 있다. 따라서 제5 노드(⑤)에는 0도 위상의 신호가 인가되고, 제6 노드(⑥)에는 180도 위상의 신호가 인가된다.

[0054] 제1 증폭기(21)에서 제5 및 제6 노드(⑤, ⑥)로 인가된 차동 신호는 제2 전송 라인쌍(241, 242)의 일단으로 인가되어 각각 90도 위상 지연되어 90도 및 270도 위상을 갖고 타단에 연결된 제8 및 제7 노드(⑧, ⑦)로 전달된다.

[0055] 한편, 제2 증폭기(22)에서는 출력단이 출력 라인쌍(L21, L22)의 제7 및 제8 노드(⑦, ⑧)에 교차 연결됨에 따라, 제2 증폭기(22)의 제1 출력단은 출력 라인쌍(L21, L22)에서 제2 출력 라인(L22)의 제7 노드(⑦)에 연결되고, 제2 출력단은 제1 출력 라인(L21)의 제8 노드(⑧)에 연결된다. 따라서 제1 출력 라인(L21)의 제8 노드(⑧)에는 270도 위상의 신호가 인가되고, 제7 노드(⑦)에는 90도 위상의 신호가 인가된다.

[0056] 따라서, 제8 노드(⑧)에서는 제21 전송 라인(241)에서 전달된 90도 위상 신호와 제2 증폭기(22)의 제2 출력단에서 전달된 270도 위상의 신호가 결합되어 상쇄 간섭된다. 그리고 제7 노드(⑦)에서는 제22 전송 라인(242)에서 전달된 270도 위상 신호와 제2 증폭기(22)의 제1 출력단에서 전달된 90도 위상의 신호가 결합되어 상쇄 간섭된다.

[0057] 결과적으로 출력 라인쌍(L21, L22)의 제8 및 제7 노드(⑧, ⑦) 각각에서 상쇄 간섭이 발생되므로, 수신 포트인 제3 포트(Port3)에는 송신 신호(TX)가 전달되지 않는다. 즉 수신 포트는 입력 포트에 대해 격리된다. 특히 송신 신호(TX)가 입력 라인쌍(L11, L12)를 통해 180도 위상차를 갖는 차동 신호로 인가되므로, 송신 신호(TX)가 제1 및 제2 전송 라인쌍((231, 232), (241, 242))에서 위상 지연될지라도, 송신 신호(TX)의 주파수에 무관하게 동일한 크기로 위상 지연된다. 그리고 제3 포트(Port3)가 연결된 제8 및 제7 노드(⑧, ⑦)에 인가되는 신호는 모두 동일하게 하나의 전송 선로와 하나의 증폭기를 거친 신호이다. 따라서 동일한 과정의 전달 경로를 통해 인가된 신호이므로, 공정 상의 오차를 제외한다면 세기차도 거의 발생되지 않는다.

[0058] 결과적으로 제8 및 제7 노드(⑧, ⑦) 각각에서는 단지 제2 증폭기(22)의 출력단이 출력 라인쌍(L21, L22)이 교차 연결됨에 의해, 송신 신호(TX)의 모든 주파수 대역폭에 대해 상쇄 간섭이 효과적으로 발생된다.

[0059] 한편 제2 증폭기(22)의 출력단에서 제8 및 제7 노드(⑧, ⑦)로 인가된 270도 및 90도 위상을 갖는 차동 신호는 제2 전송 라인쌍(241, 242)를 통해 90도 위상 지연되어 제5 및 제6 노드(⑤, ⑥)로 인가된다. 따라서 제5 및 제6 노드(⑤, ⑥)에는 360도 및 180도 위상의 차동 신호가 인가된다. 제2 전송 라인쌍(241, 242)을 통해 인가된 360도 및 180도 위상의 차동 신호는 제1 증폭기(21)의 2개의 출력단에서 인가된 0도 및 180도 위상의 차동 신호와 결합된다. 이때 두 차동 신호의 위상이 서로 동일하므로 보강 간섭이 발생되고, 보강 간섭된 차동 신호가 안테나(ANT)에 연결된 제2 포트(Port2)로 전달된다.

[0060] 비록 제1 증폭기(21)의 출력단에서 인가된 0도 및 180도 위상의 차동 신호에 비해 360도 및 180도 위상의 차동 신호는 2개의 전송 라인쌍((231, 232), (241, 242))을 통해 인가되므로, 지연시간에 의한 위상차가 발생할 수 있다. 그리고 상기한 바와 같이 전송 라인에서의 위상 지연은 인가된 신호의 주파수에 영향을 받는다. 따라서 차동 신호의 주파수에 따라 결합되는 신호의 위상차가 발생할 수 있다. 다만, 제2 포트(Port2)로 인가된 신호가 차동 신호일 뿐만 아니라, 상쇄 간섭에 비해 보강 간섭이므로 이로 인한 영향이 크지 않다.

[0061] 결과적으로 본 개시의 준순환기(20)는 입력 라인과 출력 라인을 라인쌍((231, 232), (241, 242))으로 구성하여 차동 신호를 인가받고, 분산 증폭기(DA)의 2개의 증폭기의 출력단이 출력 라인쌍에 교차 연결되도록 구성됨으로써, 넓은 대역폭에서 보강 간섭과 상쇄 간섭이 이루어질 수 있어 매우 넓은 대역폭에서 안정적으로 동작을 수행할 수 있다.

[0062] 도 4는 도 3의 준순환기의 구조를 간략화한 도면을 나타낸다.

[0063] 도 4에서는 본 개시의 준순환기(20)의 구조를 도 1의 준순환기(10)의 구조와 비교하기 용이하도록, 입력 및 출력 라인쌍((L11, L12), (L21, L22))을 도 1에서와 마찬가지로 단일 라인으로 표현하였다. 도 4에 도시된 본 개시의 준순환기(20)를 도 1에 도시된 기존의 준순환기(10)와 비교하면, 본 개시의 준순환기(20)는 제2 포트(Port2)가 안테나(ANT)가 연결된 출력 포트에 이용되고, 제3 포트(Port3)는 수신 신호가 전달되는 수신 포트에 이용되는 점과 함께 제2 증폭기(22)의 출력단에서 출력되는 신호의 위상을 180도 반전하는 위상 시프터(26)를

더 구비한다는 점을 제외하면 거의 동일한 구조를 갖는다는 것을 알 수 있다. 그리고 상기한 바와 같이, 위상 시프터(26)는 실제 구성 요소가 아니라 제2 증폭기(22)의 2개의 출력단을 출력 라인쌍(241, 242)의 제2 및 제1 출력 라인(L22, L21)에 교차 연결하는 연결 방식의 변경만으로 구현된다. 따라서 실질적으로는 입력 라인(L1)과 출력 라인(L2)이 입력 라인쌍(L11, L12)과 출력 라인쌍(L21, L22)로 변경됨에 따라 2개의 전송 라인(13, 14)이 2개의 전송 라인쌍((231, 232), (241, 242))으로 구비되어 전송 라인이 2개 추가되었을 뿐임을 알 수 있다.

[0064] 도 5는 도 3의 준순환기에서 증폭기의 상세 구성의 일 예를 나타내고, 도 6은 도 5의 증폭기의 특성을 설명하기 위한 그래프이다.

[0065] 도 3에 도시된 바와 같이, 본 개시의 준순환기(20)에서 분산 증폭기(DA)에서 2개의 증폭기(21, 22)는 차동 증폭기로 구현된다. 이때 2개의 증폭기(21, 22)는 신호 전달 경로에 따른 상쇄 간섭 오차를 고려하지 않아도 되므로, 기준과 달리 서로 동일하게 설계될 수 있다. 또한 전력 처리 성능을 향상시키기 위해, 도 7에 도시된 바와 같이, 접지 전압과 2개의 출력단 각각 사이에 2개씩의 트랜지스터((M1, M3), (M2, M4))가 스택된 2 스택 구조로 구성될 수 있다. 스택된 2개의 트랜지스터에서 접지 전압에 연결된 2개의 트랜지스터(M1, M2)는 입력 트랜지스터로서 게이트가 입력 라인쌍(L11, L12)에 연결되어 차동 신호가 인가된다. 그리고 출력단에 연결된 2개의 출력 트랜지스터(M3, M4)의 게이트는 게이트 캐패시터( $C_{gate}$ )의 양단에 연결된다. 여기서 게이트 캐패시터( $C_{gate}$ )는 2개의 트랜지스터(M3, M4)가 동일한 드레인-소스 전압을 갖도록 하기 위해 구비되어, 증폭기에 안정성을 제공한다. 그리고 증폭기(21, 22)에서 4개의 트랜지스터의 폭은 2개의 전송 라인쌍((231, 232), (241, 242))에서 흡수되는 기생 용량에 따라 입력 캐패시턴스( $C_{in}$ )와 출력 캐패시턴스( $C_{out}$ )를 갖도록 결정된다.

[0066] 입력 캐패시턴스( $C_{in}$ )와 출력 캐패시턴스( $C_{out}$ )가 인가된 송신 신호(TX)의 주파수에 무관하게 이상적으로 균일한 차이를 갖고 유지된다면, 본 개시의 준순환기(20)는 모든 주파수대역에서 수신 포트인 제3 포트(Port3)를 완전하게 격리시킬 수 있다. 그러나 실제 차동 증폭기(21, 22)에서 입력 캐패시턴스( $C_{in}$ )와 출력 캐패시턴스( $C_{out}$ )는 도 8에서 점선으로 나타난 바와 같이, 주파수가 높아질수록 밀러 효과에 의해 증폭기(21, 22)의 이득이 감소하여, 입력 캐패시턴스( $C_{in}$ )는 점차 낮아지는데 반해, 출력 캐패시턴스( $C_{out}$ )는 점차 높아져 캐패시턴스 차이가 감소하게 된다. 그리고 주파수에 따른 입력 캐패시턴스( $C_{in}$ )와 출력 캐패시턴스( $C_{out}$ ) 차이 변화는 준순환기(20)의 격리 성능 저하를 유발하게 된다.

[0067] 이러한 문제를 해소하기 위해, 본 개시에서는 증폭기(21, 22)에서 2개의 입력 트랜지스터(M1, M3)와 2개의 출력 트랜지스터(M2, M4) 사이에 직렬로 연결되는 2개의 스테이지 내부 인덕터(Interstage Inductor)( $L_{int}^1, L_{int}^2$ )를 더 구비한다. 2개의 스테이지 내부 인덕터( $L_{int}^1, L_{int}^2$ )는 주파수가 증가되는 경우에도 증폭기(21, 22)의 이득이 감소되지 않도록 억제하여, 도 8의 실선으로 나타난 바와 같이, 입력 캐패시턴스( $C_{in}$ )와 출력 캐패시턴스( $C_{out}$ ) 사이의 캐패시턴스 차이가 주파수에 무관하게 가급적 균일하게 유지되도록 한다.

[0068] 따라서 본 개시의 준순환기는 매우 높은 주파수 대역에서도 안정적으로 격리 성능을 보장할 수 있다.

[0069] 도 7 및 도 8은 도 3의 준순환기의 시뮬레이션 특성 그래프를 나타낸다.

[0070] 도 7은 본 개시의 준순환기(20)의 격리 특성을 기존의 준순환기(10)의 특성과 함께 도시한 도면이다. 그리고 도 8은 본 개시의 준순환기(20)의 전달 특성을 기존의 준순환기(10)의 특성과 함께 도시한 도면이다.

[0071] 도 7 및 도 8에서 점선은 기존의 준순환기(10)의 특성을 나타내고, 실선은 본 개시의 준순환기(20)의 특성을 나타낸다. 그리고 실선 중 빨간색 선은 결합되는 두 차동 신호의 위상차가 1도인 경우를 나타내고, 파란색 선은 두 차동 신호의 위상차가 5도인 경우를 나타낸다. 도 7 및 도 8에서는 2단 분산 증폭기(DA)의 2개의 증폭기의 이득이 10dB 인 것으로 가정하여 시뮬레이션한 결과를 나타낸다.

[0072] 도 7에 도시된 바와 같이, 기존의 준순환기(10)는 송신 신호(TX)의 주파수가 동작 주파수( $f_0$ )(예를 들면 28GHz)를 중심으로 매우 좁은 주파수 대역에서만 우수한 격리 성능을 나타내는데 반해, 본 개시의 준순환기(20)는 결합되는 두 차동 신호의 위상차가 1도인 경우, 2배의 동작 주파수( $2f_0$ ) 이하 대역폭에서 -30dB 보다 큰 격리도를 가지며, 위상차가 5도인 경우에도 2배의 동작 주파수( $2f_0$ ) 이하 대역폭에서 -15dB 보다 큰 격리도를 가진다는 것을 알 수 있다. 즉 격리 성능이 매우 우수하다는 것을 알 수 있다.

- [0073] 한편 도 6을 살펴보면 본 개시의 준순환기(20)는 두 차동 신호의 위상차가 1도인 경우이나 5도인 경우이나 거의 동일하게  $0.2f_0$ 에서  $1.8f_0$  구간의 매우 넓은 주파수 대역에서 -10dB 이상의 우수한 전달 특성을 나타냄을 알 수 있다. 비록 기존의 준순환기(10)는 전체 대역폭에서 균일한 전달 특성을 나타내지만, 기존의 준순환기(10)는 도 5에 도시된 바와 같이, 매우 제한된 대역폭에서만 우수한 격리 특성을 나타내므로, 실제 사용할 수 있는 대역폭이 격리 특성에 의해 크게 제한된다.
- [0074] 그에 반해, 본 개시의 준순환기(20)는 매우 간단한 구조 변경만으로 매우 넓은 대역폭에서 전달 특성과 격리 특성이 모두 우수하게 나타나므로 광 대역폭에 대해 안정적으로 동작할 수 있다.
- [0075] 도 9는 도 3의 준순환기에서 전송 라인쌍과 증폭기의 스테이지 내부 인덕터의 구현 예를 나타낸다.
- [0076] 본 개시의 준순환기(20)는 입력 라인쌍(L11, L12)과 출력 라인쌍(L21, L22)를 통해 차동 신호인 송신 신호(TX)를 인가받아 전달하며, 이에 따라 4개의 전송 라인((231, 232), (241, 242))을 구비하므로, 기존의 준순환기(10)에 비해 2개의 전송 라인을 더 구비해야 한다. 그리고 단일단 증폭기(11, 12)와 차동 증폭기(21, 22)의 구성은 유사하지만, 본 개시에서 차동 증폭기(21, 22)는 2개의 스테이지 내부 인덕터( $L_{int}$ )를 더 구비해야 한다. 따라서 일반적으로는 본 개시의 준순환기(20)는 기존의 준순환기(10)에 비해 크게 구현되게 된다. 그러나 온칩으로의 통합을 위해서는 준순환기(20)의 크기를 소형화하는 것이 매우 중요하다.
- [0077] 도 3에 도시된 모든 전송 라인((231, 232), (241, 242))의 특성 임피던스는 포트의 임피던스( $Z_0$ )(예를 들면 50  $\Omega$ )와 매칭되도록 구성되어야 하고, 90도 위상 지연을 위해  $\lambda/4$ (여기서  $\lambda$ 는 파장)의 길이를 가져야 한다. 그러나  $\lambda/4$  길이는 온칩상에 집적되기에는 너무 길다. 이에 본 개시에서는 준순환기(20)의 2개의 전송 라인쌍((231, 232), (241, 242))과 증폭기의 스테이지 내부 인덕터( $L_{int}$ )를 도 9에 도시된 바와 같이, 합성 라인(synthetic line)에 기반하는 커플 인덕터(coupled inductor)로 구현하여, 기존의 준순환기(10)보다 작은 크기로 구현될 수 있도록 한다.
- [0078] 도 9의 양단에 도시된 바와 같이, 커플 인덕터는 전송 라인쌍((231, 232), (241, 242))이 서로 교차 및 평행하게 형성되어, 단일 라인의 길이로 전송 라인을 구현하는 경우보다, 작은 크기로 요구되는 임피던스를 갖도록 구현될 수 있다. 도 9의 양단에 도시된 커플 인덕터 구조에서 상단에 별도로 표시된 도면은 2개의 합성 라인 각각의 구조를 별도로 나타낸 도면이다.
- [0079] 그리고 증폭기(21, 22)의 입력 캐패시턴스( $C_{in}$ )와 출력 캐패시턴스( $C_{out}$ )의 불일치를 보상할 수 있도록 2개의 증폭기(21, 22) 각각의 출력단 사이에 라인 캐패시터( $C_{line}$ )를 더 구비할 수 있다. 라인 캐패시터( $C_{line}$ )가 구비되면, 2개의 라인 캐패시터( $C_{line}$ )와 제2 전송 라인쌍(241, 242)이 캐패시터-인덕터-캐패시터의 로우 패스  $\pi$  구조를 갖게 된다.
- [0080] 전송 라인쌍((231, 232), (241, 242))과 증폭기(21, 22)의 스테이지 내부 인덕터( $L_{int}$ )가 도 9와 같이 커플 인덕터로 구현되게 되면, 본 개시의 준순환기(20)는 실제 구현 시에 각 전송 라인(13, 14)이  $\lambda/4$ 의 길이로 구현되어야 하는 기존의 준순환기(10)보다 작은 크기로 구현될 수 있다.
- [0081] 결과적으로 본 개시의 준순환기(20)는 매우 넓은 주파수 대역폭에서 안정적으로 동작할 수 있을 뿐만 아니라 소형으로 제작될 수 있다.
- [0082] 도시하지 않았으나, 본 개시의 준순환기(20)는 송신 신호(TX)가 언밸런스 신호(unbalanced signal)로 인가되는 경우, 이를 차동 신호(또는 밸런스 신호)로 변환하여 제1 포트(Port1)로 인가하기 위한 발룬(balun)을 더 포함할 수 있다.
- [0083] 도 10은 본 개시의 준순환기를 포함하는 통신 장치의 개략적 구조를 나타낸다.
- [0084] 도 10을 참조하면, 본 개시의 통신 장치(30)는 준순환기(20), 송신 모듈(31) 및 수신 모듈(32)을 포함할 수 있다. 송신 모듈(31)은 안테나(ANT)를 통해 전송할 송신 신호(TX)를 생성하여 준순환기(20)로 인가한다. 여기서 송신 신호(TX)는 차동 신호(또는 밸런스 신호)로 인가될 수 있으나, 송신 신호(TX)가 언밸런스 신호로 인가되는 경우, 준순환기(20)는 발룬을 이용하여 언밸런스 신호로 인가된 송신 신호(TX)를 차동 신호로 변환할 수 있다.
- [0085] 준순환기(20)는 송신 모듈(32)에서 인가된 송신 신호(TX)를 안테나(ANT)로 전달하여, 송신 신호(TX)가 안테나(ANT)를 통해 방사되도록 한다. 이때 준순환기(20)는 송신 모듈(32)에서 인가된 송신 신호(TX)가 수신 모듈



(33)로 전달되지 않도록 격리시킨다.

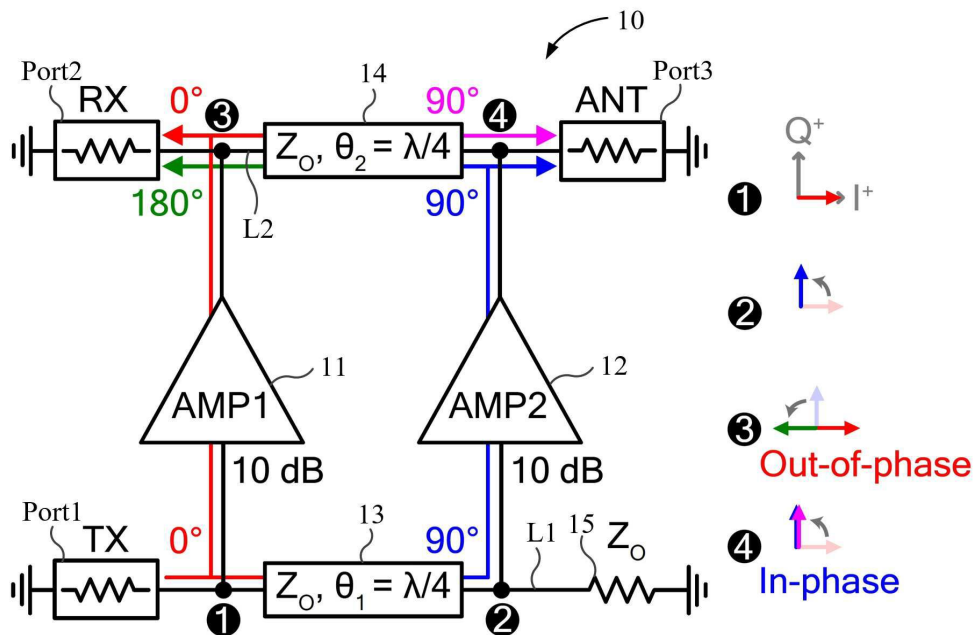
[0086] 그리고 준순환기(20)는 안테나(ANT)를 통해 수신 신호(RX)가 수신되면, 안테나(ANT)로 수신된 수신 신호(RX)를 수신 모듈(32)으로 전달한다. 도 3에 도시된 바와 같이, 안테나(ANT)가 연결된 제2 포트(Port2)는 출력 라인쌍(L21, L22)에 연결되고, 출력 라인쌍(L21, L22)은 증폭기(21, 22)의 출력단과 연결되어 있다. 따라서 출력 라인쌍(L21, L22)의 일단으로 인가된 수신 신호(RX)는 입력 라인쌍(L11, L12)으로 전달되지 않고, 제2 전송 라인쌍(241, 242)를 통해 90도 위상 지연되어 출력 라인쌍(L21, L22)의 타단에 연결된 제3 포트(Port3)로 전달된다. 수신 신호(RX)는 제2 전송 라인쌍(241, 242)에서 동일하게 90도 위상 지연되어 제3 포트(Port3)로 전달되고, 수신 모듈(32)은 제3 포트(Port3)에 연결되어 90도 위상 지연된 수신 신호(RX)를 인가받는다.

[0087] 도시된 실시예에서, 각 구성들은 이하에 기술된 것 이외에 상이한 기능 및 능력을 가질 수 있고, 이하에 기술되지 것 이외에도 추가적인 구성을 포함할 수 있다. 또한, 일 실시예에서, 각 구성은 물리적으로 구분된 하나 이상의 장치를 이용하여 구현되거나, 하나 이상의 프로세서 또는 하나 이상의 프로세서 및 소프트웨어의 결합에 의해 구현될 수 있으며, 도시된 예와 달리 구체적 동작에 있어 명확히 구분되지 않을 수 있다.

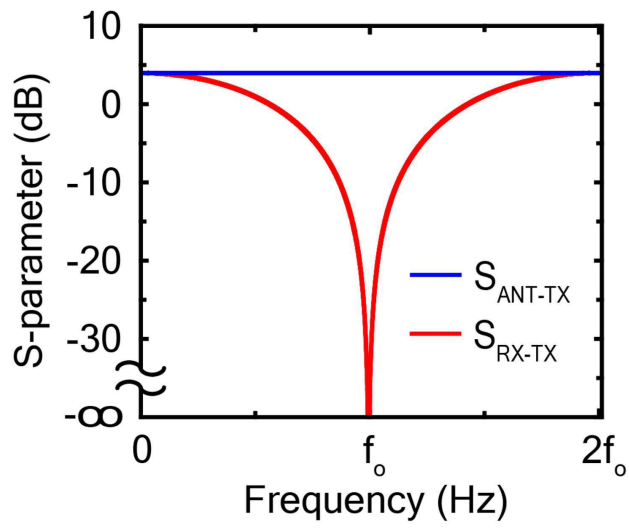
[0088] 그리고 본 개시의 준순환기(20)는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.

## 도면

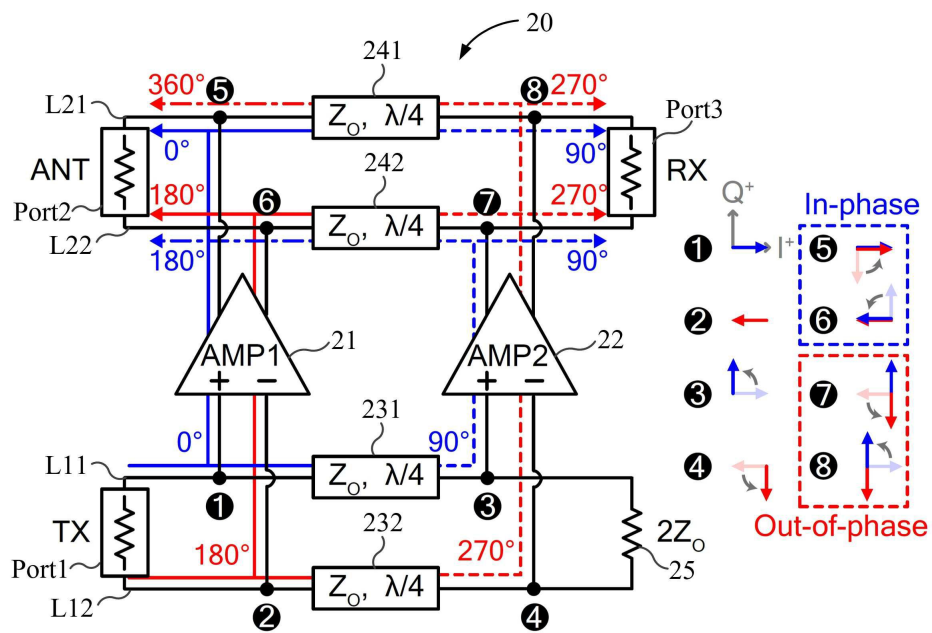
### 도면1



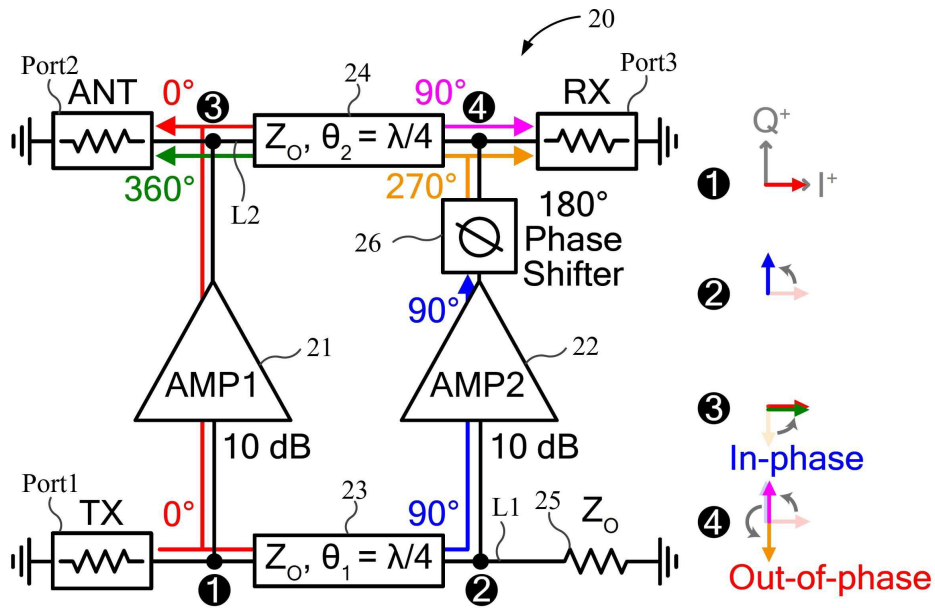
도면2



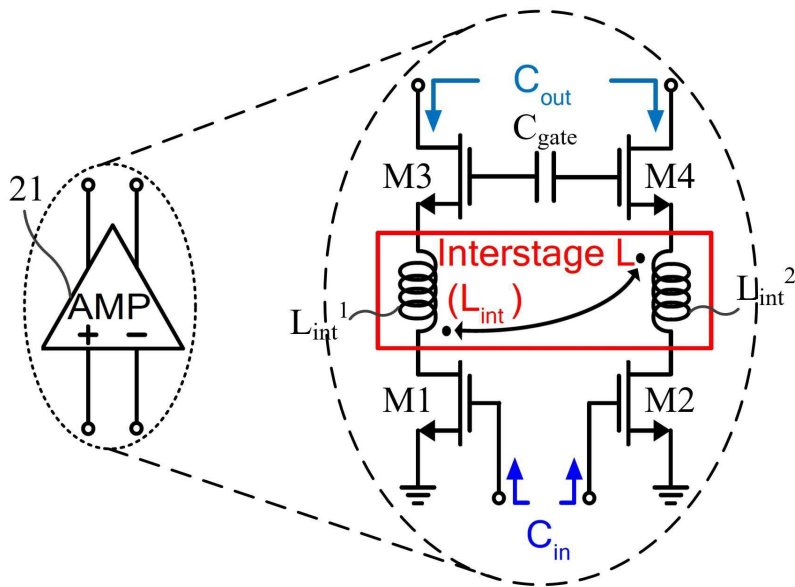
도면3



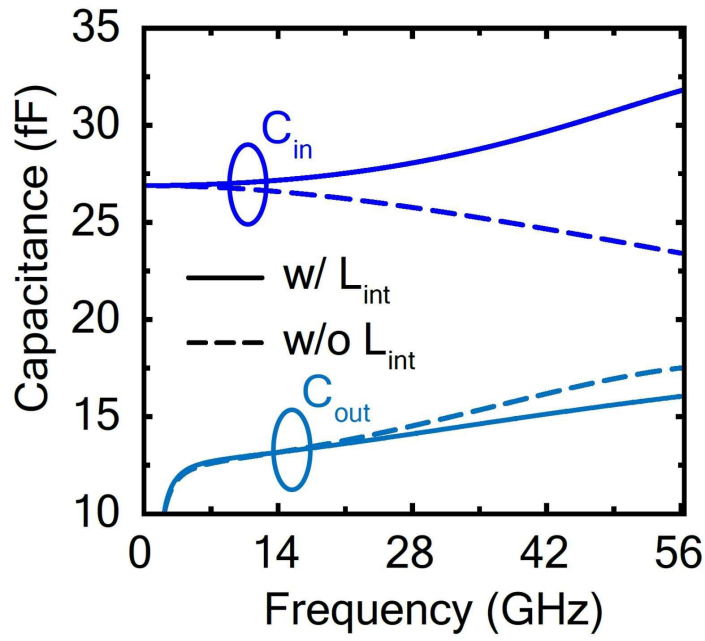
도면4



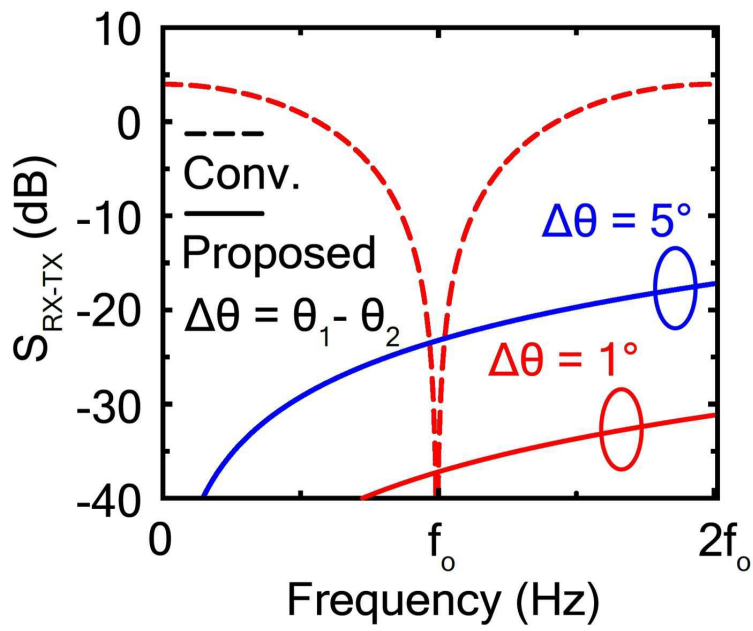
도면5



도면6

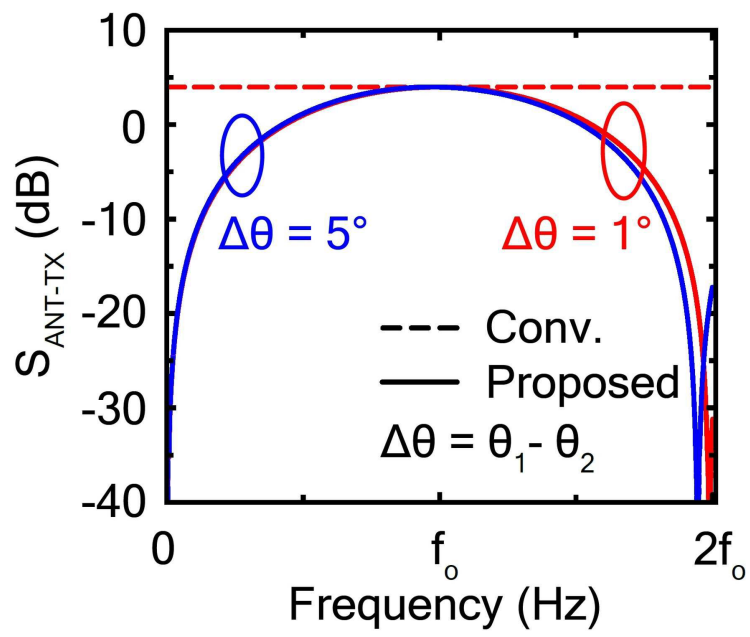


도면7

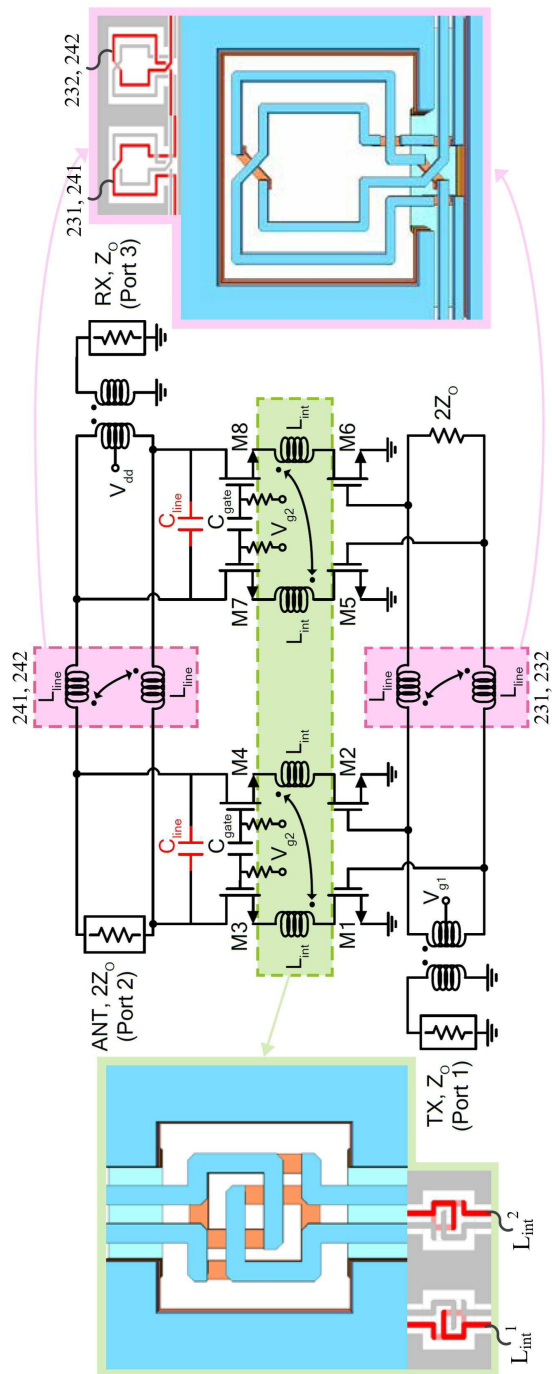




도면8



도면9



도면10

