



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년05월08일

(11) 등록번호 10-2664020

(24) 등록일자 2024년05월02일

(51) 국제특허분류(Int. Cl.)

G01R 31/317 (2006.01)

(52) CPC특허분류

G01R 31/31707 (2013.01)

G01R 31/31721 (2013.01)

(21) 출원번호 10-2021-0146108

(22) 출원일자 2021년10월28일

심사청구일자 2021년10월28일

(65) 공개번호 10-2023-0061154

(43) 공개일자 2023년05월08일

(56) 선행기술조사문헌

KR100528137 B1*

(뒷면에 계속)

전체 청구항 수 : 총 10 항

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

강성호

서울특별시 마포구 양화로 45, 101동 2102호(서교동, 메세나폴리스)

이인환

서울특별시 영등포구 당산로 205, 101동 1615호(당산동5가)

(74) 대리인

특허법인우인

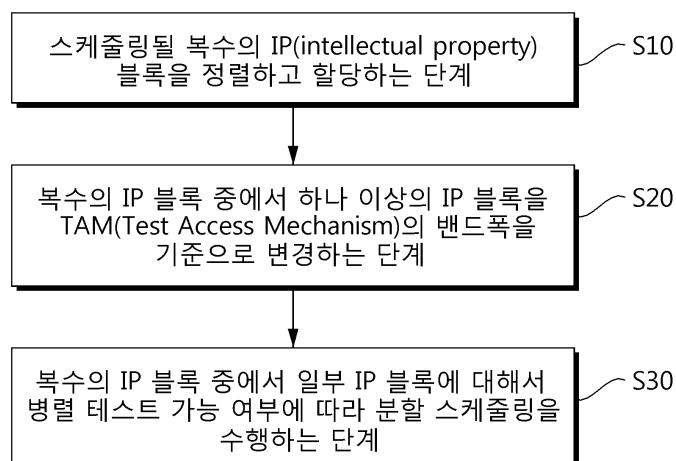
심사관 : 오경환

(54) 발명의 명칭 분할 스케줄링을 이용한 테스트 시간 감소 방법 및 장치

(57) 요약

본 실시예들은 SoC(System on Chip) 회로를 대상으로 여러 IP(intellectual property)의 전력 소모와 TAM 밴드폭에 따른 테스트 순서를 정하여 테스트 시간을 최소화하며, 전력 소모와 TAM 밴드폭의 한계치 내에서 두 요소를 최대로 활용하고, 1차적으로 스케줄링을 진행한 후 2차로 분할 스케줄링을 수행하여 한계치 내의 남은 전력 소모 및 TAM의 밴드폭을 충분히 활용하여 테스트 시간을 줄일 수 있는 테스트 시간 감소 방법 및 장치를 제공한다.

대표도 - 도7



(52) CPC특허분류

G01R 31/31724 (2013.01)

G01R 31/31725 (2013.01)

(56) 선행기술조사문헌

KR1020210010527 A

KR1020170066695 A

KR1020100084185 A

KR1020090062286 A

KR101539163 B1

KR101116956 B1

Proc. of 7th International Conference on
Computer and Information Technology, December
2004*

비특허문헌 1

비특허문헌 2

IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF
INTEGRATED CIRCUITS AND SYSTEMS, VOL. 24, NO.
6, JUNE 2005, Page 956-965*

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 1415173183

과제번호 20012010

부처명 산업통상자원부

과제관리(전문)기관명 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 지능형 반도체를 위한 테스트 회로 설계 기술(2/3)

기 여 율 1/1

과제수행기관명 연세대학교 산학협력단

연구기간 2021.01.01 ~ 2021.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

시스템 온 칩 회로에 대한 테스트 시간 감소 방법에 있어서,

스케줄링될 복수의 IP(intellectual property) 블록을 정렬하고 할당하는 단계;

상기 복수의 IP 블록 중에서 하나 이상의 IP 블록을 TAM(Test Access Mechanism)의 밴드폭을 기준으로 변경하는 단계;

상기 복수의 IP 블록 중에서 일부 IP 블록에 대해서 병렬 테스트 가능 여부에 따라 분할 스케줄링을 수행하는 단계를 포함하고,

상기 복수의 IP 블록을 정렬하고 할당하는 단계는, 상기 IP 블록에 대해서 예상 변경 가중치에 따라 정렬하고 할당하는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 복수의 IP 블록을 정렬하고 할당하는 단계는,

상기 TAM의 밴드폭의 변화량과 TAT(Test Application Time)의 변화량의 곱이 작은 IP 블록을 우선순위로 할당하는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 4

제3항에 있어서,

상기 TAM의 밴드폭의 변화량은,

상기 TAM의 밴드폭의 한계치를 초과한 IP 블록에 대해서 변경전 밴드폭에서 변경될 밴드폭을 뺀 변화량으로 정의되는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 5

제3항에 있어서,

상기 TAT의 변화량은,

상기 TAM의 밴드폭이 변경될 밴드폭일 때의 변경시 테스트 시간에서 TAM의 밴드폭이 변경전 밴드폭일 때의 최소 테스트 시간을 뺀 변화량으로 정의되는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 6

제1항에 있어서,

상기 하나 이상의 IP 블록을 상기 TAM의 밴드폭을 기준으로 변경하는 단계는,

상기 복수의 IP 블록 중에서 상기 TAM의 밴드폭의 한계치를 초과하는 IP 블록에 대해서 밴드폭을 감소시키는 단계; 및

상기 복수의 IP 블록 중에서 상기 TAM의 밴드폭의 한계치를 초과하지 않는 IP 블록에 대해서 밴드폭을 증가시키는 단계를 포함하는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 7

제6항에 있어서,

상기 IP 블록에 대해서 밴드폭을 감소시키는 단계는,

상기 TAM의 밴드폭의 한계치 범위 아래로 감소시키는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 8

제6항에 있어서,

상기 IP 블록에 대해서 밴드폭을 증가시키는 단계는,

TAT의 불연속 감소로 인한 TAM의 밴드폭을 사용하지 못하는 상황에서 해당하는 IP 블록의 TAM의 밴드폭을 상기 TAM의 밴드폭의 한계치 범위 내에서 증가시키는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 9

제1항에 있어서,

상기 분할 스케줄링을 수행하는 단계는,

1차적으로 스케줄링 결과를 통해 2차적으로 분할 스케줄링을 진행하며,

상기 스케줄링 결과에서 마지막 IP 블록에 대해 다른 앞의 IP들과 병렬 테스트 가능 여부를 판단하는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 10

제1항에 있어서,

상기 분할 스케줄링을 수행하는 단계는,

판단 기준으로 전력 소모의 한계치와 상기 TAM의 밴드폭의 한계치가 적용되고, 두 한계치를 모두 넘지 않으면 분할을 적용하는 것을 특징으로 하는 테스트 시간 감소 방법.

청구항 11

스케줄러를 포함하는 시스템 온 칩에 있어서,

상기 스케줄러는,

스케줄링될 복수의 IP(intellectual property) 블록을 정렬하고 할당하고,

상기 복수의 IP 블록 중에서 하나 이상의 IP 블록을 TAM(Test Access Mechanism)의 밴드폭을 기준으로 변경하고,

상기 복수의 IP 블록 중에서 일부 IP 블록에 대해서 병렬 테스트 가능 여부에 따라 분할 스케줄링을 수행하며,

상기 IP 블록에 대해서 예상 변경 가중치에 따라 정렬하고 할당하는 것을 특징으로 하는 시스템 온 칩.

발명의 설명

기술 분야

[0001] 본 발명이 속하는 기술 분야는 테스트 시간 감소 방법 및 장치에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] IC(Integrated Circuit) 기술이 발전함에 따라 복잡한 칩의 양산이 가능하다. 칩이 복잡해짐에 따라 해당 칩을 테스트하기 위한 테스트 패턴의 수 역시 증가한다. 테스트 패턴 수의 증가는 테스트 시간을 증가시키는 요소에 해당한다. 테스트 시간은 테스트 총 비용에서 중요한 요소로 자리잡고 있으며, 테스트 시간의 증가는 곧 테스트

비용의 증가를 의미한다. 따라서 SoC(System on Chip)의 발전과 함께 해당 테스트 시간을 줄이기 위한 해결 방안이 필요한 실정이다.

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) KR 10-1539163 (2015.07.17)
- (특허문헌 0002) KR 10-1116956 (2012.02.08)

발명의 내용

해결하려는 과제

- [0005] 본 발명의 실시예들은 SoC(System on Chip) 회로를 대상으로 여러 IP(intellectual property)의 전력 소모와 TAM 밴드폭에 따른 테스트 순서를 정하여 테스트 시간을 최소화하며, 전력 소모와 TAM 밴드폭의 한계치 내에서 두 요소를 최대로 활용하고, 1차적으로 스케줄링을 진행한 후 2차로 분할 스케줄링을 수행하여 한계치 내의 남은 전력 소모 및 TAM의 밴드폭을 충분히 활용하여 테스트 시간을 줄이는데 주된 목적이 있다.
- [0006] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

- [0007] 본 실시예의 일 측면에 의하면 시스템 온 칩 회로에 대한 테스트 시간 감소 방법에 있어서, 스케줄링될 복수의 IP(intellectual property) 블록을 정렬하고 할당하는 단계; 상기 복수의 IP 블록 중에서 하나 이상의 IP 블록을 TAM(Test Access Mechanism)의 밴드폭을 기준으로 변경하는 단계; 상기 복수의 IP 블록 중에서 일부 IP 블록에 대해서 병렬 테스트 가능 여부에 따라 분할 스케줄링을 수행하는 단계를 포함하는 테스트 시간 감소 방법을 제공한다.
- [0008] 상기 복수의 IP 블록을 정렬하고 할당하는 단계는 상기 IP 블록에 대해서 예상 변경 가중치에 따라 정렬하고 할당할 수 있다.
- [0009] 상기 복수의 IP 블록을 정렬하고 할당하는 단계는 상기 TAM의 밴드폭의 변화량과 TAT(Test Application Time)의 변화량의 곱이 작은 IP 블록을 우선순위로 할당할 수 있다.
- [0010] 상기 TAM의 밴드폭의 변화량은 상기 TAM의 밴드폭의 한계치를 초과한 IP 블록에 대해서 변경전 밴드폭에서 변경될 밴드폭을 뺀 변화량으로 정의될 수 있다.
- [0011] 상기 TAT의 변화량은 상기 TAM의 밴드폭이 변경될 밴드폭일 때의 변경시 테스트 시간에서 TAM의 밴드폭이 변경전 밴드폭일 때의 최소 테스트 시간을 뺀 변화량으로 정의될 수 있다.
- [0012] 상기 하나 이상의 IP 블록을 상기 TAM의 밴드폭을 기준으로 변경하는 단계는 상기 복수의 IP 블록 중에서 상기 TAM의 밴드폭의 한계치를 초과하는 IP 블록에 대해서 밴드폭을 감소시키는 단계; 및 상기 복수의 IP 블록 중에서 상기 TAM의 밴드폭의 한계치를 초과하지 않는 IP 블록에 대해서 밴드폭을 증가시키는 단계를 포함할 수 있다.
- [0013] 상기 IP 블록에 대해서 밴드폭을 감소시키는 단계는 상기 TAM의 밴드폭의 한계치 범위 아래로 감소시킬 수 있다.
- [0014] 상기 IP 블록에 대해서 밴드폭을 증가시키는 단계는 TAT의 불연속 감소로 인한 TAM의 밴드폭을 충분히 사용하지 못하는 상황에서 해당하는 IP 블록의 TAM의 밴드폭을 상기 TAM의 밴드폭의 한계치 범위 내에서 증가시킬 수 있다.
- [0015] 상기 분할 스케줄링을 수행하는 단계는 1차적으로 스케줄링 결과를 통해 2차적으로 분할 스케줄링을 진행하며, 상기 스케줄링 결과에서 마지막 IP 블록에 대해 다른 앞의 IP들과 병렬 테스트 가능 여부를 판단할 수 있다.
- [0016] 상기 분할 스케줄링을 수행하는 단계는 판단 기준으로 전력 소모의 한계치와 상기 TAM의 밴드폭의 한계치가 적

용되고, 두 한계치를 모두 넘지 않으면 분할을 적용할 수 있다.

- [0017] 본 실시예의 다른 측면에 의하면 스케줄러를 포함하는 시스템 온 칩에 있어서, 상기 스케줄러는, 스케줄링될 복수의 IP(intellectual property) 블록을 정렬하고 할당하고, 상기 복수의 IP 블록 중에서 하나 이상의 IP 블록을 TAM(Test Access Mechanism)의 밴드폭을 기준으로 변경하고, 상기 복수의 IP 블록 중에서 일부 IP 블록에 대해서 병렬 테스트 가능 여부에 따라 분할 스케줄링을 수행하는 것을 특징으로 하는 시스템 온 칩을 제공한다.

발명의 효과

- [0018] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, SoC(System on Chip) 회로를 대상으로 여러 IP(intellectual property)의 전력 소모와 TAM 밴드폭에 따른 테스트 순서를 정하여 테스트 시간을 최소화하며, 전력 소모와 TAM 밴드폭의 한계치 내에서 두 요소를 최대로 활용하고, 1차적으로 스케줄링을 진행한 후 2차로 분할 스케줄링을 수행하여 한계치 내의 남은 전력 소모 및 TAM의 밴드폭을 충분히 활용하여 테스트 시간을 줄일 수 있는 효과가 있다.

- [0019] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 테스트 시간 감소 장치의 동작을 예시한 도면이다.
- 도 2는 특정 전력 소모 제한 범위 내에서 테스트 스케줄링이 완료된 후 IP 블록의 배치 상태를 예시한 도면이다.
- 도 3은 전력 소모와 TAM의 밴드폭을 동시에 고려한 IP 블록을 예시한 도면이다.
- 도 4는 특정 IP 블록의 TAM의 밴드폭에 따른 테스트 시간을 나타낸 그래프이다.
- 도 5는 허용 가능한 최대 TAM의 밴드폭을 초과하는 IP 블록에 대해 TAM 감축 동작에서 이루어질 모습을 예시한 도면이다.
- 도 6은 분할 스케줄링이 이루어지기 전과 후의 스케줄링 상태를 예시한 도면이다.
- 도 7은 본 발명의 다른 실시예에 따른 테스트 시간 감소 방법을 예시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.

- [0022] 도 1은 본 발명의 일 실시예에 따른 테스트 시간 감소 장치의 동작을 예시한 도면이다.

- [0023] IP들의 병렬 테스트시 발생하는 과도한 전력 소모는 회로의 신뢰성에 영향을 끼치고 심한 경우 SoC 회로에 손상을 입힐 수 있다. 이를 방지하기 위해 테스트시 전력 소모에 제한을 두어 스케줄링을 진행한다. 다른 제한 요소로 TAM 밴드폭이 있다. 테스트시 TAM 밴드폭은 한정된 자원으로 정해진 밴드폭 내로 사용할 수 있다. 테스트 시간 감소 장치는 두 제한 요소를 초과하지 않는 한도 내에서 테스트 스케줄링을 효율적으로 수행한다.

- [0024] 단계 S110에서는 테스트 시간 감소 장치의 스케줄러는 스케줄링될 IP들을 특정 기준에 따라 정렬하고 할당한다. 단계 S120에서는 TAM 밴드폭의 한도를 초과하는 IP에 대해 TAM 밴드폭 감축을 진행한다. 단계 S130에서는 한도에 미치지 못하는 IP에 대해 TAM 밴드폭을 늘리는 TAM 밴드폭 재구성을 진행한다. 단계 S140에서는 가장 마지막에 스케줄링된 IP부터 분할되어 앞의 IP들과 병렬 테스트를 수행할 수 있는지 여부를 판단하고, 가능하면 분할 스케줄링을 진행한다.

- [0025] 도 2는 특정 전력 소모 제한 범위 내에서 테스트 스케줄링이 완료된 후 IP 블록의 배치 상태를 예시한 도면이다. 도 3은 전력 소모와 TAM의 밴드폭을 동시에 고려한 IP 블록을 예시한 도면이다. 도 4는 특정 IP 블록의 TAM의 밴드폭에 따른 테스트 시간을 나타낸 그래프이다. 가리키는 지점을 파레토 지점(pareto point)이라 한다.

- [0026] 테스트 시간 감소 장치가 수행하는 테스트 스케줄링은 크게 네 단계로 이루어져 있는데, 가장 처음에 진행되는

것이 초기 IP 정렬이다.

[0027] 초기 IP 할당에 따라 스케줄링 횟수와 테스트 시간 감소율이 달라지므로 초기 IP 할당은 중요한 단계이다. 초기 IP 할당은 IP의 예상 변경 가중치에 따라 정렬을 하고 할당한다.

[0028] ΔTAM 밴드폭 $\times \Delta TAT$ (Test Application Time) 값이 작은 IP에 우선순위로 할당한다. TAM의 밴드폭의 변화량은 수학식 1과 같이 표현되고, TAT(Test Application Time)의 변화량은 수학식 2와 같이 표현된다.

수학식 1

$$\Delta TAM bandwidth = w_{Max} - w_{tr}$$

[0029]

[0030] ΔTAM 밴드폭은 TAM 밴드폭의 한계점인 w_{max} 를 초과한 IP에 대해 TAM 밴드폭을 적용할 시 변경될 밴드폭인 w_{tr} 을 w_{max} 에서 뺀, 즉 TAM 밴드폭의 변화량이다.

수학식 2

$$\Delta test application time = t_{tr} - t_{min}$$

[0031]

[0032] TAM의 밴드폭이 변하면 TAT(Test Application Time) 또한 바뀌게 되는데, TAM 밴드폭이 w_{max} 일 때 TAT는 최소가 되어 t_{min} 이 되고, TAM 밴드폭이 변경된 w_{tr} 일 때 TAT를 t_{tr} 이라 하면 두 시간의 차를 ΔTAT (test application time)로 표현한다.

[0033] 스케줄에서 가장 처음 할당되는 IP 블록과 특정 섹션(section)에서 처음으로 할당될 때에는 위 변화량 식이 0이므로 별도의 기준이 추가로 필요하다. 이때에는 IP의 전력소모, 최대 TAM 밴드폭, 그리고 그에 따른 최소 TAT 이 세가지 변수들의 곱을 한 뒤, 해당 곱 결과가 가장 큰 IP가 할당에 우선순위를 갖게 된다. 이를 표현하면 수학식 3과 같다.

수학식 3

$$volume = P_{IP} \times w_{Max} \times t_{min}$$

[0034]

[0035] 수학식 3은 도 3에서 IP 블록의 볼륨(volume)에 대응한다.

[0036] 설정한 기준으로 IP를 할당한다면 TAM 밴드폭의 한계치인 w_{max} 를 초과하는 IP가 존재한다. 이때 한계치를 초과하지 않도록 하기 위해 IP의 TAM 밴드폭을 아래로 감소시킨다. 도 5에서는 허용 가능한 최대 TAM의 밴드폭을 초과하는 IP 블록에 대해 TAM 감축 동작에서 이루어질 모습을 예시한다.

[0037] TAM 밴드폭 감축을 진행하면 TAM 밴드폭이 감소할 때마다 TAT의 불연속적인 감소 때문에 주어진 TAM 밴드폭을 충분히 활용하지 못하는 경우가 발생한다. 이에 따라, TAM 밴드폭을 충분히 사용하면 TAT를 줄일 수 있는 여지가 있으므로 해당 IP의 TAM 밴드폭을 다시 늘리는 TAM 밴드폭 재구성 과정을 진행한다.

[0038] 이러한 과정으로 주어진 전력 소모 및 TAM 밴드폭을 만족하며 스케줄링된 결과를 이용하여 분할 스케줄링을 진행한다. 이전까지 특정 IP의 테스트가 시작되면 해당 IP의 테스트가 중단없이 수행되었던 것과는 다르게, 분할 스케줄링은 특정 IP의 테스트가 시작되고 중간에 중단되고, 후에 다시 테스트가 재개되는 개념이다. 앞서 스케줄링된 결과에서 마지막 IP에 대해 분할되어 앞의 IP들과 병렬 테스트가 수행될 수 있는지의 여부를 판단한다. 이때 판단 기준은 전력 소모와 TAM 밴드폭의 한계치가 되고, 해당 한계치를 넘지 않으면 분할되어 스케줄링이 이루어진다. 도 6에서는 분할 스케줄링이 이루어지기 전과 후의 스케줄링 상태를 예시한다.

- [0039] 도 7은 본 발명의 다른 실시예에 따른 테스트 시간 감소 방법을 예시한 흐름도이다.
- [0040] 테스트 시간 감소 방법은 테스트 시간 감소 장치에 의해 수행될 수 있다.
- [0041] 단계 S10에서는 스케줄링될 복수의 IP(intellectual property) 블록을 정렬하고 할당하는 단계를 수행한다. 복수의 IP 블록을 정렬하고 할당하는 단계는 IP 블록에 대해서 예상 변경 가중치에 따라 정렬하고 할당할 수 있다. 복수의 IP 블록을 정렬하고 할당하는 단계는 TAM의 밴드폭의 변화량과 TAT(Test Application Time)의 변화량의 곱이 작은 IP 블록을 우선순위로 할당할 수 있다. TAM의 밴드폭의 변화량은 TAM의 밴드폭의 한계치를 초과한 IP 블록에 대해서 변경전 밴드폭에서 변경될 밴드폭을 뺀 변화량으로 정의될 수 있다. TAT의 변화량은 TAM의 밴드폭이 변경될 밴드폭일 때의 변경시 테스트 시간에서 TAM의 밴드폭이 변경전 밴드폭일 때의 최소 테스트 시간을 뺀 변화량으로 정의될 수 있다.
- [0042] 단계 S20에서는 복수의 IP 블록 중에서 하나 이상의 IP 블록을 TAM(Test Access Mechanism)의 밴드폭을 기준으로 변경하는 단계를 수행한다. 하나 이상의 IP 블록을 TAM의 밴드폭을 기준으로 변경하는 단계는 복수의 IP 블록 중에서 TAM의 밴드폭의 한계치를 초과하는 IP 블록에 대해서 밴드폭을 감소시키는 단계 및 복수의 IP 블록 중에서 TAM의 밴드폭의 한계치를 초과하지 않는 IP 블록에 대해서 밴드폭을 증가시키는 단계를 포함할 수 있다. IP 블록에 대해서 밴드폭을 감소시키는 단계는 TAM의 밴드폭의 한계치 범위 아래로 감소시킬 수 있다. IP 블록에 대해서 밴드폭을 증가시키는 단계는 TAT의 불연속 감소로 인한 TAM의 밴드폭을 충분히 사용하지 못하는 상황에서 해당하는 IP 블록의 TAM의 밴드폭을 TAM의 밴드폭의 한계치 범위 내에서 증가시킬 수 있다.
- [0043] 단계 S30에서는 복수의 IP 블록 중에서 일부 IP 블록에 대해서 병렬 테스트 가능 여부에 따라 분할 스케줄링을 수행하는 단계를 수행한다. 분할 스케줄링을 수행하는 단계는 1차적으로 스케줄링 결과를 통해 2차적으로 분할 스케줄링을 진행하며, 스케줄링 결과에서 마지막 IP 블록에 대해 다른 앞의 IP들과 병렬 테스트 가능 여부를 판단할 수 있다. 분할 스케줄링을 수행하는 단계는 판단 기준으로 전력 소모의 한계치와 상기 TAM의 밴드폭의 한계치가 적용되고, 두 한계치를 모두 넘지 않으면 분할을 적용할 수 있다.
- [0044] 본 실시예들에 의하면 SoC 회로의 테스트 시간을 줄임으로써 SoC 회로를 테스트하는데 드는 비용을 줄일 수 있다.
- [0045] 테스트 시간 감소 장치는 적어도 하나의 프로세서, 컴퓨터 판독 가능한 저장매체 및 통신 버스를 포함할 수 있다.
- [0046] 프로세서는 테스트 시간 감소 장치로 동작하도록 제어할 수 있다. 예컨대, 프로세서는 컴퓨터 판독 가능한 저장매체에 저장된 하나 이상의 프로그램들을 실행할 수 있다. 하나 이상의 프로그램들은 하나 이상의 컴퓨터 실행 가능 명령어를 포함할 수 있으며, 컴퓨터 실행 가능 명령어는 프로세서에 의해 실행되는 경우 테스트 시간 감소 장치로 하여금 예시적인 실시예에 따른 동작들을 수행하도록 구성될 수 있다.
- [0047] 컴퓨터 판독 가능한 저장 매체는 컴퓨터 실행 가능 명령어 내지 프로그램 코드, 프로그램 데이터 및/또는 다른 적합한 형태의 정보를 저장하도록 구성된다. 컴퓨터 실행 가능 명령어 내지 프로그램 코드, 프로그램 데이터 및/또는 다른 적합한 형태의 정보는 입출력 인터페이스나 통신 인터페이스를 통해서도 주어질 수 있다. 컴퓨터 판독 가능한 저장 매체에 저장된 프로그램은 프로세서에 의해 실행 가능한 명령어의 집합을 포함한다. 일 실시예에서, 컴퓨터 판독 가능한 저장 매체는 메모리(랜덤 액세스 메모리와 같은 휘발성 메모리, 비휘발성 메모리, 또는 이들의 적절한 조합), 하나 이상의 자기 디스크 저장 디바이스들, 광학 디스크 저장 디바이스들, 플래시 메모리 디바이스들, 그 밖에 테스트 시간 감소에 의해 액세스되고 원하는 정보를 저장할 수 있는 다른 형태의 저장 매체, 또는 이들의 적합한 조합일 수 있다.
- [0048] 통신 버스는 프로세서, 컴퓨터 판독 가능한 저장 매체를 포함하여 테스트 시간 감소의 다른 다양한 컴포넌트들을 상호 연결한다.
- [0049] 테스트 시간 감소 장치는 또한 하나 이상의 입출력 장치를 위한 인터페이스를 제공하는 하나 이상의 입출력 인터페이스 및 하나 이상의 통신 인터페이스를 포함할 수 있다. 입출력 인터페이스 및 통신 인터페이스는 통신 버스에 연결된다. 입출력 장치는 입출력 인터페이스를 통해 테스트 시간 감소의 다른 컴포넌트들에 연결될 수 있다.
- [0050] 테스트 시간 감소 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그래밍 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific

Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.

[0051] 테스트 시간 감소 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스 또는 서버에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스 또는 서버는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.

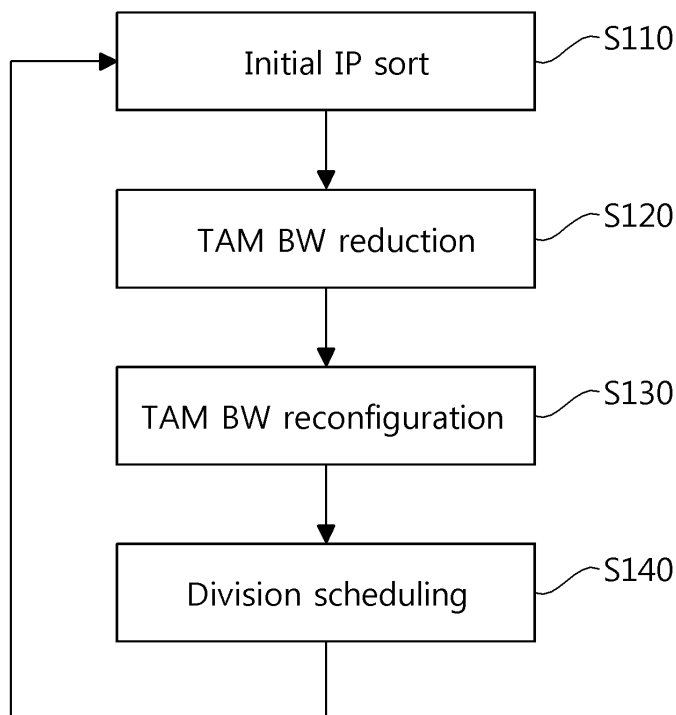
[0052] 도 1 및 도 7에서는 각각의 과정을 순차적으로 실행하는 것으로 기재하고 있으나 이는 예시적으로 설명한 것에 불과하고, 이 분야의 기술자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 도 1 및 도 7에 기재된 순서를 변경하여 실행하거나 또는 하나 이상의 과정을 병렬적으로 실행하거나 다른 과정을 추가하는 것으로 다양하게 수정 및 변형하여 적용 가능할 것이다.

[0053] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.

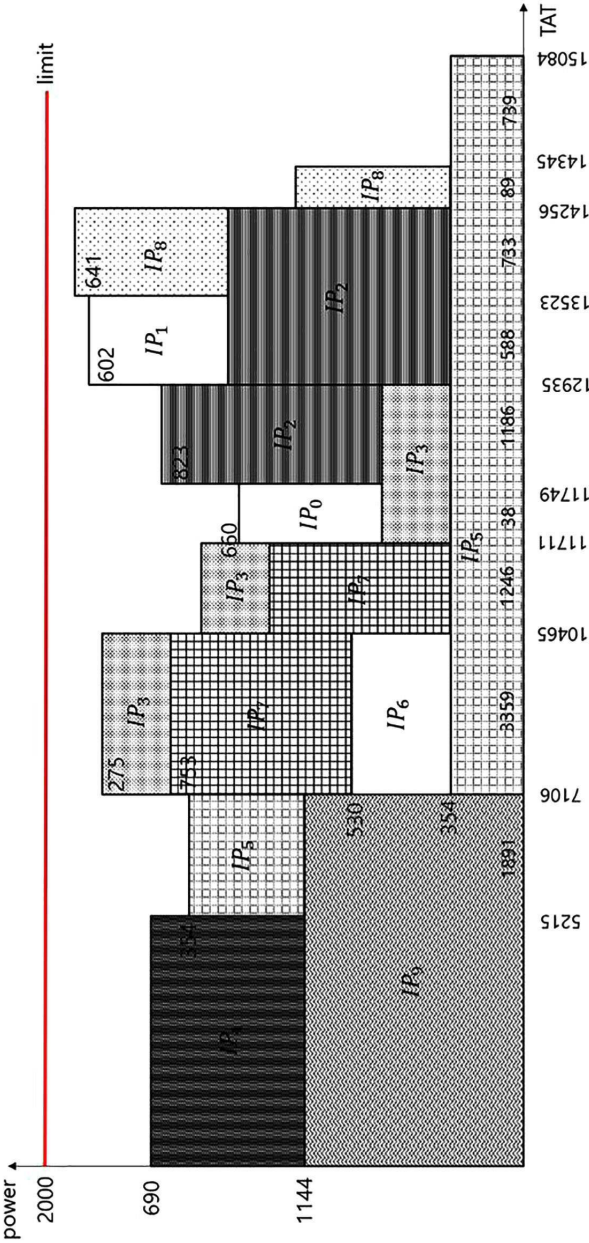
[0054] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

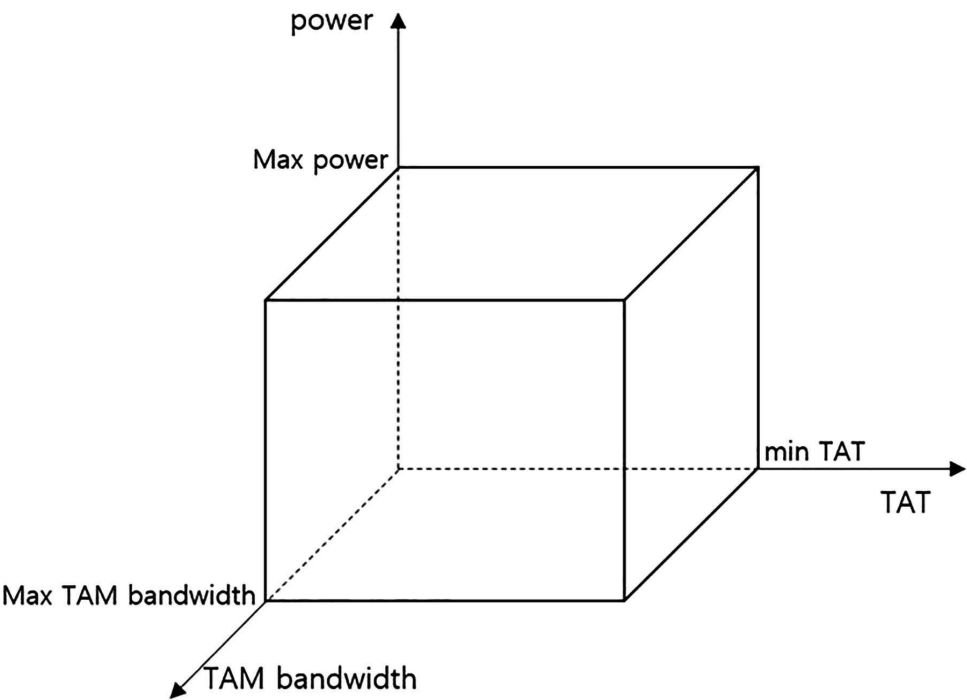
도면1



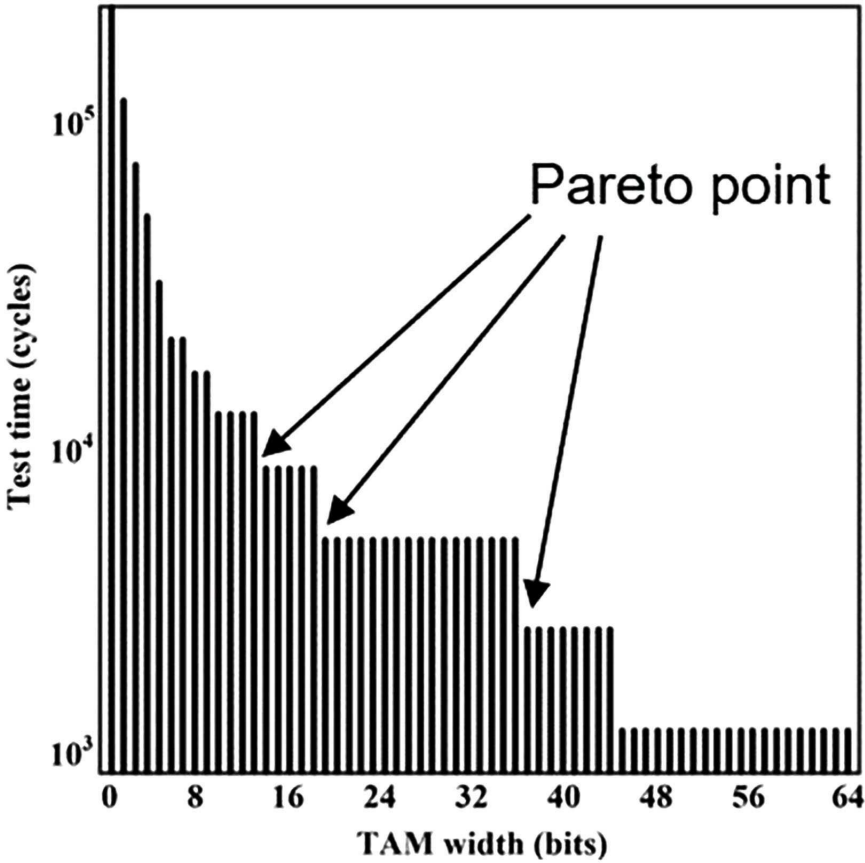
도면2



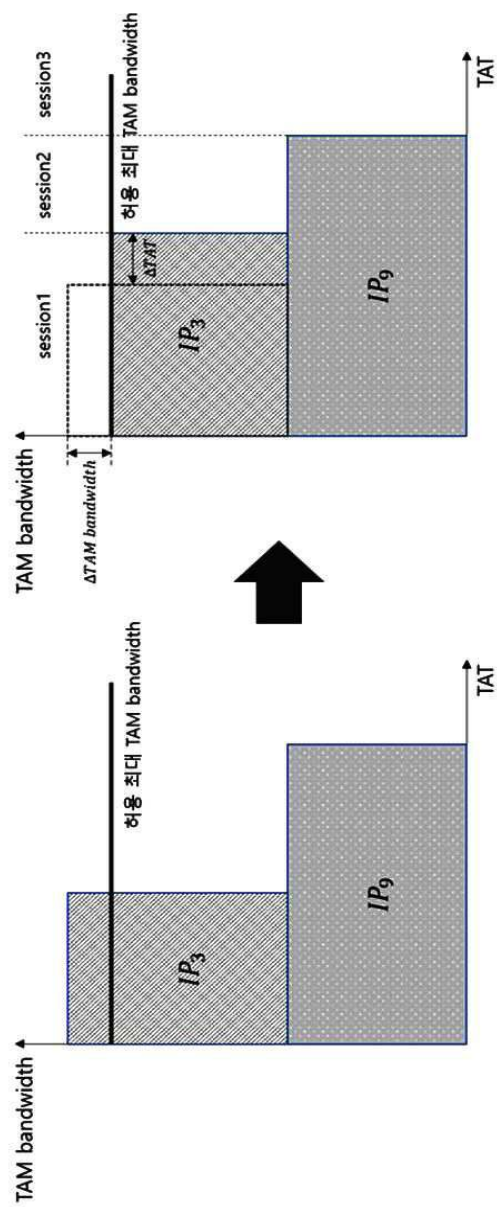
도면3



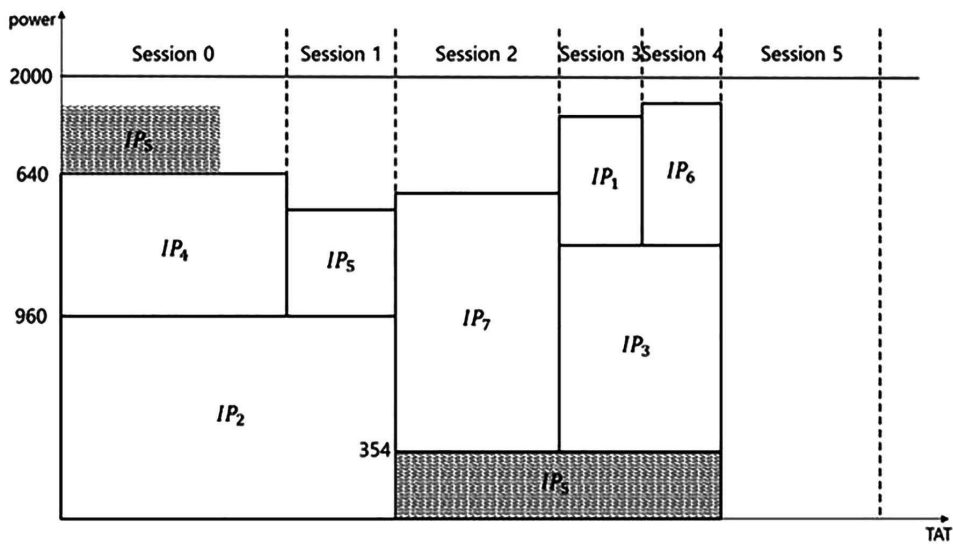
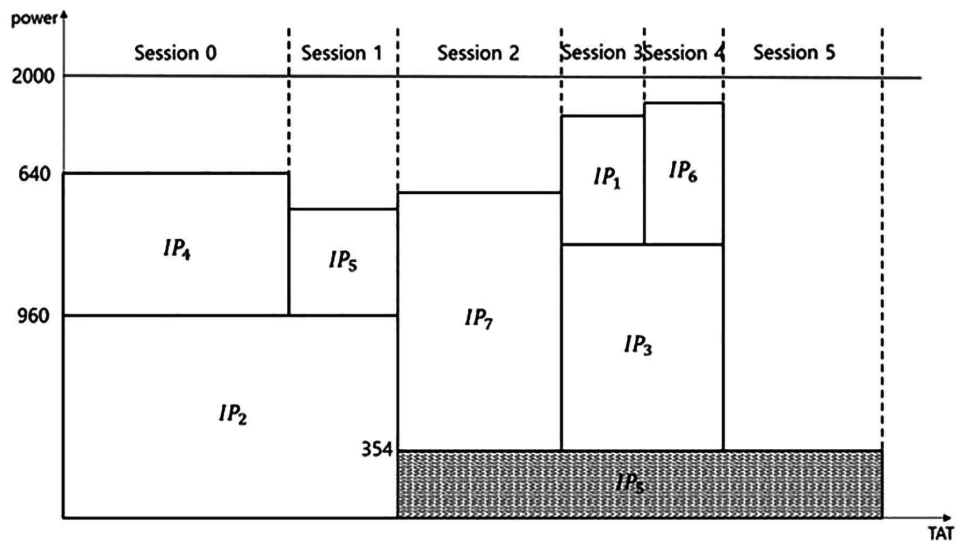
도면4



도면5



도면6



도면7

