

(45) 공고일자	2024년05월13일
(11) 등록번호	10-2666169
(24) 등록일자	2024년05월09일

- (73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
- (72) 발명자
장지원
서울특별시 강남구 개포로 307, 1동 501호(개포동, 우성3차아파트)
- 양은영**
서울특별시 서대문구 연희로18길 42-4, 102호
- (74) 대리인
특허법인(유한)아이시스

심사관 : 안경민

(54) 발명의 명칭 재구성 가능한 양극성 트랜지스터

본 실시예에 의한 양극성 트랜지스터는 배면 전극, 상기 배면 전극 상에 서로 이격되어 위치하는 제1 강유전체 패턴(ferroelectric pattern) 및 제2 강유전체 패턴, 상기 제1 강유전체 패턴 상부에 위치하는 제1 전극 및 상기 제2 강유전체 패턴 상부에 위치하는 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 연결되고, 제1 타입으로 도핑된 제1 채널과 제2 타입으로 도핑된 제2 채널을 포함하는 채널부 및 상기 채널부 상부에 위치하는 게이트 스택을 포함한다.

(52) CPC특허분류

H03K 5/156 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711155363

과제번호 2021M3F3A2A03017719

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 차세대지능형반도체기술개발(소자)

연구과제명 강유전체의 분극에 의한 2차원 물질의 전기적 도핑을 이용한 Program Gate 없이 n-
과 p-type으로 재구성이 가능한 트랜지스터

기 여 율 1/1

과제수행기관명 연세대학교

연구기간 2022.03.01 ~ 2022.12.31

명세서

청구범위

청구항 1

배면 전극;

상기 배면 전극 상에 서로 이격되어 위치하는 제1 강유전체 패턴(ferroelectric pattern) 및 제2 강유전체 패턴;

상기 제1 강유전체 패턴 상부에 위치하는 제1 전극 및 상기 제2 강유전체 패턴 상부에 위치하는 제2 전극;

상기 제1 전극과 상기 제2 전극 사이에 연결되고, 제1 타입으로 도핑된 제1 채널과 제2 타입으로 도핑된 제2 채널을 포함하는 채널부; 및

상기 채널부 상부에 위치하는 게이트 스택을 포함하는 양극성 트랜지스터.

청구항 2

제1항에 있어서,

상기 배면 전극은,

제1 패턴부와 제2 패턴부 및 연장부를 포함하고,

상기 제1 패턴부 및 상기 제2 패턴부는 상기 연장부와 각각 연결되고,

상기 제1 패턴부 및 상기 제2 패턴부는 서로 이격된 양극성 트랜지스터.

청구항 3

제2항에 있어서,

상기 제1 강유전체 패턴은 상기 제1 패턴부 상에 형성되고,

상기 제2 강유전체 패턴은 상기 제2 패턴부 상에 형성되는 양극성 트랜지스터.

청구항 4

제1항에 있어서,

상기 양극성 트랜지스터는,

적어도 상기 제1 강유전체 패턴 및 제2 강유전체 패턴과 상기 제1 전극 및 제2 전극 및 상기 채널부 사이를 절연하는 절연층을 더 포함하는 양극성 트랜지스터.

청구항 5

제1항에 있어서,

상기 제1 채널 및 상기 제2 채널은 서로 이격되어 있으며,

상기 제1 채널은 N 타입으로 도핑된 반도체이고,

상기 제2 채널은 P 타입으로 도핑된 반도체인 양극성 트랜지스터.

청구항 6

제1항에 있어서,

상기 채널부는 반도체로,

상기 제1 채널은 상기 채널부의 일부가 N 타입으로 도핑된 영역이고,

상기 제2 채널은 상기 채널부의 다른 일부가 P 타입으로 도핑된 영역으로,
상기 제1 채널 및 상기 제2 채널은 동일한 상기 반도체에 위치하는 양극성 트랜지스터.

청구항 7

제1항에 있어서,
상기 게이트 스택은,
적어도 상기 채널부 상에 위치하는 게이트 절연막 및
상기 게이트 절연막 상에 위치하는 게이트 전극을 포함하는 양극성 트랜지스터.

청구항 8

제7항에 있어서,
상기 양극성 트랜지스터는,
상기 게이트 스택의 측면에 위치하는 스페이서를 더 포함하는 양극성 트랜지스터.

청구항 9

제7항에 있어서,
상기 게이트 전극, 상기 제1 전극 및 상기 제2 전극은 반도체, 금속 및 금(Au), 크롬(Cr), 타이타늄(Ti), 질화 타이타늄(TiN), 팔라듐(Pd), 플래티넘(Pt) 및 도체 중 어느 하나 이상을 포함하고,
상기 제1 강유전체 패턴 및 제2 강유전체 패턴은, HZO($Zr:HfO_2$), $Al:HfO_2$ 및 $Si:HfO_2$ P(VDF-TrFE) (poly(vinylidene fluoride-co-trifluoroethylene), PVDF, polytrifluoroethylene, odd-numbered nylon 중 어느 하나 이상을 포함하는 강유전성 유기물, PZT, $BaTiO_3$ 및 $PbTiO_3$ 중 어느 하나 이상을 포함하는 강유전성 무기물 중 어느 하나 이상을 포함하는 양극성 트랜지스터.

청구항 10

제1항에 있어서,
상기 배면 전극에는 다이폴 제어 신호가 제공되고,
상기 제1 강유전체 패턴 및 제1 강유전체 패턴에 형성되는 다이폴들의 방향은 상기 다이폴 제어 신호에 따라 제어되는 양극성 트랜지스터.

청구항 11

제10항에 있어서,
상기 다이폴 제어 신호는,
펄스 열로,
상기 펄스 열의 진폭, 펄스폭, 듀티비 및 펄스의 개수에 따라 상기 다이폴들의 극성 변화 특성이 제어되는 양극성 트랜지스터.

청구항 12

기판;
상기 기판 상에 형성된 절연막;
상기 절연막 상부에 위치하는 제1 전극 및 제2 전극;
상기 절연막 상부에 위치하여 상기 제1 전극과 상기 제2 전극 사이에 연결되고, 제1 타입으로 도핑된 제1 채널과 제2 타입으로 도핑된 제2 채널을 포함하는 채널부;

적어도 상기 채널부 상부에 위치하는 제1 강유전체 패턴(ferroelectric pattern) 및 제2 강유전체 패턴; 및
상기 제1 강유전체 패턴 및 상기 제2 강유전체 패턴의 상층에 위치하는 게이트를 포함하는 양극성 트랜지스터.

청구항 13

제12항에 있어서,

상기 양극성 트랜지스터는,

적어도 상기 제1 강유전체 패턴, 제2 강유전체 패턴과 상기 채널부를 절연하는 절연층을 더 포함하는 양극성 트랜지스터.

청구항 14

제13항에 있어서,

상기 절연층은 상기 게이트와 상기 채널부를 절연하는 양극성 트랜지스터.

청구항 15

제12항에 있어서,

상기 제1 강유전체 패턴의 상기 기판 방향 정사영(projection)은 상기 제1 및 제2 채널의 상기 기판 방향 정사영의 적어도 일부가 겹쳐지고(overlap),

상기 제2 강유전체 패턴의 상기 기판 방향 정사영은 상기 제1 및 제2 채널의 상기 기판 방향 정사영의 적어도 일부가 겹쳐지는 양극성 트랜지스터.

청구항 16

제12항에 있어서,

상기 제1 채널 및 상기 제2 채널은 서로 이격되어 있으며,

상기 제1 채널은 N 타입으로 도핑된 반도체이고,

상기 제2 채널은 P 타입으로 도핑된 반도체인 양극성 트랜지스터.

청구항 17

제12항에 있어서,

상기 채널부는 반도체로,

상기 제1 채널은 상기 채널부의 일부가 N 타입으로 도핑된 영역이고,

상기 제2 채널은 상기 채널부의 다른 일부가 P 타입으로 도핑된 영역으로,

상기 제1 채널 및 상기 제2 채널은 동일한 상기 반도체에 위치하는 양극성 트랜지스터.

청구항 18

제12항에 있어서,

상기 게이트, 상기 제1 전극 및 상기 제2 전극은 반도체, 금속, 금(Au), 크롬(Cr), 타이타늄(Ti), 질화타이타늄(TiN), 팔라듐(Pd) 및 플래티늄(Pt) 중 어느 하나 이상을 포함하고,

상기 제1 강유전체 패턴 및 제2 강유전체 패턴은, HZO(Zr:HfO₂), Al:HfO₂ 및 Si:HfO₂ P(VDF-TrFE) (poly(vinylidenefluoride-co-trifluoroethylene), PVDF, polytrifluoroethylene, odd-numbered nylon 중 어느 하나 이상을 포함하는 강유전성 유기물, PZT, BaTiO₃ 및 PbTiO₃ 중 어느 하나 이상을 포함하는 강유전성 무기물 중 어느 하나 이상을 포함하는 양극성 트랜지스터.

청구항 19

제12항에 있어서,

상기 게이트에는 다이폴 제어 신호 및 게이트 신호가 제공되고,

상기 다이폴 제어 신호는 펄스 열이고, 상기 게이트 신호는 직류 신호인 양극성 트랜지스터.

청구항 20

제19항에 있어서,

상기 다이폴 제어 신호는,

상기 제1 강유전체 패턴 및 제1 강유전체 패턴에 형성되는 다이폴들의 방향을 제어하고,

상기 펄스 열의 진폭, 펄스폭, 듀티비 및 펄스의 개수 중 어느 하나 이상으로 상기 다이폴들의 극성 변화 특성을 제어하는 양극성 트랜지스터.

청구항 21

제19항에 있어서,

상기 다이폴 제어 신호의 진폭은 상기 게이트 신호의 크기에 비하여 큰 양극성 트랜지스터.

청구항 22

제12항에 있어서,

상기 기판은,

유리 기판 및 반도체 기판 중 어느 하나인 양극성 트랜지스터.

청구항 23

제12항에 있어서,

상기 양극성 트랜지스터는,

상기 게이트의 측면에 형성된 스페이서를 더 포함하는 양극성 트랜지스터.

발명의 설명

기술 분야

[0001] 본 기술은 재구성 가능한 양극성 트랜지스터와 관련된다.

[0002] 본 연구는 IDEC에서 EDA Tool를 지원받아 수행하였다.

배경 기술

[0003] 현대의 전자 소자는 MOS(metal-oxide semiconductor) 트랜지스터에 기초한다. MOS 트랜지스터는 소스(source), 드레인(drain) 및 소스와 드레인 사이에 형성되는 채널(channel)을 제어하는 게이트(gate)를 포함하는 3 전극과 바디 전극을 포함하는 소자이다. 게이트로 미리 설정된 문턱 전압(threshold voltage)에 상응하는 전압을 제공하면 드레인과 소스 사이에 채널(channel)이 형성되어 드레인과 소스는 전기적으로 도통된다. N 타입 트랜지스터는 전자(electron)로 이루어진 채널이 형성되어 소스와 드레인 사이가 전기적으로 연결되며, P 타입 트랜지스터는 정공(hole)으로 이루어진 채널이 형성된다. 즉, 어느 한 타입의 MOS 트랜지스터는 도통되어 전자, 정공 중 하나의 캐리어(carrier)로 전류를 흘려 단극성 트랜지스터(unipolar transistor)라고 한다.

발명의 내용

해결하려는 과제

[0004] 종래 기술에 의한 트랜지스터는 제조 공정에서 n 타입 및 p 타입 중 어느 하나의 타입으로 형성되며, 회로의 설

계 과정 및 제조 공정에서 도전형은 어느 하나로 선택되어 형성된다. 이로부터 어느 한 트랜지스터의 게이트에 제공되는 전압을 변경하여 트랜지스터에 채널을 형성하고자 하는 경우에는 두 가지 타입의 트랜지스터를 형성하여야 하였다.

[0005] 본 기술은 상기한 종래 기술의 난점을 해소하기 위한 것이다. 본 기술로 해결하고자 하는 과제 중 하나는 전기적 신호를 제공하여 도전형을 제어할 수 있는 트랜지스터를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 실시예에 의한 양극성 트랜지스터는 배면 전극; 상기 배면 전극 상에 서로 이격되어 위치하는 제1 강유전체 패턴(ferroelectric pattern) 및 제2 강유전체 패턴; 상기 제1 강유전체 패턴 상부에 위치하는 제1 전극 및 상기 제2 강유전체 패턴 상부에 위치하는 제2 전극; 상기 제1 전극과 상기 제2 전극 사이에 연결되고, 제1 타입으로 도핑된 제1 채널과 제2 타입으로 도핑된 제2 채널을 포함하는 채널부; 및 상기 채널부 상부에 위치하는 게이트 스택을 포함한다.

[0007] 본 실시예에 의한 양극성 트랜지스터는 기판; 상기 기판 상에 형성된 절연막; 상기 절연막 상부에 위치하는 제1 전극 및 제2 전극; 상기 절연막 상부에 위치하여 상기 제1 전극과 상기 제2 전극 사이에 연결되고, 제1 타입으로 도핑된 제1 채널과 제2 타입으로 도핑된 제2 채널을 포함하는 채널부; 상기 적어도 채널부 상부에 위치하는 제1 강유전체 패턴(ferroelectric pattern) 및 제2 강유전체 패턴; 및 상기 제1 강유전체 패턴 및 상기 제2 강유전체 패턴의 상층에 위치하는 게이트를 포함한다.

발명의 효과

[0008] 본 실시예에 의하면 전기적 신호를 제공하여 도전형을 제어할 수 있는 재구성 가능한 트랜지스터가 제공된다는 장점이 제공된다.

도면의 간단한 설명

[0009] 도 1은 제1 실시예에 의한 양극성 트랜지스터의 개요를 도시한 단면도이다.
 도 2는 제1 실시예에 의한 양극성 트랜지스터 일부를 도시한 사시도이다.
 도 3은 배면 전극(100)과 제1 강유전체 패턴 및 제2 강유전체 패턴의 개요를 도시한 도면이다.
 도 4는 제1 실시예의 양극성 트랜지스터에서, 배면 전극 방향으로 수직하게 내린 제1 채널의 정사영과 제2 채널의 정사영, 제1 강유전체 패턴의 정사영 및 제2 강유전체 패턴의 정사영을 도시한 도면이다.
 도 5(a)는 다이폴 제어 신호(VB)가 제공되어 다이폴(D)들이 정렬된 상태의 제1 채널을 포함하는 예시적 단면도이고, 도 5(b)는 다이폴 제어 신호가 제공되어 다이폴들이 정렬된 상태의 제2 채널을 포함하는 예시적 단면도이며, 도 5(c)는 다이폴 제어 신호를 예시한 도면이다.
 도 6(a)는 다이폴 제어 신호가 제공되어 다이폴(D)들이 정렬된 상태의 제1 채널을 포함하는 예시적 단면도이고, 도 6(b)는 다이폴 제어 신호가 제공되어 다이폴들이 정렬된 상태의 제2 채널을 포함하는 예시적 단면도이며, 도 6(c)는 다이폴 제어 신호를 예시한 도면이다.
 도 7은 제2 실시예에 따른 양극성 트랜지스터의 단면을 개요적으로 도시한 단면도이다.
 도 8은 제2 실시예에 따른 양극성 트랜지스터의 일부를 개요적으로 도시한 사시도이다.
 도 9는 제1 강유전체 패턴의 기판 방향의 정사영, 제2 강유전체 패턴의 기판 방향의 정사영과 제1 채널의 기판 방향의 정사영과 제2 채널(400b)의 기판 방향의 정사영을 개요적으로 도시한 도면이다.
 도 10(a)는 다이폴 제어 신호가 제공되어 다이폴들이 정렬된 상태의 제1 채널을 포함하는 예시적 단면도이고, 도 10(b)는 다이폴 제어 신호가 제공되어 다이폴들이 정렬된 상태의 제2 채널을 포함하는 예시적 단면도이며, 도 10(c)는 다이폴 제어 신호를 예시한 도면이다.
 도 11(a)는 다이폴 제어 신호가 제공되어 다이폴들이 정렬된 상태의 제1 채널을 포함하는 예시적 단면도이고, 도 11(b)는 다이폴 제어 신호가 제공되어 다이폴들이 정렬된 상태의 제2 채널을 포함하는 예시적 단면도이며, 도 11(c)는 다이폴 제어 신호를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하에서는 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명한다.
- [0012] **제1 실시예**
- [0013] 도 1은 제1 실시예에 의한 양극성 트랜지스터(10)의 개요를 도시한 단면도이다. 도 2는 제1 실시예에 의한 양극성 트랜지스터 일부를 도시한 사시도이다. 도 1 및 도 2를 참조하면, 양극성 트랜지스터의 제1 실시예는 배면 전극(100), 상기 배면 전극(100) 상에 서로 이격되어 위치하는 제1 강유전체 패턴(ferroelectric pattern, 200a) 및 제2 강유전체 패턴(200b), 상기 제1 강유전체 패턴(200a) 상부에 위치하는 제1 전극(300a) 및 상기 제2 강유전체 패턴(200b) 상부에 위치하는 제2 전극(300b), 상기 제1 전극(300a)과 상기 제2 전극(300b) 사이에 연결되고, 제1 타입으로 도핑된 제1 채널(400a)과 제2 타입으로 도핑된 제2 채널(400b)을 포함하는 채널부(400) 및 상기 채널부 상부에 위치하는 게이트 스택(500)을 포함한다.
- [0014] 도 3은 배면 전극(100)과 제1 강유전체 패턴(200a) 및 제2 강유전체 패턴(200b)의 개요를 도시한 도면이다. 도 1 내지 도 3을 참조하면, 배면 전극(100)의 상부에 제1 강유전체 패턴(200a)과 제2 강유전체 패턴(200b)이 위치한다. 일 실시예로, 배면 전극(100)은 제1 패턴부(110)와 제2 패턴부(120) 및 연장부(130)를 포함하며, 연장부(130)에서 제1 패턴부(110) 방향으로 연장되고, 연장부(130)에서 제2 패턴부(120) 방향으로 연장될 수 있다. 제1 패턴부(110)와 제2 패턴부(120)는 서로 접촉하지 않을 수 있다. 배면 전극(100)은 도시된 실시예와 같이 U 형태(U shape)를 가질 수 있다.
- [0015] 이와 같이 배면 전극(100)을 형성함으로써 배면 전극(100)을 통해서 제공되는 다이폴 제어 신호(V_B)에 의한 영향이 제1 강유전체 패턴(200a)과 제2 강유전체 패턴(200b)에 국한되어 제공되고, 채널부(400)에 미치는 것을 최소화할 수 있다는 장점이 제공된다. 나아가, 배면 전극(100)을 하부에 형성함으로써 양극성 트랜지스터를 형성하기 위한 면적 소모를 줄일 수 있다는 장점이 제공된다.
- [0016] 도시되지 않은 다른 실시예에 의하면, 배면 전극(100)은 패터닝되지 않은 판(plate) 형태를 가질 수 있다. 판 형태로 배면 전극(100)을 형성함으로써 배면 전극(100)을 패터닝하는 공정을 생략할 수 있어 공정을 간단히 할 수 있다는 장점이 제공된다.
- [0017] 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)은 강유전체 물질로 형성된다. 일 실시예로, 제1 강유전체 패턴(200a) 및 제2 강유전체 패턴(200b)을 형성할 수 있는 강유전체(ferroelectric) 물질은 전기장이 제공되지 않아도 자발 분극(spontaneous polarization)이 이루어지는 물질로, 외부에서 제공되는 전기장에 의하여 분극의 방향이 바뀔 수(switching) 있는 물질이다. 제1 강유전체 패턴(200a) 및 제2 강유전체 패턴(200b)은 자발 분극에 의하여 다이폴(dipole)이 형성되며, 보자 전압(coercive voltage, V_c , 도 5 및 도 6 참조) 이상의 진폭을 가지는 다이폴 제어 신호(V_B)가 제공되면 다이폴의 방향이 역전(switching)된다.
- [0018] 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에는 배면 전극(100)에서 인가되는 다이폴 제어 신호(V_B)에 따라 전기장이 제공되어 다이폴들의 방향이 제어된다.
- [0019] 일 실시예로, 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 강유전체 물질은 $\text{HZO}(\text{Zr:HfO}_2)$, Al:HfO_2 또는 Si:HfO_2 , P(VDF-TrFE) (poly(vinylidene fluoride-co-trifluoroethylene), PVDF, polytrifluoroethylene, odd-numbered nylon 등의 강유전특성을 가지는 유기물, PZT, BaTiO_3 , PbTiO_3 등의 강유전 특성을 가지는 무기물 중 어느 하나 이상을 포함할 수 있다.
- [0020] 채널부(400)는 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)의 상층에 위치한다. 채널부(400)는 제1 채널(400a)과 제2 채널(400b)을 포함한다. 도시된 실시예는 제1 채널(400a)과 제2 채널(400b)이 분리된 것을 예시한다. 그러나, 도시되지 않은 실시예에 의하면, 제1 채널(400a)과 제2 채널(400b)은 단일한 반도체에 서로 다른 타입으로 도핑되어 형성될 수 있다.
- [0021] 일 실시예로, 제1 채널(400a)은 N 타입으로 도핑될 수 있고, 제2 채널(400b)은 P 타입으로 도핑될 수 있다.
- [0022] 도시되지 않은 실시예에서, 게이트 스택(500)의 측벽에는 스페이서(spacer)가 형성될 수 있다. 스페이서는 산화막, 질화막등을 포함하는 절연성 재질로 형성될 수 있다.
- [0023] 도 4는 제1 실시예의 양극성 트랜지스터에서, 배면 전극(100) 방향으로 수직하게 내린 제1 채널의 정사영(projection, 400a_p)과 제2 채널의 정사영(400b_p), 제1 강유전체 패턴의 정사영(200a_p) 및 제2 강유전체 패턴의

정사영(200b_p)을 도시한 도면이다. 도 4를 참조하면, 제1 채널의 정사영(projection, 400a_p)과 제2 채널의 정사영(400b_p), 제1 강유전체 패턴의 정사영(200a_p) 및 제2 강유전체 패턴의 정사영(200b_p)은 굽은 파선으로 도시된 것과 같이 서로 중첩(overlap)되는 중첩 영역(0)이 형성된다.

[0024] 후술할 바와 같이 제1 강유전체 패턴(200a)과 제2 강유전체 패턴(200b)에 위치하는 다이폴들은 전기장을 형성하여 중첩 영역(0)에 위치하는 제1 채널(400a)과 제2 채널(400b)에 영향을 미칠 수 있다.

[0025] 제1 전극(300a)은 제1 채널(400a)과 제2 채널(400b)의 일 단부와 전기적으로 연결되고, 제2 전극(300b)은 제1 채널(400a)과 제2 채널(400b)의 타 단부와 전기적으로 연결된다. 일 실시예로, 제1 전극(300a)과 제2 전극(300b)은 반도체, 금(Au), 크롬(Cr), 타이타늄(Ti), 질화타이타늄(TiN), 팔라듐(Pd) 및 플래티늄(Pt) 등의 도체 및 금속 중 어느 하나 이상을 포함하여 형성된다. 일 예로, 제1 전극(300a)이 트랜지스터의 소스로 기능하면, 제2 전극(300b)은 드레인으로 기능할 수 있다. 다른 예로, 제1 전극(300a)이 트랜지스터의 드레인으로 기능하면, 제2 전극(300b)은 소스로 기능할 수 있다.

[0026] 제1 실시예의 양극성 트랜지스터는 절연층(I)를 더 포함할 수 있다. 일 예로, 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b) 및 제1 전극(300a), 제2 전극(300b)은 절연층(I)에 의하여 상호 절연된다. 일 실시예로, 절연층(I)은 전기 절연성을 가지는 물질로 형성될 수 있고, 일 예로 산화막(oxide), 질화막(nitride) 중 어느 하나 이상으로 형성될 수 있다.

[0027] 게이트 스택(500)은 게이트(520)와 게이트 절연막(510)을 포함할 수 있다. 게이트(520)는 반도체, 금(Au), 크롬(Cr), 타이타늄(Ti), 질화타이타늄(TiN), 팔라듐(Pd) 및 플래티늄(Pt) 등의 도체 중 어느 하나 이상을 포함하여 중 어느 하나로 형성될 수 있으며, 일 예로, 제1 전극(300a), 제2 전극(300b)과 동일한 재질로 형성될 수 있다.

[0028] 게이트 절연막(510)은 제1 전극(300a), 제2 전극(300b), 제1 채널(400a), 제2 채널(400b) 및 게이트(520)를 상호 절연한다. 일 실시예로, 게이트 절연막(510)은 산화막, 질화막 중 어느 하나로 형성될 수 있다. 일 예로, 게이트 절연막(510)은 절연층(I)과 동일한 재질로 형성될 수 있다.

[0029] 도 5 및 도 6은 양극성 트랜지스터 제1 실시예의 동작을 설명하기 위한 도면들로, 도 5(a)는 다이폴 제어 신호(V_b)가 제공되어 다이폴(D)들이 정렬된 상태의 제1 채널(400a)을 포함하는 예시적 단면도이고, 도 5(b)는 다이폴 제어 신호(V_b)가 제공되어 다이폴(D)들이 정렬된 상태의 제2 채널(400b)을 포함하는 예시적 단면도이며, 도 5(c)는 다이폴 제어 신호(V_b)를 예시한 도면이다. 도 5(a) 내지 도 5(c)를 참조하면, 다이폴 제어 신호(V_b)는 복수의 펄스들을 포함하는 펄스 열(pulse train)일 수 있다. 펄스 열에 포함된 각 펄스의 진폭과, 펄스 열에 포함된 펄스의 개수 및 펄스의 듀티비에 상응하도록 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 배열된다.

[0030] 도 5(a) 및 도 5(b)로 예시된 실시예는 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 모두 동일한 방향으로 배열된 것을 예시한다. 그러나, 다이폴(D)들이 배열되는 정도는 다이폴 제어 신호(V_b)에 포함된 펄스의 진폭, 펄스 열에 포함된 펄스의 개수, 펄스 폭 및 펄스의 듀티비(duty ratio) 중 어느 하나 이상에 의하여 제어될 수 있다.

[0031] 즉, 다이폴 제어 신호(V_b)에 포함된 펄스 진폭의 크기가 크거나, 펄스열에 포함된 펄스의 개수가 많거나, 펄스폭이 넓거나 및/또는 펄스의 듀티비가 클수록 동일한 방향으로 배열되는 다이폴의 개수가 증가할 수 있다.

[0032] 도 5(a)를 참조하면, 다이폴 제어 신호(V_b)에 따라 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 배열되면 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(0)에 제공되고, 그에 따라 제1 채널(400a)의 중첩 영역(0)에는 전기장(E)에 상응하는 캐리어가 축적된다.

[0033] 즉, 제1 채널(400a)의 중첩 영역(0)에는 게이트(520)에 양의 전압이 제공된 것과 유사하게 다이폴(D)들이 형성하는 전기장으로부터 캐리어인 전자가 축적된다.

[0034] 반면에 도 5(b)로 예시된 실시예에서, 제1 채널(400a)과 반대 도전형으로 도핑된 제2 채널(400b)에는 배열된 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(0)에 제공되나, 중첩 영역(0)에서는 캐리어가 축적되지 않는다.

[0035] 게이트(520)를 통하여 양의 게이트 전압을 인가하면 제1 채널(400a)은 다이폴(D)들이 형성한 전기장에 의하여 축적된 전자들과 함께 제1 전극(300a)과 제2 전극(300b) 사이에는 채널이 형성되고, 제1 전극(300a)과 제2 전극

(300b)은 도통된다. 따라서, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 양의 게이트 전압이 모두 제1 채널(400a)의 도통에 영향을 미치므로, 제1 채널(400a)의 도통 저항 등의 도통 특성이 향상된다.

[0036] 반면에 제2 채널(400b)에는 게이트에 제공된 양의 전압에 의한 영향과 함께 다이폴(D)들이 형성한 전기장이 함께 영향을 미쳐 제2 채널(400b)에는 캐리어인 정공(hole)들이 축적되지 않아 채널이 형성되지 않는다. 따라서, 제1 전극(300a)과 제2 전극(300b)은 차단된다. 따라서, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 양의 게이트 전압이 모두 제1 채널(400a)과 반대 도전형으로 도핑된 제2 채널(400b)의 차단에 영향을 미치므로, 제2 채널(400b)의 차단 저항, 차단 전류 등의 차단 특성이 향상된다.

[0037] 도 6(a)는 다이폴 제어 신호(V_B)가 제공되어 다이폴(D)들이 정렬된 상태의 제1 채널(400a)을 포함하는 예시적 단면도이고, 도 6(b)는 다이폴 제어 신호(V_B)가 제공되어 다이폴(D)들이 정렬된 상태의 제2 채널(400b)을 포함하는 예시적 단면도이며, 도 6(c)는 다이폴 제어 신호(V_B)를 예시한 도면이다. 도 6(a) 내지 도 6(c)를 참조하면, 상술한 바와 같이 다이폴 제어 신호(V_B)는 복수의 펄스들을 포함하는 펄스 열(pulse train)일 수 있으며, 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들은 다이폴 제어 신호(V_B)에 상응하도록 배열된다.

[0038] 예시된 실시예는 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 모두 동일한 방향으로 배열된 것을 예시한다. 그러나, 상술한 바와 같이 다이폴(D)들이 배열되는 정도는 다이폴 제어 신호(V_B)에 의하여 제어될 수 있다.

[0039] 도 6(b)로 예시된 실시예에서, 다이폴 제어 신호(V_B)에 따라 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 배열되면 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(O)에 제공되고, 그에 따라 제2 채널(400b)의 중첩 영역(O)에는 전기장(E)에 상응하는 캐리어인 정공이 축적된다.

[0040] 반면에 제2 채널(400b)과 반대 도전형으로 도핑된 제1 채널(400a)에는 배열된 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(O)에 제공되나, 중첩 영역(O)에서는 캐리어가 축적되지 않는다.

[0041] 제1 채널(400a)의 중첩 영역(O)에는 도 6(a)로 예시된 것과 같이 다이폴(D)들이 형성하는 전기장으로부터 게이트(520)로 음의 전압이 제공된 것과 유사한 효과가 제공된다. 따라서, 게이트(520)를 통하여 음의 게이트 전압을 인가하면 제1 채널(400a)에는 캐리어인 전자들이 축적되지 않는다. 따라서, 제1 채널(400a)에는 채널이 형성되지 않는다.

[0042] 따라서, 제1 채널(400a)에는 채널이 형성되지 않아 차단되며, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 음의 게이트 전압이 모두 제1 채널(400a)의 차단에 영향을 미치므로, 차단 저항, 누설 전류 등의 차단 특성이 향상된다.

[0043] 반면에 게이트(520)를 통하여 음의 게이트 전압을 인가하면 제2 채널(400b)은 다이폴(D)들이 형성한 전기장에 의하여 축적된 전자들과 함께 제1 전극(300a)과 제2 전극(300b) 사이에는 채널이 형성되고, 제1 전극(300a)과 제2 전극(300b)은 도통된다. 따라서, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 음의 게이트 전압이 모두 제2 채널(400b)의 도통에 영향을 미치므로, 제2 채널(400b)의 도통 저항 등의 도통 특성이 향상된다.

[0044] 위에서 설명된 실시예에 의하면, 배면 전극을 통해 인가되는 다이폴 제어 신호(V_B)에 따라, 양극성 트랜지스터를 N, P 타입으로 선택적으로 재구성 가능함을 알 수 있다. 나아가 재구성되는 양극성 트랜지스터는 도통 저항등의 도통 특성 및 차단 저항 및 누설 전류 등의 차단 특성이 향상된다는 장점이 제공된다.

[0046] 제2 실시예

[0047] 이하에서는 첨부된 도면들을 참조하여 제2 실시예에 의한 양극성 트랜지스터(20)를 설명한다. 다만, 간결하고 명확한 설명을 위하여 제1 실시예와 동일하거나 유사한 요소들에 대하여는 설명을 생략할 수 있다. 도 7은 제2 실시예에 따른 양극성 트랜지스터의 단면을 개략적으로 도시한 단면도이고, 도 8은 제2 실시예에 따른 양극성 트랜지스터의 일부를 개략적으로 도시한 사시도이다.

[0048] 도 7 및 도 8을 참조하면, 양극성 트랜지스터의 제2 실시예는, 기판(sub), 상기 기판(sub) 상에 형성된 절연막(600), 상기 절연막(600) 상부에 위치하는 제1 전극(300a) 및 제2 전극(300b), 상기 절연막(600) 상부에 위치하여 상기 제1 전극(300a)과 상기 제2 전극(300b) 사이에 연결되고, 제1 타입으로 도핑된 제1 채널(400a)과 제2

타입으로 도핑된 제2 채널(400b)을 포함하는 채널부(400), 적어도 채널부(400) 상부에 위치하는 제1 강유전체 패턴(ferroelectric pattern, 200a) 및 제2 강유전체 패턴(200b) 및 상기 제1 강유전체 패턴(200a) 및 상기 제2 강유전체 패턴(200b)의 상층에 위치하는 게이트(520)를 포함한다.

- [0049] 도시된 실시예에서, 기판(sub)은 유리 기판, 반도체 기판 중 어느 하나일 수 있다. 기판(sub)상에는 절연막(600)이 형성될 수 있으며, 절연막(600)은 일 예로 산화막, 질화막 중 어느 하나 이상을 포함할 수 있다.
- [0050] 절연막(600) 상에 형성되는 제1 채널(400a), 제2 채널(400b), 제1 전극(300a), 제2 전극(300b) 및 게이트(520)는 절연층(I)으로 절연될 수 있다. 도시된 실시예에서 절연층(I)은 게이트(520)와 채널부(400)를 절연할 수 있다. 절연층(I)은 트랜지스터에 있어서 게이트(520) 절연막으로 기능할 수 있다.
- [0051] 절연층(I)은 일 예로, 질화막, 산화막 등의 무기 절연막을 형성하고 평탄화하여 형성될 수 있다. 다른 예로, 유기 절연막을 스핀 코팅 등의 방법으로 형성하여 절연층(I)을 형성할 수 있다.
- [0052] 도시되지 않은 실시예에서, 적어도 게이트 전극(520) 측벽에는 스페이서(spacer)가 형성될 수 있다. 스페이서는 산화막, 질화막등을 포함하는 절연성 재질로 형성될 수 있다.
- [0053] 도 9는 제1 강유전체 패턴(200a)의 기판(sub) 방향의 정사영, 제2 강유전체 패턴(200b)의 기판(sub) 방향의 정사영과 제1 채널(400a)의 기판(sub) 방향의 정사영과 제2 채널(400b)의 기판(sub) 방향의 정사영을 개요적으로 도시한 도면이다. 도 9를 참조하면, 제1 채널의 기판(sub) 방향의 정사영(400a_p)과 제1 강유전체 패턴(200a)의 기판(sub) 방향의 정사영, 제2 강유전체 패턴(200b)의 기판(sub) 방향의 정사영은 서로 중첩되어 중첩 영역(O)을 형성한다. 마찬가지로, 제2 강유전체 패턴의 기판(sub) 방향의 정사영(200b_p)과 제1 채널의 기판(sub) 방향의 정사영(400a_p)과 제2 채널의 기판(sub) 방향의 정사영(400b_p)은 서로 중첩되어 중첩 영역(O)을 형성한다.
- [0054] 도 10 및 도 11은 양극성 트랜지스터 제2 실시예의 동작을 설명하기 위한 도면들로, 도 10(a)는 다이폴 제어 신호(V_B)가 제공되어 다이폴(D)들이 정렬된 상태의 제1 채널(400a)을 포함하는 예시적 단면도이고, 도 10(b)는 다이폴 제어 신호(V_B)가 제공되어 다이폴(D)들이 정렬된 상태의 제2 채널(400b)을 포함하는 예시적 단면도이며, 도 10(c)는 다이폴 제어 신호(V_B)를 예시한 도면이다.
- [0055] 도 10(a) 내지 도 10(c)를 참조하면, 게이트 전극(520)을 통하여 다이폴 제어 신호(V_B)와 게이트 신호(V_G)가 시간 차이를 두고 제공될 수 있다. 다이폴 제어 신호(V_B)는 제1 페이즈(P1)에서 게이트 전극(520)을 통해 제공될 수 있으며, 게이트 신호(V_G)는 제2 페이즈(P2)에서 게이트 전극(520)을 통해 제공될 수 있다.
- [0056] 다이폴 제어 신호(V_B)는 복수의 펄스들을 포함하는 펄스 열(pulse train)일 수 있다. 펄스 열에 포함된 각 펄스의 진폭과, 펄스 열에 포함된 펄스의 개수 및 펄스의 듀티비에 상응하도록 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 배열된다.
- [0057] 도 10(a) 및 도 10(b)로 예시된 실시예는 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 모두 동일한 방향으로 배열된 것을 예시한다. 그러나, 다이폴(D)들이 배열되는 정도는 다이폴 제어 신호(V_B)에 포함된 펄스의 진폭, 펄스 열에 포함된 펄스의 개수, 펄스 폭 및 펄스의 듀티비(duty ratio) 중 어느 하나 이상에 의하여 제어될 수 있다.
- [0058] 즉, 다이폴 제어 신호(V_B)에 포함된 펄스 진폭의 크기가 크거나, 펄스열에 포함된 펄스의 개수가 많거나, 펄스폭이 넓거나 및/또는 펄스의 듀티비가 클수록 동일한 방향으로 배열되는 다이폴의 개수가 증가할 수 있다.
- [0059] 다이폴 제어 신호(V_B)를 인가하여 제1 및 제2 강유전체 패턴(200a, 200b)에 포함된 다이폴(D)들의 배열을 설정한 후, 게이트 신호(V_G)를 인가하여 양극성 트랜지스터(20)를 동작시킬 수 있다.
- [0060] 도 10(a)를 참조하면, 다이폴 제어 신호(V_B)에 따라 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 배열되면 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(O)에 제공되고, 그에 따라 제1 채널(400a)의 중첩 영역(O)에는 전기장(E)에 상응하는 캐리어가 축적된다. 즉, 제1 채널(400a)의 중첩 영역(O)에는 게이트(520)에 양의 전압이 제공된 것과 유사하게 다이폴(D)들이 형성하는 전기장으로부터 캐리어인 전자가 축적된다.

- [0061] 반면에 도 10(b)로 예시된 실시예에서, 제1 채널(400a)과 반대 도전형으로 도핑된 제2 채널(400b)에는 배열된 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(O)에 제공되나, 중첩 영역(O)에서는 캐리어가 축적되지 않는다.
- [0062] 게이트(520)를 통하여 양의 게이트 전압을 인가하면 제1 채널(400a)에는 다이폴(D)들이 형성한 전기장에 의하여 축적된 전자들과 함께 제1 전극(300a)과 제2 전극(300b) 사이에는 채널이 형성되고, 제1 전극(300a)과 제2 전극(300b)은 도통된다. 따라서, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 양의 게이트 전압이 모두 제1 채널(400a)의 도통에 영향을 미치므로, 제1 채널(400a)의 도통 저항 등의 도통 특성이 향상된다.
- [0063] 반면에 제2 채널(400b)에는 게이트에 제공된 양의 전압에 의한 영향과 함께 다이폴(D)들이 형성한 전기장이 함께 영향을 미쳐 제2 채널(400b)에는 캐리어인 정공(hole)들이 축적되지 않아 채널이 형성되지 않는다. 따라서, 제1 전극(300a)과 제2 전극(300b)은 차단된다. 따라서, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 양의 게이트 전압이 모두 제1 채널(400a)과 반대 도전형으로 도핑된 제2 채널(400b)의 차단에 영향을 미치므로, 제2 채널(400b)의 차단 저항, 차단 전류 등의 차단 특성이 향상된다.
- [0064] 도 11(a)는 다이폴 제어 신호(V_B)가 제공되어 다이폴(D)들이 정렬된 상태의 제1 채널(400a)을 포함하는 예시적 단면도이고, 도 11(b)는 다이폴 제어 신호(V_B)가 제공되어 다이폴(D)들이 정렬된 상태의 제2 채널(400b)을 포함하는 예시적 단면도이며, 도 11(c)는 다이폴 제어 신호(V_B)를 예시한 도면이다. 도 11(a) 내지 도 11(c)를 참조하면, 상술한 바와 같이 다이폴 제어 신호(V_B)는 복수의 펄스들을 포함하는 펄스 열(pulse train)일 수 있으며, 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들은 다이폴 제어 신호(V_B)에 상응하도록 배열된다.
- [0065] 예시된 실시예는 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 모두 동일한 방향으로 배열된 것을 예시한다. 그러나, 상술한 바와 같이 다이폴(D)들이 배열되는 정도는 다이폴 제어 신호(V_B)에 의하여 제어될 수 있다.
- [0066] 도 11(b)로 예시된 실시예에서, 다이폴 제어 신호(V_B)에 따라 제1 강유전체 패턴(200a), 제2 강유전체 패턴(200b)에 포함된 다이폴(D)들이 배열되면 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(O)에 제공되고, 그에 따라 제2 채널(400b)의 중첩 영역(O)에는 전기장(E)에 상응하는 캐리어인 정공이 축적된다.
- [0067] 반면에 제2 채널(400b)과 반대 도전형으로 도핑된 제1 채널(400a)에는 배열된 다이폴(D)들에 의하여 형성되는 전기장(E)이 중첩 영역(O)에 제공되나, 중첩 영역(O)에서는 캐리어가 축적되지 않는다.
- [0068] 제1 채널(400a)의 중첩 영역(O)에는 도 11(a)로 예시된 것과 같이 다이폴(D)들이 형성하는 전기장으로부터 게이트(520)로 음의 전압이 제공된 것과 유사한 효과가 제공된다. 따라서, 게이트(520)를 통하여 음의 게이트 전압을 인가하면 제1 채널(400a)에는 캐리어인 전자들이 축적되지 않는다. 따라서, 제1 채널(400a)에는 채널이 형성되지 않는다.
- [0069] 따라서, 제1 채널(400a)에는 채널이 형성되지 않아 차단되며, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 음의 게이트 전압이 모두 제1 채널(400a)의 차단에 영향을 미치므로, 차단 저항, 누설 전류 등의 차단 특성이 향상된다.
- [0070] 반면에 게이트(520)를 통하여 음의 게이트 전압을 인가하면 제2 채널(400b)은 다이폴(D)들이 형성한 전기장에 의하여 축적된 전자들과 함께 제1 전극(300a)과 제2 전극(300b) 사이에는 채널이 형성되고, 제1 전극(300a)과 제2 전극(300b)은 도통된다. 따라서, 다이폴(D)들이 형성하는 전기장과 게이트(520)를 통하여 제공되는 음의 게이트 전압이 모두 제2 채널(400b)의 도통에 영향을 미치므로, 제2 채널(400b)의 도통 저항 등의 도통 특성이 향상된다.
- [0071] 위에서 설명된 실시예에 의하면, 배면 전극을 통해 인가되는 다이폴 제어 신호(V_B)에 따라, 양극성 트랜지스터를 N, P 타입으로 선택적으로 재구성 가능함을 알 수 있다. 나아가 재구성되는 양극성 트랜지스터는 도통 저항 등의 도통 특성 및 차단 저항 및 누설 전류 등의 차단 특성이 향상된다는 장점이 제공된다.
- [0073] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범

위에 의해 정해져야 할 것이다.

부호의 설명

- [0074]
- 10, 20: 양극성 트랜지스터

100: 배면 전극

110: 제1 패턴부(110)

120: 제2 패턴부

130: 연장부

200a: 제1 강유전체 패턴

200b: 제2 강유전체 패턴

300a: 제1 전극

300b: 제2 전극

400: 채널부

400a: 제1 채널

400b: 제2 채널

500: 게이트 스택

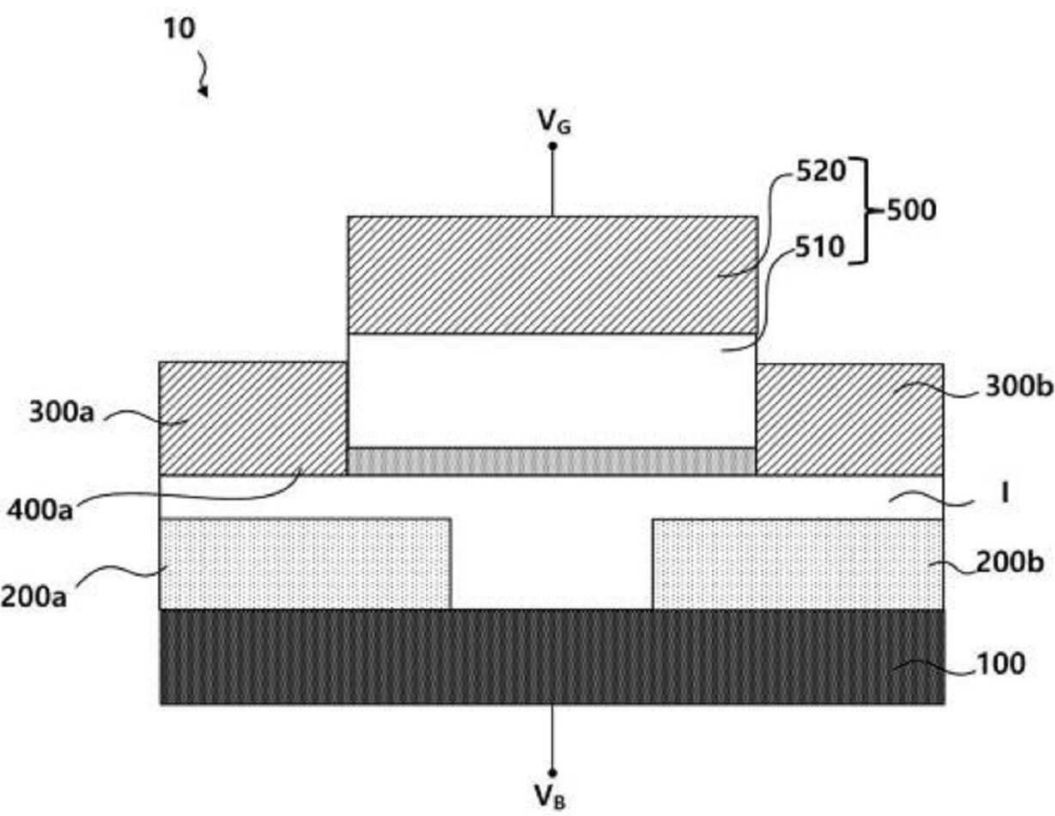
510: 게이트 절연막

520: 게이트

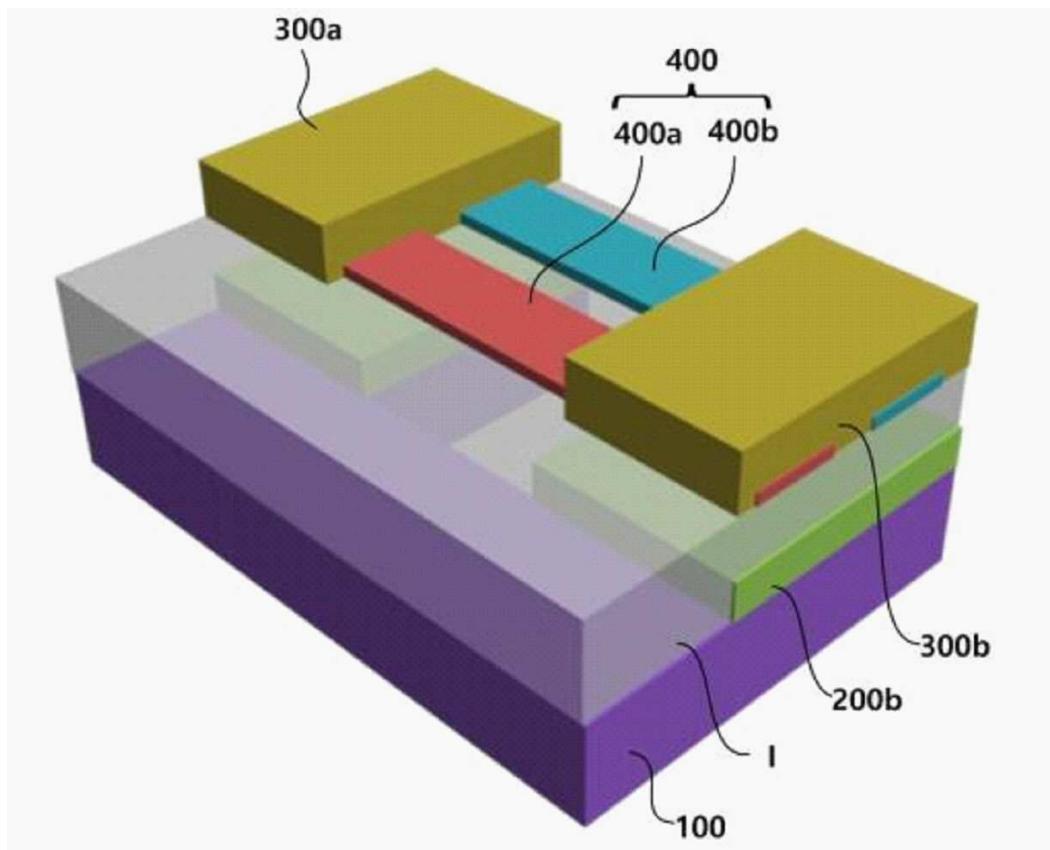
600: 절연층

도면

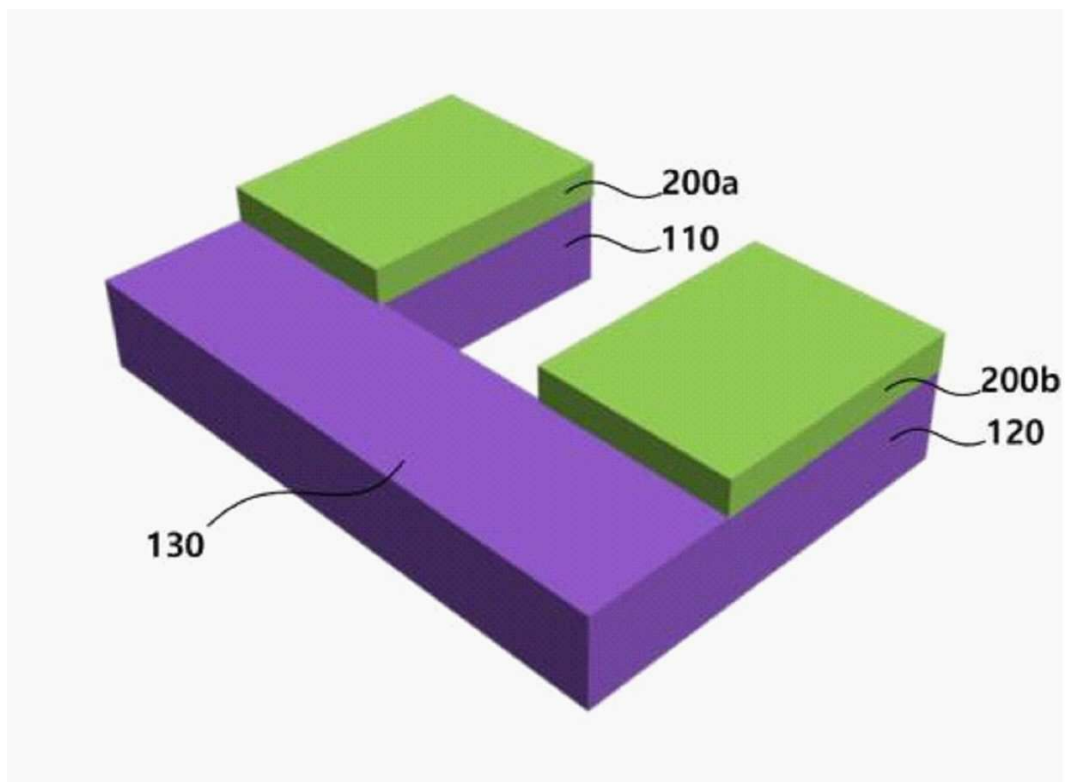
도면1



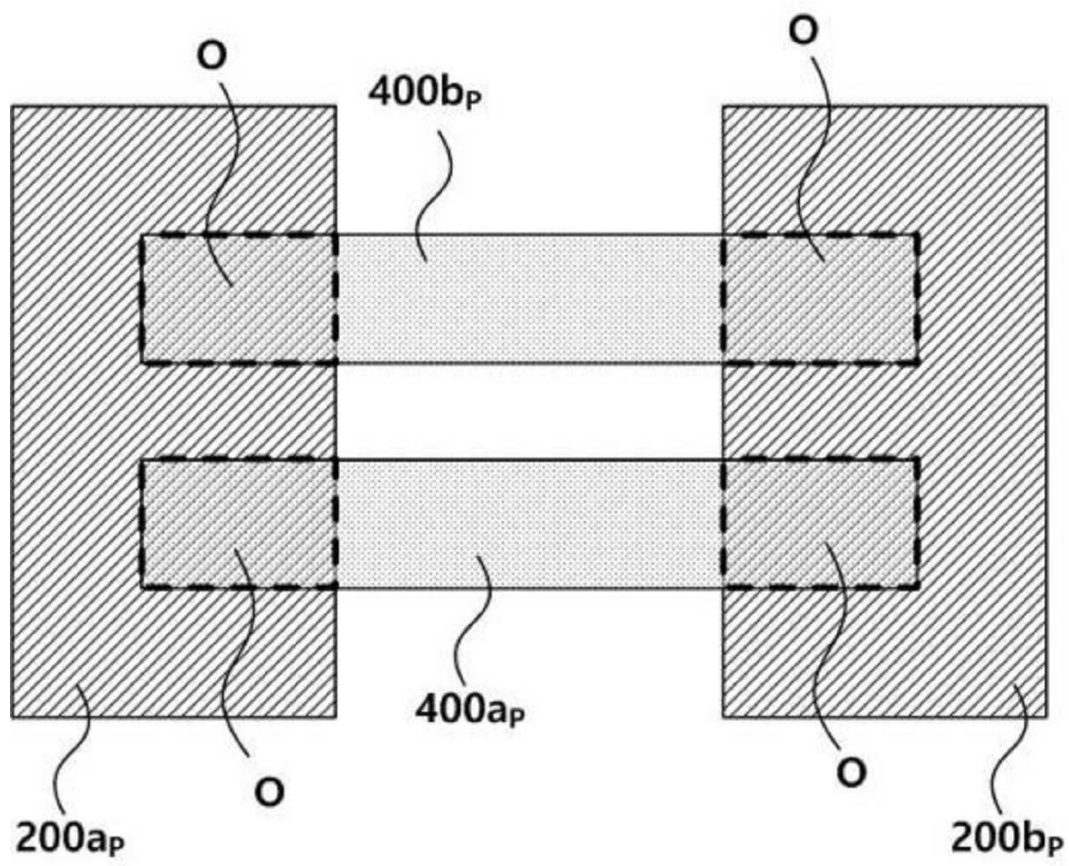
도면2



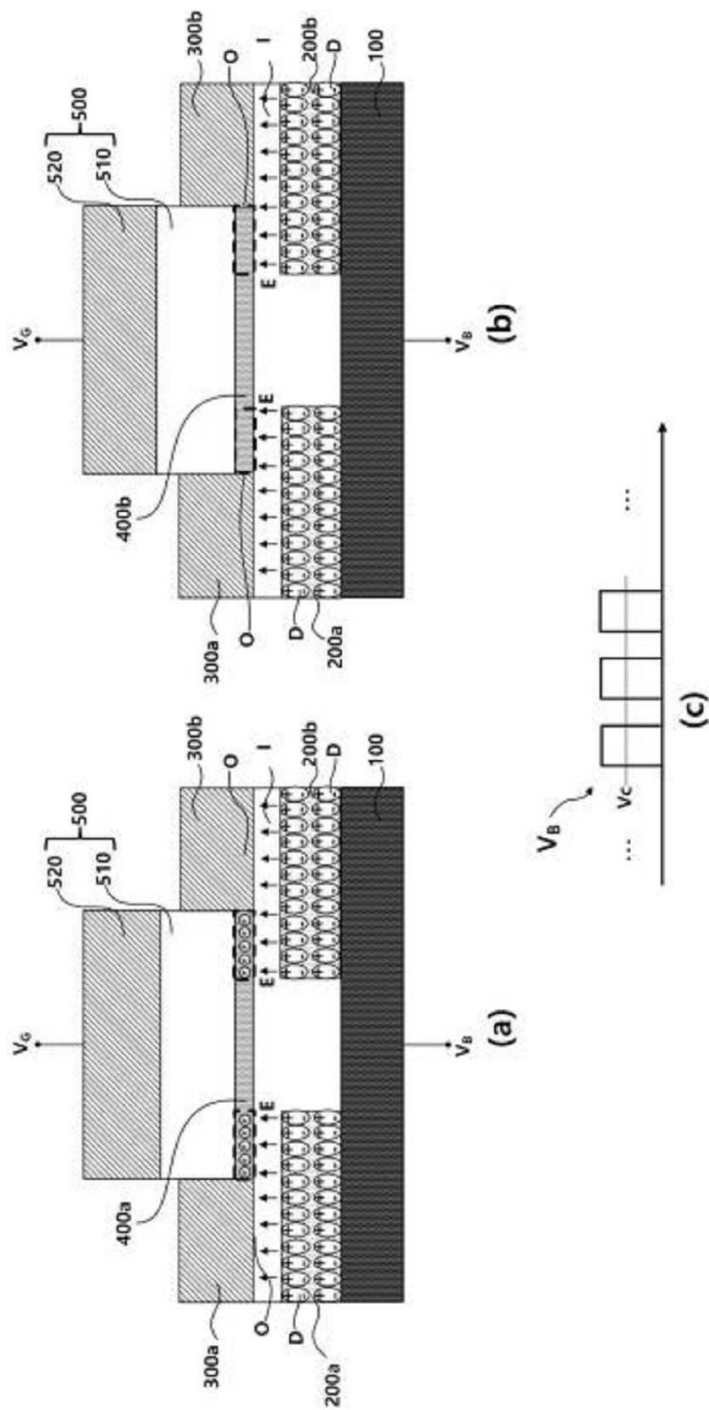
도면3



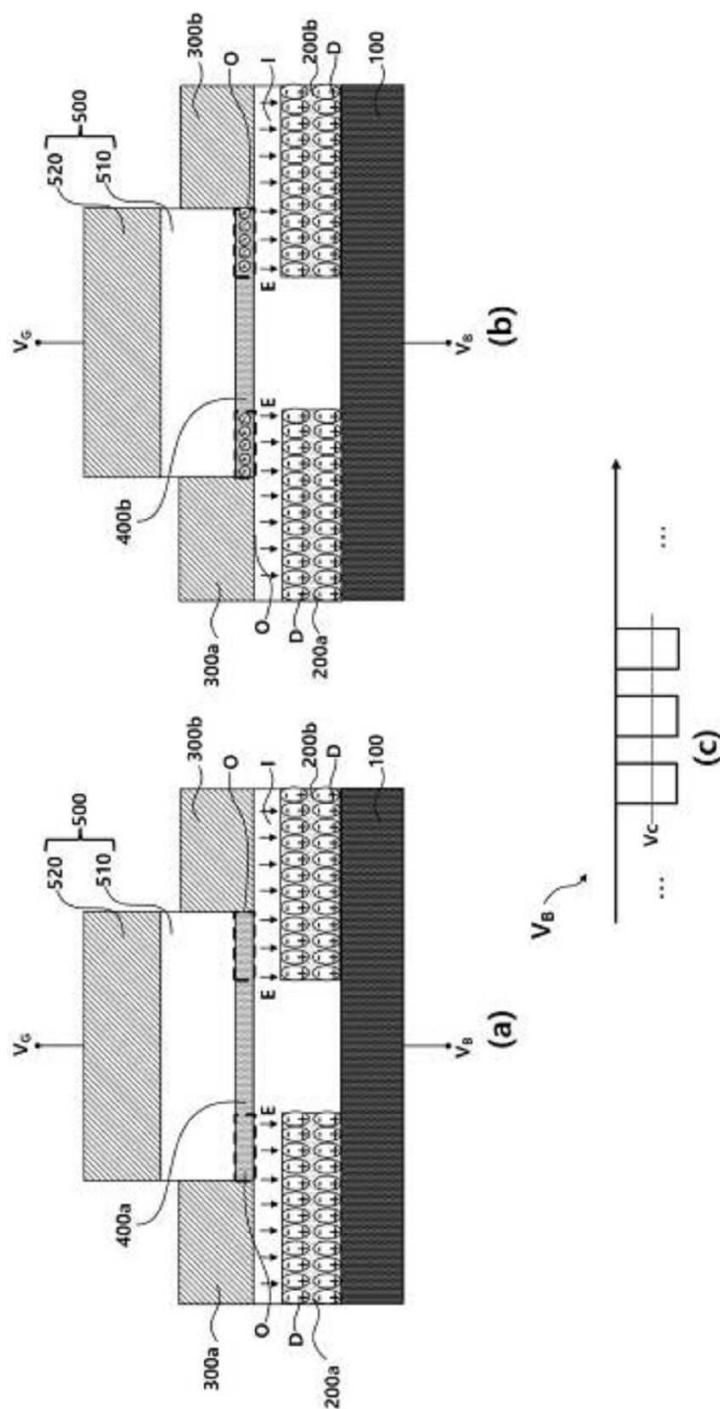
도면4



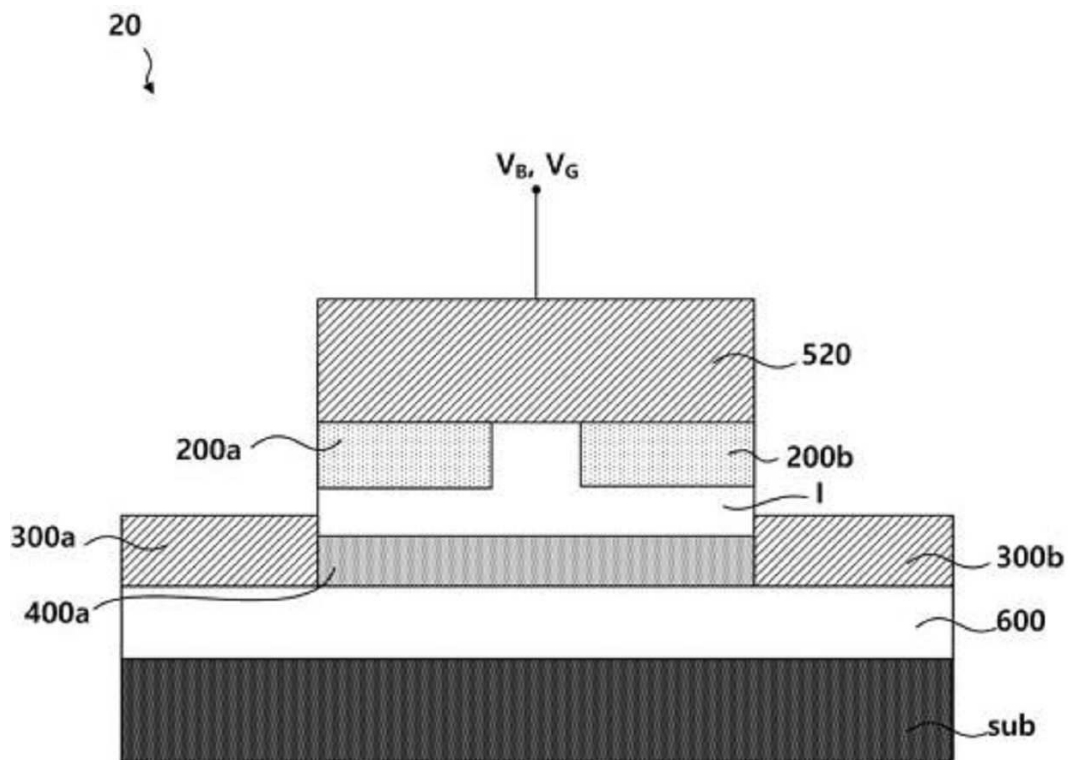
도면5



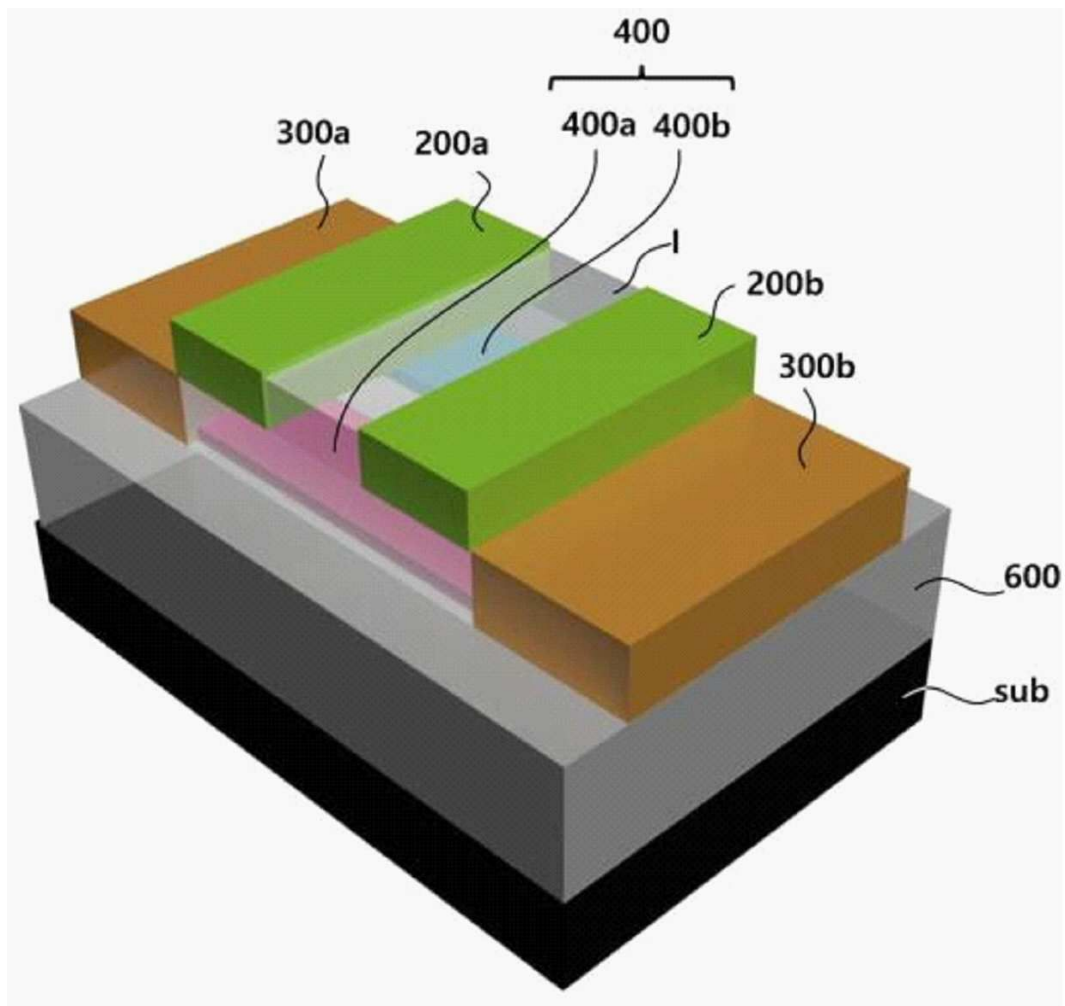
도면6



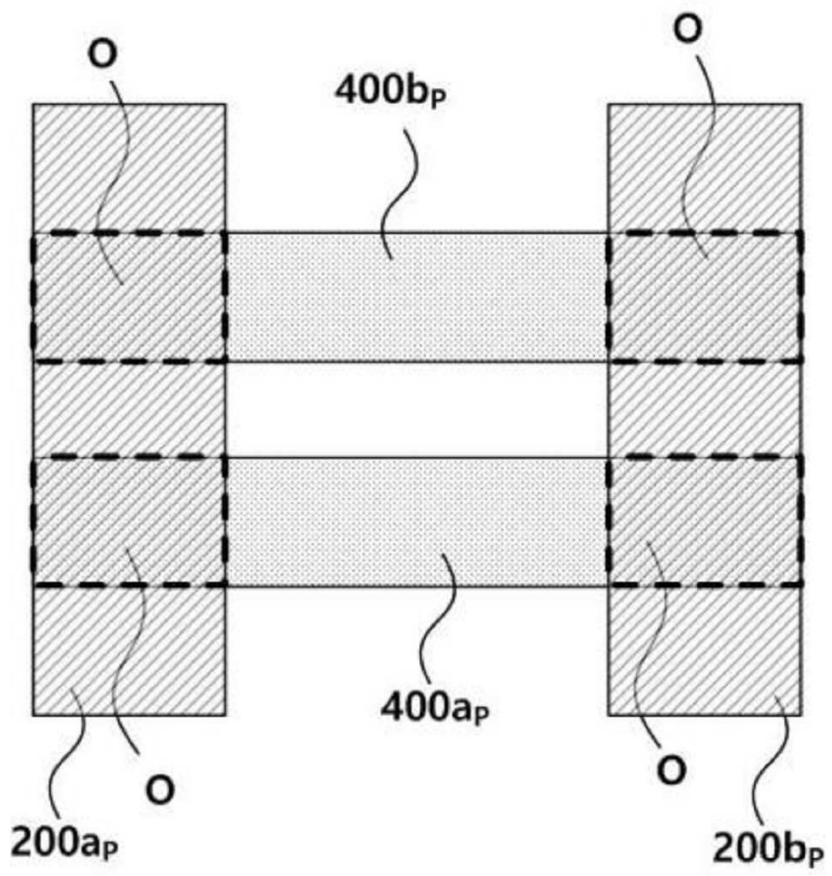
도면7



도면8



도면9



도면11

