



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년04월17일

(11) 등록번호 10-2658214

(24) 등록일자 2024년04월12일

(51) 국제특허분류(Int. Cl.)

H10B 63/00 (2023.01) H10N 70/00 (2024.01)

(52) CPC특허분류

H10B 63/20 (2023.02)

H10B 63/80 (2023.02)

(21) 출원번호 10-2022-0027466

(22) 출원일자 2022년03월03일

심사청구일자 2022년03월03일

(65) 공개번호 10-2023-0130377

(43) 공개일자 2023년09월12일

(56) 선행기술조사문헌

JP2017092476 A*

KR1020110033061 A*

KR1020130135603 A*

KR1020190130327 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

조만호

서울특별시 강남구 선릉로 8, 211동 1101호(개포동, 래미안블레스티지)

김다솔

서울특별시 서대문구 연희로10길 69, 405호(연희동)

(뒷면에 계속)

(74) 대리인

특허법인다나

전체 청구항 수 : 총 8 항

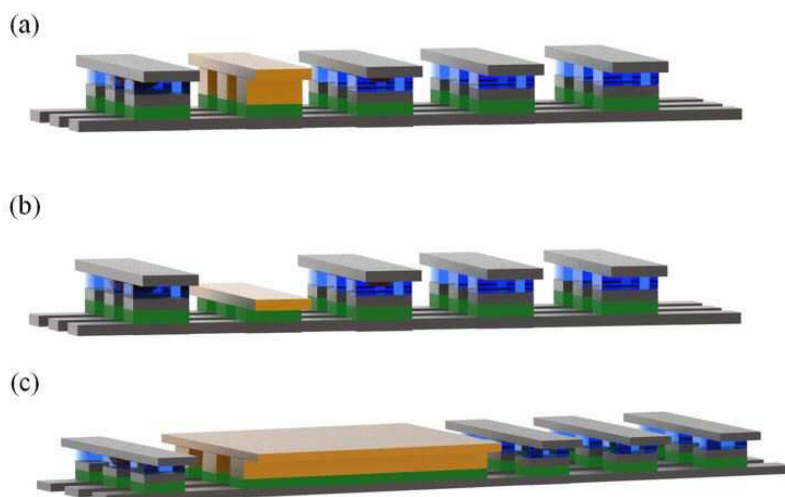
심사관 : 김진우

(54) 발명의 명칭 3D Xpoint에서 셀 간의 열적 간섭 해소가 가능한 비휘발성 메모리 장치

(57) 요약

본 발명은 복수 개가 제1 방향으로 이격 배치된 비트 라인, 상기 복수 개의 비트 라인 상에 제1 방향으로 분리 배치된 복수 개의 셀렉터, 상기 복수 개의 셀렉터 상에 배치된 복수 개의 가변 저항층 및 상기 가변 저항층 상에 배치되며, 상기 비트 라인과 수직하는 제2 방향으로 이격 배치되는 복수 개의 워드 라인을 포함하며, 상기 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기 라인을 포함하는 비휘발성 메모리 장치를 제공한다.

대표도 - 도2



(52) CPC특허분류

H10N 70/231 (2023.02)

H10N 70/826 (2023.02)

H10N 70/881 (2023.02)

(72) 발명자

이창우

서울특별시 양천구 목동중앙본로7가길 48, 203호(
목동, 태진하우스)

임현옥

서울특별시 송파구 문정로 197, 1동 101호(오금동,
삼성아파트)

명세서

청구범위

청구항 1

복수 개가 제1 방향으로 이격 배치된 비트 라인;

상기 복수 개의 비트 라인 상에 제1 방향으로 분리 배치된 복수 개의 셀렉터;

상기 복수 개의 셀렉터 상에 배치된 복수 개의 가변 저항층; 및

상기 가변 저항층 상에 배치되며, 상기 비트 라인과 수직하는 제2 방향으로 이격 배치되는 복수 개의 워드 라인;을 포함하며,

상기 복수 개의 비트 라인 사이에서 제1 방향으로 연장하여 배치되는 열 추출기 라인 및 상기 복수 개의 워드 라인 사이에서 제2 방향으로 연장하여 배치된 열 추출기 라인을 포함하며, 상기 열 추출기 라인은 상기 복수 개의 워드 라인과 동일 레벨을 가지며,

상기 열 추출기 라인의 두께는 상기 비트 라인과 워드 라인 사이 두께와 동일하고,

상기 셀렉터는 OTS(Ovonic Threshold Switching)이며 상기 OTS(Ovonic Threshold Switching) 소자는 Si-As-Te 소자 또는 칼코지나이드(Chalcogenide) 소자이며,

비휘발성 메모리 장치와 분리되며, 상기 열 추출기 라인에 연결된 열 저장체(heat reservoir)가 추가되고, 상기 열 저장체(heat reservoir)는 비휘발성 메모리 장치의 하부에 배치된 비휘발성 메모리 장치.

청구항 2

제1항에 있어서,

상기 열 추출기 라인은 상기 복수 개의 셀렉터 상에 배치된 비휘발성 메모리 장치.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적보다 큰 면적을 갖는 비휘발성 메모리 장치.

청구항 5

제4항에 있어서,

상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적 대비 2배 내지 10배의 면적을 갖는 비휘발성 메모리 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

제1항에 있어서,

상기 셀렉터와 가변 저항층 사이에는 전극층이 배치된 비휘발성 메모리 장치.

청구항 11

제1항에 있어서,

상기 가변 저항층은 상변화 물질을 포함하는 비휘발성 메모리 장치.

청구항 12

제1항에 있어서,

상기 열 추출기 라인은 상기 가변 저항층보다 열전도도가 높은 물질을 포함하는 비휘발성 메모리 장치.

청구항 13

제12항에 있어서,

상기 열 추출기 라인은 알루미늄, 금, 은, 텅스텐, 구리, 황동, 니켈, 몰리브덴, 아연, 그래핀, 풀러렌 및 도전성 나노튜브 중 어느 하나 이상을 포함하는 비휘발성 메모리 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은 3D Xpoint에서 셀 간의 열적 간섭 해소가 가능한 비휘발성 메모리 장치에 관한 것이다.

배경 기술

[0003] 최근, 디지털 카메라, MP3 플레이어, PDA(personal digital assistants) 및 휴대폰과 같은 휴대용 디지털 응용 기기들의 수요가 증가하면서 비휘발성 메모리 시장은 급속도로 팽창하고 있다. 프로그래밍이 가능한 비휘발성 메모리로서, 비트당 제조 비용이 적은 고밀도의 플래시 메모리 소자가 널리 사용되고 있다. 그러나, 플래시 메모리는 프로그래밍을 위한 핫캐리어 주입 동작을 위해 비교적 큰 용량의 트랜지스터를 요구하고, 높은 신뢰성의 데이터 유지를 보장하기 위해서는 높은 내부 전압을 견딜 수 있는 두꺼운 터널링 산화막을 필요로 하기 때문에, 그 스케일링에 기본적인 한계를 갖는다. 최근 플래시 메모리가 스케일링의 한계에 도달함에 따라 이를 대체할 수 있는 비휘발성 메모리로서 가변 저항값을 갖는 저항성 메모리 재료를 이용한 상변화 랜덤 액세스 메모리(Phase Change Random Access Memory; PRAM) 또는 저항 랜덤 액세스 메모리(Resistance Random Access Memory; RRAM)가 주목을 받고 있다.

[0004] 상기 저항성 메모리 재료는 이에 인가되는 전기적 펄스에 의해 저항성 상태가 가역적으로 변할 수 있는 이중 안정 저항 상태(bi-stable resistive state)를 갖기 때문에, 저항 랜덤 액세스 메모리는 트랜지스터가 없이 동작할 수 있으며, 이에 따라 메모리 소자의 스케일링이 용이한 이점이 있다. 스위치와 저항성 메모리 재료를 기본으로 하는 메모리 소자에서, 스위치의 스케일링에 관한 문제는 CMOS 기술에 있어서 공통된 것이며, 저항성 메모리 재료와 관련하여서는 프로그래밍을 위한 공급 전압을 수용할 수 있어야 하는 제한 조건하에서 설계될 수 있다.

[0005] 상기 저항성 메모리 재료의 스케일링과 관련하여서는 인접하는 메모리 셀들의 저항성 메모리 재료 사이의 열적 간섭(thermal crosstalk)이 잠재적인 문제가 될 수 있다. 65nm 이하, 더 작게는 40 nm 이하의 노드 설계는, 선택된 메모리 셀에서 발생하는 열이 인접하는 다른 메모리 셀의 상태에 영향을 줄 수 있으며, 이에 의해 발생할 수 있는 데이터의 손실 또는 오동작 문제를 고려하여야 한다.

[0006] 즉, 동작 소자 주변으로 의도하지 않은 열적 간섭(thermal crosstalk) 현상이 주변의 셀들에게 발생함으로써 단위 소자의 신뢰성을 떨어뜨리고 다시 메모리 전체의 신뢰성을 떨어뜨리는 문제가 있다.

[0007] 이러한 동작 소자 주변으로 의도하지 않은 열 간섭(thermal crosstalk) 현상에 따라 단위 소자의 신뢰성이 저하되는 문제를 해결하기 위해 이전 연구에서는 소프트웨어 수준에서 셀마다 인가해주는 전기적 펄스(electrical pulse)를 제어하는 기술을 제시하였다.

[0008] 그러나, 소자의 집적도가 높아짐에 따라, 소자 간 관계도가 복잡해지기 때문에 소프트웨어 수준에서 이를 해결하는 것은 한계가 있었다.

[0009] 따라서, 하드웨어 수준에서 본 문제를 해결하는 방안에 대한 연구가 필요한 실정이다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 한국 등록특허공보 제10-1171874호

발명의 내용

해결하려는 과제

[0012] 본 발명은 상기의 문제점을 해결하기 위하여 하드웨어 수준에서 열적 간섭 (unintended thermal crosstalk)을 해결할 수 있는 비휘발성 메모리 장치를 제공한다.

과제의 해결 수단

[0014] 본 발명의 일 실시형태에 따르면, 복수 개가 제1 방향으로 이격 배치된 비트 라인, 상기 복수 개의 비트 라인 상에 제1 방향으로 분리 배치된 복수 개의 셀렉터, 상기 복수 개의 셀렉터 상에 배치된 복수 개의 가변 저항층 및 상기 가변 저항층 상에 배치되며, 상기 비트 라인과 수직하는 제2 방향으로 이격 배치되는 복수 개의 워드 라인을 포함하며, 상기 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기(Heat extractor) 라인을 포함하는 비휘발성 메모리 장치를 제공한다.

[0015] 상기 열 추출기 라인은 상기 복수 개의 셀렉터 상에 배치될 수 있다.

[0016] 상기 열 추출기 라인은 상기 복수 개의 워드 라인과 동일 레벨을 갖는 것을 특징으로 한다.

[0017] 상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적보다 큰 면적을 가질 수 있다.

[0018] 상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적 대비 2배 내지 10배의 면적을 가질 수 있다.

[0019] 상기 열 추출기 라인은 상기 복수 개의 워드 라인 보다 낮은 레벨을 갖는 것을 특징으로 한다.

[0020] 상기 열 추출기 라인의 두께는 상기 비트 라인과 워드 라인 사이 두께 대비 동일할 수 있다.

[0021] 상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적보다 큰 면적을 가질 수 있다.

[0022] 상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적 대비 2배 내지 10배의 면적을 가질 수 있다.

[0023] 상기 셀렉터와 가변 저항층 사이에는 전극층이 배치될 수 있다.

[0024] 상기 가변 저항층은 상변화 물질을 포함할 수 있다.

[0025] 상기 열 추출기 라인은 상기 가변 저항층보다 열전도도가 높은 물질을 포함할 수 있다.

[0026] 상기 열 추출기 라인은 알루미늄, 금, 은, 텅스텐, 구리, 황동, 니켈, 몰리브덴, 아연, 그래핀, 풀러렌 및 도전성 나노튜브 중 어느 하나 이상을 포함할 수 있다.

[0027] 상기 셀렉터는 다이오드, OTS(Ovonic Threshold Switching), MIT(Metal Insulator Transition) 및 MIEC(Mixed Ionic Electronic Conductor) 소자 중의 어느 하나 이상일 수 있다.

[0028] 상기 다이오드는 PN junction 다이오드 또는 Schottky 다이오드일 수 있다.

[0029] 상기 OTS(Ovonic Threshold Switching) 소자는 Si-As-Te 소자 또는 칼코지나이드(Chalcogenide) 소자일 수 있다.

[0030] 상기 MIT(Metal Insulator Transition) 소자는 NbO_2 , VO_2 및 Ti_2O_3 로 이루어진 군에서 선택된 어느 하나 이상을 포함할 수 있다.

[0031] 상기 MIEC(Mixed Ionic Electronic Conductor) 소자는 구리 (Cu)를 포함하는 소자일 수 있다.

[0032] 상기 비휘발성 메모리 장치와 분리되며, 상기 열 추출 라인에 연결된 열 저장체(heat reservoir)가 추가될 수 있다.

[0033] 상기 열 저장체(heat reservoir)는 비휘발성 메모리 장치의 측면에 배치될 수 있다.

[0034] 상기 열 저장체(heat reservoir)는 비휘발성 메모리 장치의 하부에 배치될 수 있다.

발명의 효과

[0036] 본 발명의 일 실시형태에 따르면, 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기(Heat extractor) 라인을 포함하는 비휘발성 메모리 장치를 제공할 수 있다.

[0037] 즉, 본 발명의 일 실시형태에 따른 비휘발성 메모리 장치는 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기 라인을 포함하기 때문에 열적 간섭(thermal crosstalk)을 억제할 수 있어 메모리 장치의 신뢰성을 높일 수 있다.

[0038] 또한, 본 발명의 일 실시형태에 따른 비휘발성 메모리 장치에서 상기 열 추출기(Heat extractor) 라인은 인접한 워드 라인 및 비트 라인 사이의 두께보다 작도록 조절하거나 워드 라인 및 비트 라인의 면적보다 크게 조절함으로써, 인접한 상변화 메모리 셀까지의 거리를 더 멀게 유지할 수 있어 열적 간섭(thermal crosstalk) 억제 효과가 보다 우수할 수 있다.

[0039] 또한, 상변화 물질이 광학 메모리에도 활용되기 때문에 본 발명의 일 실시형태에 따른 비휘발성 메모리 소자는 광학 메모리 소자에 확장 적용도 가능하다.

[0040] 또한, 3D Xpoint 메모리/스토리지 모듈의 제작 조건을 그대로 활용하면서, 열적 간섭(thermal crosstalk) 문제를 하드웨어 수준에서 직접적으로 해결할 수 있기 때문에, 제작 단가 인하 및 신뢰성, 수율 향상에 기여할 수 있다.

도면의 간단한 설명

[0042] 도 1은 본 발명의 비교예인 종래 3D Xpoint(왼쪽)와 본 발명의 실시예 1인 열이 잘 빠지는 열 추출기(Heat extractor)가 추가된 구조의 3D xpoint(오른쪽)를 비교한 도면이다 (은색은 메탈라인, 파란색은 상변화 물질, 녹색은 selector를 나타냄. 노란색은 열 추출기(Heat extractor)를 나타냄).

도 2는 본 발명의 다양한 실시형태에 따른 열 추출기(Heat extractor)를 포함하는 메모리 소자의 개략 사시도이다 ((a): 동일 레벨의 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 1), (b): 두께를 조절한 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 2), (c): 면적을 조절한 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 3)).

도 3은 본 발명의 열 추출기(Heat extractor)를 포함하는 메모리 소자에서 다양한 형태의 selector를 포함하는 개략 사시도 ((a): 동일 레벨의 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 1), (b): 실시예 1의 selector를 다른 재료의 selector로 대체한 메모리 소자(실시예 4)) 및 (c): Diode 타입의 selector를 적용한 경우의 I-V 특성 그래프, (d) multilevel selector를 적용한 경우의 I-V 특성 그래프이다.

도 4는 본 발명의 다른 실시형태에 따른 열 저장체(heat reservoir)가 추가된 비휘발성 메모리 소자의 개략 사시도이다 ((a) 수평 배치 및 (b) 하부 배치).

발명을 실시하기 위한 구체적인 내용

[0043] 이하, 실시예를 통해 본 발명을 보다 구체적으로 설명한다. 그러나 이들 예는 본 발명의 이해를 돕기 위한 것일 뿐 어떠한 의미로든 본 발명의 범위가 이들 예로 한정되는 것은 아니다.

[0045] 도 1은 본 발명의 비교예인 종래 3D Xpoint(왼쪽)와 본 발명의 실시예 1인 열이 잘 빠지는 열 추출기(Heat extractor)가 추가된 구조의 3D xpoint(오른쪽)를 비교한 도면이다 (은색은 메탈라인, 파란색은 상변화 물질, 녹색은 selector를 나타냄. 노란색은 열 추출기(Heat extractor)를 나타냄).

[0046] 본 발명의 일 실시형태에 따르면, 복수 개가 제1 방향으로 이격 배치된 비트 라인, 상기 복수 개의 비트 라인 상에 제1 방향으로 분리 배치된 복수 개의 셀렉터, 상기 복수 개의 셀렉터 상에 배치된 복수 개의 가변 저항층 및 상기 가변 저항층 상에 배치되며, 상기 비트 라인과 수직하는 제2 방향으로 이격 배치되는 복수 개의 워드 라인을 포함하며, 상기 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기(Heat extractor) 라인을 포함하는 비휘발성 메모리 장치를

제공한다 (도 1의 오른쪽).

- [0048] 도 1에서 본 발명의 비교예인 종래 3D Xpoint(왼쪽)에서 나타난 바와 같이, 단위 소자는 전기적 펄스(electrical pulse)가 제공한 줄열(Joule heating)을 이용하여 메모리 상태를 제어한다. 그러나, 상기와 같이 종래의 3D Xpoint 구조에서는 동작 소자 주변으로 의도하지 않은 열적 간섭(thermal crosstalk) 현상이 주변의 셀들에게 발생함으로써 단위 소자의 신뢰성을 떨어뜨리고 다시 메모리 전체의 신뢰성을 떨어뜨리는 문제가 있었다.
- [0049] 이러한 동작 소자 주변으로 의도하지 않은 열적 간섭(thermal crosstalk) 현상에 따라 단위 소자의 신뢰성이 저하되는 문제를 해결하기 위해 이전 연구에서는 소프트웨어 수준에서 셀마다 인가해주는 전기적 펄스(electrical pulse)를 제어하는 기술을 제시하였다. 그러나, 소자의 집적도가 높아짐에 따라서, 소자 간 관계도가 복잡해지기 때문에 소프트웨어 수준에서 이를 해결하는 것은 한계가 있었다.
- [0050] 본 발명의 일 실시형태에 따르면, 하드웨어 수준에서 본 문제를 해결할 수 있는 기술을 제시한다.
- [0051] 즉, 본 발명의 일 실시형태에서는 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기 라인을 포함하기 때문에 열적 간섭(thermal crosstalk)을 억제할 수 있어 메모리 장치의 신뢰성을 높일 수 있다.
- [0052] 또한, 본 발명의 일 실시형태에 따른 비휘발성 메모리 장치에서 상기 열 추출기(Heat extractor) 라인은 인접한 워드 라인 및 비트 라인 사이의 두께보다 작도록 조절하거나 워드 라인 및 비트 라인의 면적보다 크게 조절함으로써, 인접한 상변화 메모리 셀까지의 거리를 더 멀게 유지할 수 있어 열적 간섭(thermal crosstalk) 억제 효과가 보다 우수할 수 있다.
- [0053] 또한, 상변화 물질이 광학 메모리에도 활용되기 때문에 본 발명의 일 실시형태에 따른 비휘발성 메모리 소자는 광학 메모리 소자에 확장 적용도 가능하다.
- [0054] 또한, 3D Xpoint 메모리/스토리지 모듈의 제작 조건을 그대로 활용하면서, 열적 간섭(thermal crosstalk) 문제를 하드웨어 수준에서 직접적으로 해결할 수 있기 때문에, 제작 단가 인하 및 신뢰성, 수율 향상에 기여할 수 있다.
- [0056] 이하 본 발명의 다양한 실시예로서 인접한 상변화 메모리 셀 사이의 열적 간섭(thermal crosstalk)을 억제하는 역할을 하는 열 추출기(Heat extractor) 라인을 포함하는 비휘발성 메모리 장치에 대하여 설명한다. 그러나 본 발명은 상변화 메모리 셀에 관련될 경우로 한정되는 것은 아니며, 본 발명은 가변 저항 메모리 셀을 포함하고 셀 사이에 열적 간섭을 제한할 필요가 있는 모든 종류의 메모리 장치에도 적용 가능하다.
- [0058] 도 2는 본 발명의 다양한 실시형태에 따른 열 추출기(Heat extractor)를 포함하는 메모리 소자의 개략 사시도이다 ((a): 동일 레벨의 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 1), (b): 두께를 조절한 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 2), (c): 면적을 조절한 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 3)).
- [0059] 도 2(a)를 참조하면, 본 발명의 제1 실시예에 따른 비휘발성 메모리 장치는 복수 개가 제1 방향으로 이격 배치된 비트 라인, 상기 복수 개의 비트 라인 상에 제1 방향으로 분리 배치된 복수 개의 셀렉터, 상기 복수 개의 셀렉터 상에 배치된 복수 개의 가변 저항층 및 상기 가변 저항층 상에 배치되며, 상기 비트 라인과 수직하는 제2 방향으로 이격 배치되는 복수 개의 워드 라인을 포함한다.
- [0060] 상기 셀렉터와 가변 저항층 사이에는 전극층이 배치될 수 있다.
- [0061] 상기 가변 저항층은 상변화 물질을 포함할 수 있다. 가변 저항층은 예를 들어, 2개의 원소를 화합한 GaSb, InSb, InSe, Sb₂Te₃, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb₂Te₄, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te₈Ge₁₅Sb₂S₂ 등 다양한 종류의 상변화 물질을 포함할 수 있다. 이 중에서 게르마늄(Ge), 안티모니(Sb), 텔루리움(Te)으로 이루어진 GeSbTe를 주로 이용할 수 있다.
- [0062] 상기 복수 개의 워드 라인과 복수 개의 비트 라인의 형성은 일반적인 방법을 사용할 수 있으며, 예를 들어 도전층 적층 및 패터닝 방법, 씨드층을 기초로 선택적 에피택시얼 성장(Selective Epitaxial Growth; SEG) 방식 및 고상 에피택시얼 성장(Solid Phase Epitaxial; SPE) 방식을 사용하여 형성할 수 있다.
- [0063] 본 발명의 제1 실시예에 따르면, 상기 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사

이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기(Heat extractor) 라인을 포함한다.

- [0064] 상기 복수 개의 비트 라인 사이에서 제1 방향 및 상기 복수 개의 워드 라인 사이에서 제2 방향 중 어느 하나 이상에 연장하여 배치된 열 추출기(Heat extractor) 라인은 메모리 셀 사이의 열적 간섭(thermal crosstalk)을 억제하는 역할을 한다.
- [0065] 본 발명의 제1 실시예에서 상기 열 추출기 라인은 상기 복수 개의 워드 라인 사이에서 제2 방향으로 연장하여 배치되며, 상기 복수 개의 셀렉터 상에 배치될 수 있다.
- [0066] 또한, 상기 열 추출기 라인은 상기 복수 개의 워드 라인과 동일 레벨을 갖는 것을 특징으로 한다.
- [0067] 상기 열 추출기 라인은 상기 가변 저항층보다 열전도도가 높은 물질을 포함할 수 있다. 또한, 상기 열 추출기 라인은 상기 가변 저항층보다 비열이 낮은 물질을 포함할 수 있다.
- [0068] 상기 열 추출기 라인은 상변화 메모리 셀에서 발생한 주열 열이 이웃한 상변화 메모리 셀에 전달되지 않도록 셀 간 열적 간섭(thermal crosstalk)을 억제하는 역할을 한다. 즉, 상기 열 추출기 라인은 가변 저항층보다 열전도도가 높은 물질이기 때문에, 인접한 상변화 메모리 셀로 전달될 가능성이 있는 주열 열이 상기 열 추출기 라인으로 빠지게 된다. 따라서, 상기 열 추출기 라인을 포함하는 본 발명의 일 실시형태에 따른 비휘발성 메모리 장치는 고집적화가 가능하다.
- [0069] 상기 열 추출기 라인은 알루미늄, 금, 은, 텅스텐, 구리, 황동, 니켈, 몰리브덴, 아연, 그래핀, 풀러렌 및 도전성 나노튜브 중 어느 하나 이상을 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 바람직하게는 상기 열 추출기 라인은 텅스텐(W) 또는 구리(Cu)를 포함할 수 있다. 또한, 상기 열 추출기 라인이 포함하는 물질은 열전도도가 150 W/mK 이상, 바람직하게는 200 W/mK 이상, 보다 바람직하게는 300 W/mK 이상일 수 있다.
- [0071] 도 2(b)를 참조하면, 본 발명의 제2 실시예에 따른 비휘발성 메모리 장치에서 상기 열 추출기 라인은 상기 복수 개의 워드 라인 보다 낮은 레벨을 갖는 것을 특징으로 한다.
- [0072] 이에 제한되는 것은 아니나, 예를 들어, 상기 열 추출기 라인의 두께는 상기 비트 라인과 워드 라인 사이 두께가 동일할 수 있다.
- [0073] 상기 열 추출기(Heat extractor) 라인은 인접한 워드 라인 및 비트 라인 사이의 두께보다 작도록 조절함으로써, 인접한 상변화 메모리 셀까지의 거리를 더 멀게 유지할 수 있어 열적 간섭(thermal crosstalk) 억제 효과가 보다 우수할 수 있다.
- [0075] 삭제
- [0076] 도 2(c)를 참조하면, 본 발명의 제3 실시예에 따른 비휘발성 메모리 장치에서 상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적보다 큰 면적을 가질 수 있다.
- [0077] 상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적 대비 2배 내지 10배의 면적을 가질 수 있다.
- [0078] 상기 열 추출기(Heat extractor) 라인은 워드 라인 및 비트 라인의 면적보다 크게 조절함으로써, 인접한 상변화 메모리 셀까지의 거리를 더 멀게 유지할 수 있어 열적 간섭(thermal crosstalk) 억제 효과가 보다 우수할 수 있다.
- [0079] 상기 열 추출기 라인이 상기 워드 라인 또는 비트 라인 각각의 면적 대비 2배 미만의 면적을 가질 경우, 열적 간섭(thermal crosstalk) 억제 효과가 높지 않으며, 10배를 초과한 면적을 가질 경우 비휘발성 메모리 장치의 집적도가 낮아질 수 있다.
- [0081] 한편, 본 발명의 또 다른 실시예에 따르면, 상기 열 추출기 라인의 두께는 상기 비트 라인과 워드 라인 사이 두께보다 작도록 조절함과 동시에 상기 워드 라인 또는 비트 라인 각각의 면적보다 큰 면적을 가질 수 있다.
- [0082] 상기 열 추출기 라인은 상기 워드 라인 또는 비트 라인 각각의 면적 대비 2배 내지 10배의 면적을 가질 수 있다.
- [0083] 상기 열 추출기 라인의 두께가 상기 비트 라인과 워드 라인 사이 두께보다 작도록 조절함과 동시에 상기 워드 라인 또는 비트 라인 각각의 면적보다 큰 면적을 가지도록 조절함으로써, 인접한 상변화 메모리 셀까지의 거리

를 더 멀게 유지할 수 있어 열적 간섭(thermal crosstalk) 억제 효과가 더욱 우수할 수 있다.

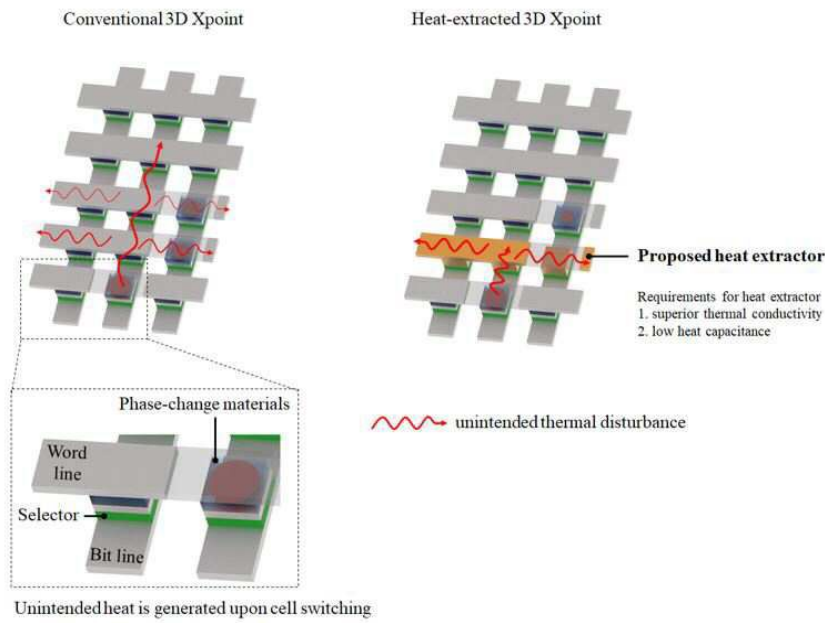
- [0085] 도 3은 본 발명의 열 추출기(Heat extractor)를 포함하는 메모리 소자에서 다양한 형태의 selector를 포함하는 개략 사시도 ((a): 동일 레벨의 열 추출기(Heat extractor)를 포함하는 메모리 소자(실시예 1), (b): 실시예 1의 selector를 다른 재료의 selector로 대체한 메모리 소자(실시예 4)) 및 (c): Diode 타입의 selector를 적용한 경우의 I-V 특성 그래프, (d) multilevel selector를 적용한 경우의 I-V 특성 그래프이다.
- [0086] 도 3을 참조하면, 상기 3D Xpoint 비휘발성 메모리 장치는 교차 배열 구조상 선택된 소자의 인접한 소자에서 누설 전류가 발생하는 문제점을 가지고 있는데, 따라서 메모리 소자에 정류 특성을 갖는 선택 소자를 직렬 연결하여 누설 전류를 줄이기 위해 상기 셀렉터는 다이오드, OTS(Ovonic Threshold Switching), MIT(Metal Insulator Transition) 및 MIEC(Mixed Ionic Electronic Conductor) 소자 중의 어느 하나 이상일 수 있다.
- [0087] 상기 다이오드는 PN junction 다이오드 또는 Schottky 다이오드일 수 있다.
- [0088] 구체적으로, 상기 PN junction 다이오드는 Poly Si, Epitaxial Si, p-CuO_x/n-InZnO_x 또는 n-Ge nanowire/p-Si일 수 있으며, 상기 Schottky 다이오드는 Ni/TiO_x/Ni 또는 TaN/SiN_x/TaN 일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0089] 상기 OTS(Ovonic Threshold Switching) 소자는 Si-As-Te 소자 또는 칼코지나이드(Chalcogenide) 소자일 수 있다.
- [0090] 상기 MIT(Metal Insulator Transition) 소자는 NbO₂, VO₂ 및 Ti₂O₃로 이루어진 군에서 선택된 어느 하나 이상을 포함할 수 있다.
- [0091] 상기 MIEC(Mixed Ionic Electronic Conductor) 소자는 구리 (Cu)를 포함하는 소자일 수 있다.
- [0092] 본 발명의 일 실시형태에 따른 비휘발성 메모리 장치에서 상기 selector는 인가 전압의 극성 변화가 필요한 바이폴라(bipolar)가 요구되지 않기 때문에, 반드시 OTS(Ovonic Threshold Switching) 소자가 요구되는 것은 아니며, 상술한 바와 같이 다양한 선택 소자가 사용될 수 있다.
- [0093] 도 3(c)를 참조하면, 다이오드 타입의 selector를 적용한 경우의 I-V 특성 그래프이며, 비선형 형태를 보임을 알 수 있다.
- [0094] 다음으로, 도 3(d)를 참조하면, 본 발명의 일 실시형태에서 multilevel selector를 적용할 수 있으며, 이 경우의 I-V 특성 그래프를 나타낸다.
- [0095] 도 3(d)와 같이 multilevel selector를 적용할 경우 I-V 특성 그래프가 다단(multilevel) 형태로 구현될 수 있어, 누설 전류 차단 효과가 보다 우수할 수 있다.
- [0096] 다단(multilevel) selector를 구현하는 방법은 특별히 제한되지 않으며, 예를 들어 서로 다른 형태 혹은 동일한 형태의 선택 소자를 다층으로 적용하는 방법 또는 하나의 선택 소자 내에서 다른 재료로 구성된 다층 형태로 구현할 수 있다. 하나의 선택 소자 내에서 다른 재료로 구성된 다층 형태로 구현할 경우 예를 들어 Pt/Ta/Ta/Ti/Pt의 다층(multilayer) 형태로 구성될 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0097] 본 발명의 일 실시형태에서 상기 selector는 비휘발성 메모리 장치의 동작 중에도 작동할 수 있다는 장점이 있다.
- [0099] 도 4는 본 발명의 다른 실시형태에 따른 열 저장체(heat reservoir)가 추가된 비휘발성 메모리 소자의 개략 사시도이다 ((a) 수평 배치 및 (b) 하부 배치).
- [0100] 도 4를 참조하면, 상기 비휘발성 메모리 장치와 분리되며, 상기 열 추출 라인에 연결된 열 저장체(heat reservoir)가 추가될 수 있다.
- [0101] 도 4(a)를 참조하면, 상기 열 저장체(heat reservoir)는 비휘발성 메모리 장치의 측면에 배치될 수 있다.
- [0102] 도 4(b)를 참조하면, 상기 열 저장체(heat reservoir)는 비휘발성 메모리 장치의 하부에 배치될 수 있다.
- [0103] 본 발명의 다른 실시형태에 따른 열 저장체(heat reservoir)가 추가된 비휘발성 메모리 장치는 상기 열 추출 라인에 연결되어, 상기 상변화 메모리 셀에서 발생한 열이 열 추출 라인으로 전달된 후 상기 열 저장체(heat reservoir)로 전달될 수 있다.

[0105]

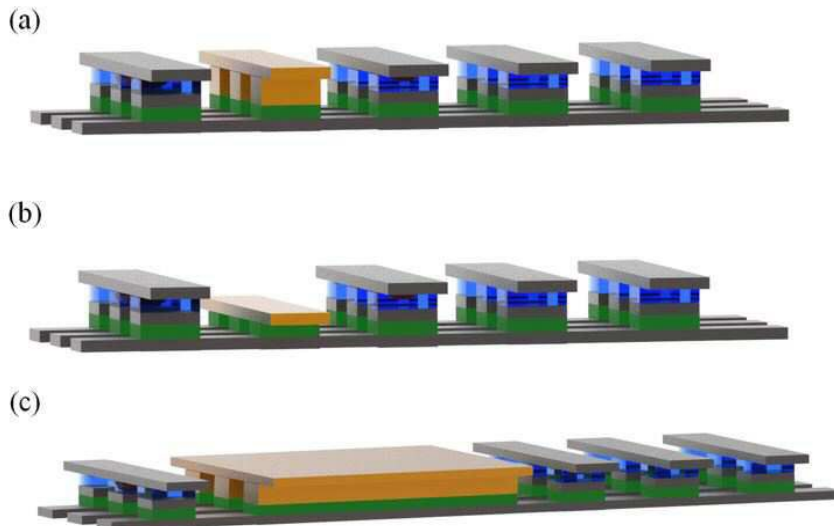
이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어서 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변경이 가능하므로 전술한 실시예에 한정되는 것은 아니다.

도면

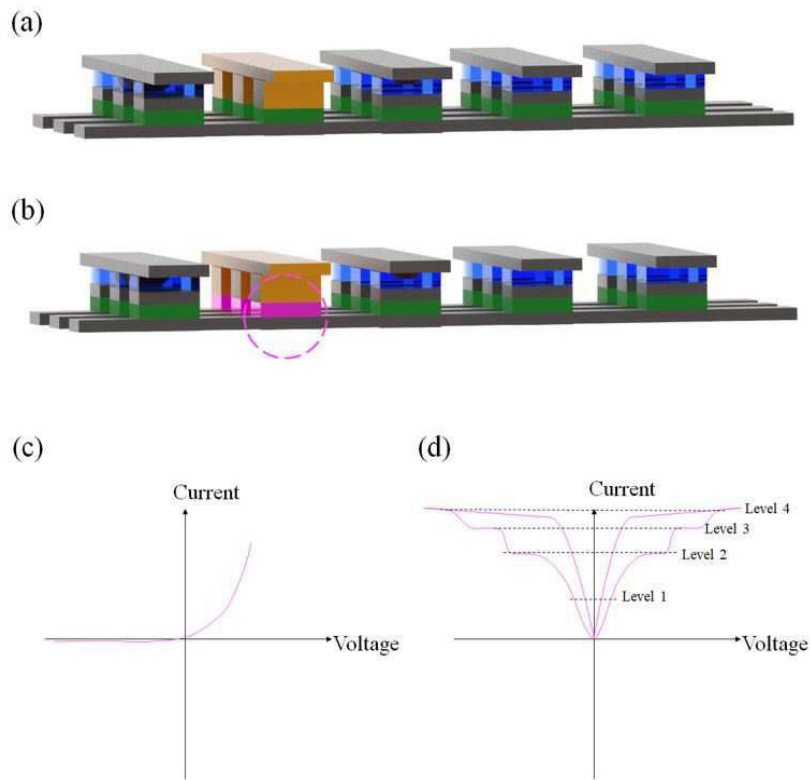
도면1



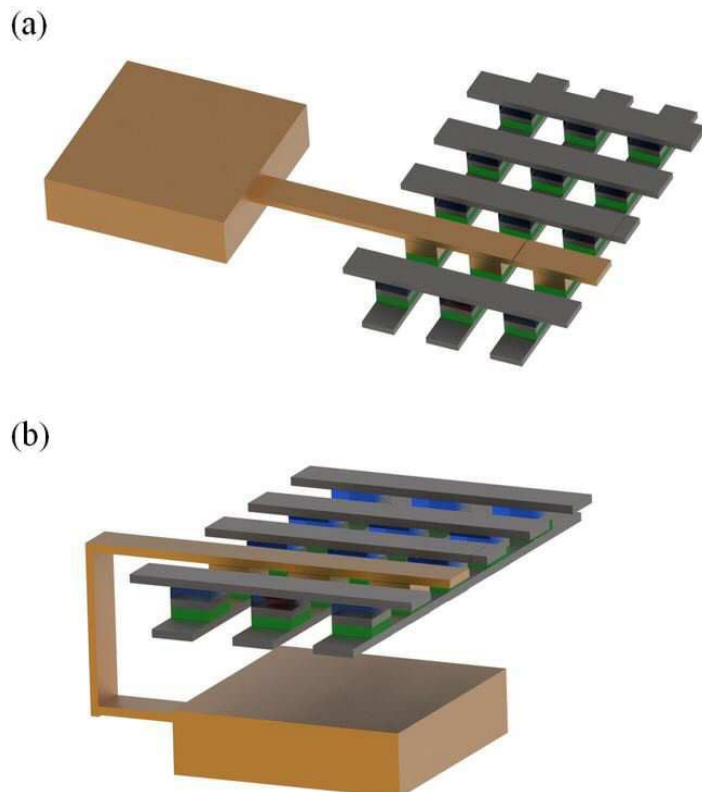
도면2



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

복수 개가 제1 방향으로 이격 배치된 비트 라인;

상기 복수 개의 비트 라인 상에 제1 방향으로 분리 배치된 복수 개의 셀렉터;

상기 복수 개의 셀렉터 상에 배치된 복수 개의 가변 저항층; 및

상기 가변 저항층 상에 배치되며, 상기 비트 라인과 수직하는 제2 방향으로 이격 배치되는 복수 개의 워드 라인;을 포함하며,

상기 복수 개의 비트 라인 사이에서 제1 방향으로 연장하여 배치되는 열 추출기 라인 및 상기 복수 개의 워드 라인 사이에서 제2 방향으로 연장하여 배치된 열 추출기 라인을 포함하며, 상기 열 추출기 라인은 상기 복수 개의 워드 라인과 동일 레벨을 가지며,

상기 열 추출기 라인의 두께는 상기 비트 라인과 워드 라인 사이 두께와 동일하고,

상기 셀렉터는 OTS(Ovonic Threshold Switching)이며 상기 OTS(Ovonic Threshold Switching) 소자는 Si-As-Te 소자 또는 칼코지나이드(Chalcogenide) 소자이며,

비휘발성 메모리 장치와 분리되며, 상기 열 추출 라인에 연결된 열 저장체(heat reservoir)가 추가되고, 상기 열 저장체(heat reservoir)는 비휘발성 메모리 장치의 하부에 배치된 비휘발성 메모리 장치.

【변경후】

복수 개가 제1 방향으로 이격 배치된 비트 라인;

상기 복수 개의 비트 라인 상에 제1 방향으로 분리 배치된 복수 개의 셀렉터;

상기 복수 개의 셀렉터 상에 배치된 복수 개의 가변 저항층; 및

상기 가변 저항층 상에 배치되며, 상기 비트 라인과 수직하는 제2 방향으로 이격 배치되는 복수 개의 워드 라인;을 포함하며,

상기 복수 개의 비트 라인 사이에서 제1 방향으로 연장하여 배치되는 열 추출기 라인 및 상기 복수 개의 워드 라인 사이에서 제2 방향으로 연장하여 배치된 열 추출기 라인을 포함하며, 상기 열 추출기 라인은 상기 복수 개의 워드 라인과 동일 레벨을 가지며,

상기 열 추출기 라인의 두께는 상기 비트 라인과 워드 라인 사이 두께와 동일하고,

상기 셀렉터는 OTS(Ovonic Threshold Switching)이며 상기 OTS(Ovonic Threshold Switching) 소자는 Si-As-Te 소자 또는 칼코지나이드(Chalcogenide) 소자이며,

비휘발성 메모리 장치와 분리되며, 상기 열 추출기 라인에 연결된 열 저장체(heat reservoir)가 추가되고, 상기 열 저장체(heat reservoir)는 비휘발성 메모리 장치의 하부에 배치된 비휘발성 메모리 장치.