



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년04월25일

(11) 등록번호 10-2660254

(24) 등록일자 2024년04월19일

(51) 국제특허분류(Int. Cl.)

C11D 7/04 (2006.01) *C11D 11/00* (2006.01)

C11D 7/08 (2006.01) *H01L 21/02* (2006.01)

(52) CPC특허분류

C11D 7/04 (2013.01)

C11D 7/08 (2013.01)

(21) 출원번호 10-2021-0116575

(22) 출원일자 2021년09월01일

심사청구일자 2021년09월01일

(65) 공개번호 10-2023-0033522

(43) 공개일자 2023년03월08일

(56) 선행기술조사문헌

JP07283209 A*

KR1020190105766 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

임상우

서울특별시 강남구 압구정로 321, 32-1005

나지훈

서울특별시 성동구 왕십리로31길 20, 101-603

(74) 대리인

특허법인 플러스

전체 청구항 수 : 총 10 항

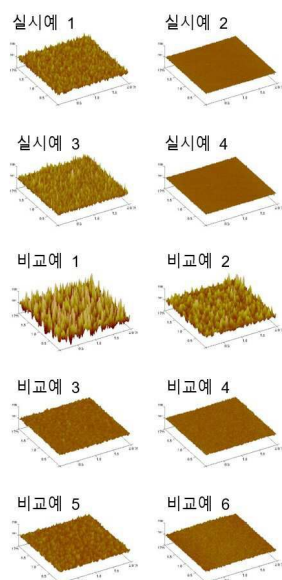
심사관 : 박애영

(54) 발명의 명칭 반도체 기판 세정용 조성물 및 세정방법

(57) 요약

본 발명은 III-V족 화합물 반도체 기판을 세정하기 위한 조성물 및 이를 이용한 세정방법에 관한 것으로, 본 발명에 따르면 III-V족 화합물에 대한 물질손실 및 표면 거칠기 증가를 유발하지 않고 기판의 변형 및 손상을 최소화 할 수 있어, 보다 향상된 홀 이동도 및 전도도를 구현하는 디바이스 제작에 매우 유리할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02057 (2013.01)

H01L 21/02543 (2013.01)

H01L 21/02546 (2013.01)

C11D 2111/22 (2024.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1415173458

과제번호 20006404

부처명 산업통상자원부

과제관리(전문)기관명 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 [RCMS] 한양대학교 산학협력단/IIIV 반도체 Channel CMP 및 Post CMP 세정공정 개발(2/3)

기 여 율 1/1

과제수행기관명 한양대학교 에리카 산학협력단

연구기간 2020.01.01 ~ 2020.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

비소(As)를 포함하는 III-V족 화합물 반도체 기판에 있어서,

질산 및 인산에서 선택되는 산화합물과 과산화수소는 1:0.1 내지 1:1의 부피비, 상기 산화합물 및 과산화수소의 혼합액과 물은 1.1:100 내지 2:100의 부피비로 포함되며,

상기 III-V족 화합물 반도체 기판의 세정전 거칠기 값 대비 세정후 거칠기 값은 하기 식 1을 만족하는 것인, III-V족 화합물 반도체 기판 세정용 조성물:

[식 1]

$$RMS_1 - RMS_0 \leq 1.5 \text{ nm}$$

상기 식 1에서, RMS_0 는 세정전 거칠기 값이고, RMS_1 은 세정후 거칠기 값이다.

청구항 2

제 1항에 있어서,

할로겐 음이온을 포함하지 않는 III-V족 화합물 반도체 기판 세정용 조성물.

청구항 3

제 1항에 있어서,

pH값의 범위가 0 내지 4인 III-V족 화합물 반도체 기판 세정용 조성물.

청구항 4

삭제

청구항 5

제 1항에 있어서,

상기 III-V족 화합물 반도체 기판은,

InAs, GaAs, InGaAs, InGaAsP, AlAs, AlGaAs, InAlAs 및 InAlGaAs에서 선택되는 것인, III-V족 화합물 반도체 기판 세정용 조성물.

청구항 6

삭제

청구항 7

제 1항에 있어서,

상기 RMS_1 은 5 nm이하인, III-V족 화합물 반도체 기판 세정용 조성물.

청구항 8

III-V족 화합물 반도체 기판의 일면을 제 1항 내지 제 3항, 제 5항 및 제 7항에서 선택되는 어느 한 항의 세정용 조성물과 접촉시키는 단계;를 포함하는 III-V족 화합물 반도체 기판 세정방법.

청구항 9

제 8항에 있어서,

상기 단계는, 60℃ 이하에서 수행되는 것인, III-V족 화합물 반도체 기판 세정방법.

청구항 10

반도체 웨이퍼 상에 III-V족 화합물을 포함하는 에피택셜층을 포함하는 채널 영역을 형성하는 단계; 및

상기 반도체 웨이퍼를 제 1항 내지 제 3항, 제 5항 및 제 7항에서 선택되는 어느 한 항의 세정용 조성물과 접촉시켜 세정하는 단계;를 포함하는 반도체 디바이스의 제조방법.

청구항 11

제 10항에 있어서,

상기 III-V족 화합물은,

InAs, GaAs, InGaAs, InGaAsP, AlAs, AlGaAs, InAlAs 및 InAlGaAs에서 선택되는 것인, 반도체 디바이스의 제조방법.

청구항 12

제 11항에 있어서,

상기 InGaAs는,

$\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$)인, 반도체 디바이스의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 기판 세정용 조성물 및 세정방법에 관한 것으로, 상세하게는 III-V족 화합물 반도체 기판을 세정하기 위한 조성물 및 이를 이용한 세정방법에 관한 것이다.

배경 기술

[0002] 현재 반도체의 제조기술은 지속적인 미세화 진행으로 인하여 소재의 물리적인 축소 한계에 근접하였으며, 이로 인한 쇼트 채널 효과(short channel effect) 및 누설 전류가 증가하는 등의 문제가 발생하고 있다. 이와 더불어, 4차 산업혁명 시대에 접어든 반도체는 고성능 스마트 기기, 인공지능, 사물인터넷 등에 사용될 뿐만 아니라 스마트 시계, 이어폰 등과 같은 웨어러블(wearable) 기기에 사용되면서 반도체의 미세화 및 소형화에 대한 수요가 지속적으로 증가하여 상기의 문제점이 더욱 부각되고 있다.

[0003] 이러한 문제들을 해결하기 위해서 발달된 CMOS(complementary metal-oxide-semiconductor) 공정에 사용하기 위한 다양한 물질들이 도입되어 왔다. 이러한 물질 중 하나로, 실리콘 대비 높은 홀 이동도를 구현할 수 있는 III-V족 화합물의 이용을 들 수 있다. 이는 고속 및 저전력 디바이스의 제작이 가능하여 차세대 반도체 디바이스의 채널 물질로 주목받고 있다. III-V족 화합물을 고성능 소자를 위한 기판으로서 사용하는 경우, III-V족 화합물은 엄격한 금속 오염 지침 또는 반도체 제조 설비의 요구사항을 따라야만 한다. 이러한 지침 또는 요구사항을 충족시키는 것은, 특히 세척된 기판의 표면 조도가 영향을 받지 않아야만 하기 때문에, 사용되는 세정 및 에칭 조성물에 큰 영향을 받는다.

[0004] III-V족 화합물 반도체 기판의 세척과 관련된 종래기술은 벌크 에칭(마이크로 규모)을 다루지만, 단지 나노미터 두께를 갖는 III-V족 화합물 반도체 기판을 효과적으로 어떻게 세정하는지에 대해서는 거의 알려진 바가 없다. 종래기술로서, 비특허문헌1은 염산(HCl) 기반 용액 공정을 개시한다. 그러나, 이를 이용한 공정은 실리콘 대비 쉽게 산화되는 III-V족 화합물에 대한 물질손실 및 표면 거칠기 증가를 유발하여 반도체 디바이스의 채널 표면을 변형 및 손상시킬 수 있어 적합하지 않다.

[0005] 이에, 염산을 포함하지 않으면서 상술된 염산 기반 용액 공정에서의 문제점을 해결할 수 있는 새로운 조성 및 공정의 개발은 여전히 필요하다.

선행기술문헌

비특허문헌

[0006] (비특허문헌 0001) ECS Journal of Solid State Science and Technology, 3 (6) P179-P184 (2014)

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 우수한 세정효과를 나타내는 III-V족 화합물 반도체 기판 세정용 조성물 및 이를 이용한 세정 방법을 제공하는 것이다.

[0008] 상세하게, 세정대상에 대한 물질손실 및 표면 거칠기 증가를 유발하지 않는 III-V족 화합물 반도체 기판 세정용 조성물 및 이를 이용한 세정방법을 제공하는 것이다.

[0009] 상세하게, 단순하고 상업적으로도 매우 유리한 세정방법을 제공하는 것이다.

과제의 해결 수단

[0010] 상술된 과제의 해결을 위하여, 본 발명에서는 질산 및 인산에서 선택되는 산화합물, 과산화수소 및 물을 포함하고, 상기 산화합물과 상기 과산화수소는 1:1 내지 10:1, 상기 산화합물과 상기 물은 1:50 내지 1:200의 부피비로 포함되는 것인 III-V족 화합물 반도체 기판 세정용 조성물이 제공된다.

[0011] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물은, 할로젠 음이온을 포함하지 않는 것일 수 있다.

[0012] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물은, pH값의 범위가 0 내지 4인 것일 수 있다.

[0013] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물에 있어서, 상기 III-V족 화합물 반도체 기판은 비소(As)를 포함하는 것일 수 있다.

[0014] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물에 있어서, 상기 III-V족 화합물 반도체 기판은 InAs, GaAs, InGaAs, InGaAsP, AlAs, AlGaAs, InAlAs 및 InAlGaAs 등에서 선택되는 것일 수 있다.

[0015] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물에 있어서, 상기 III-V족 화합물 반도체 기판의 세정전 거칠기 값 대비 세정후 거칠기 값은 하기 식 1을 만족하는 것일 수 있다.

[0016] [식 1]

[0017] $RMS_1 - RMS_0 \leq 1.5 \text{ nm}$

[0018] [상기 식 1에서, RMS_0 는 세정전 거칠기 값이고, RMS_1 은 세정후 거칠기 값이다.]

[0019] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물에 있어서, 상기 RMS_1 은 5 nm이하인 것일 수 있다.

[0020] 또한, 본 발명에서는 III-V족 화합물 반도체 기판의 일면을 상술된 세정용 조성물과 접촉시키는 단계;를 포함하는 III-V족 화합물 반도체 기판 세정방법이 제공된다.

[0021] 본 발명의 일 실시예에 따른 세정방법에 있어서, 상기 단계는 60℃이하에서 수행되는 것일 수 있다.

[0022] 또한, 본 발명에서는 반도체 웨이퍼 상에 III-V족 화합물을 포함하는 에피택셜층을 포함하는 채널 영역을 형성하는 단계; 및 상기 반도체 웨이퍼를 상술된 세정용 조성물과 접촉시켜 세정하는 단계;를 포함하는 반도체 디바이스의 제조방법이 제공된다.

[0023] 본 발명의 일 실시예에 따른 반도체 디바이스의 제조방법에 있어서, 상기 III-V족 화합물은 InAs, GaAs, InGaAs, InGaAsP, AlAs, AlGaAs, InAlAs 및 InAlGaAs 등에서 선택되는 것일 수 있다.

[0024] 본 발명의 일 실시예에 따른 반도체 디바이스의 제조방법에 있어서, 상기 InGaAs는 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$)인 것일 수 있다.

발명의 효과

[0025] 본 발명에 따른 III-V족 화합물 반도체 기판 세정용 조성물은 종래 염산 기반 용액 공정에서의 문제점인 III-V족 화합물에 대한 물질손실 및 표면 거칠기 증가를 유발하지 않는 조성물일 수 있다. 이를 이용한 안정적인 세정공정을 통해, III-V족 화합물 반도체 기판의 표면 거칠기 제어를 용이하게 할 수 있고, 기판의 변형 및 손상을 최소화 할 수 있다. 더욱이, 기판 표면에 존재할 수 있는 잔사, 예를 들어 미량의 금속입자, 유기물 등이 효과적으로 세정할 수 있다.

[0026] 본 발명에 따르면, 보다 향상된 홀 이동도 및 전도도를 구현하는 디바이스 제작에 매우 유리한 이점으로 작용할 수 있다. 또한, 이를 이용한 세정공정은 상압 및 상온과 같은 온화한 조건에서 수행될 수 있어, 공정이 매우 단순화되는 효과가 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예 및 비교예의 세정방법에 따른 III-V족 화합물 반도체 기판의 원자간력현미경(Atomic Force Microscope, AFM)에서 측정된 거칠기(RMS: root mean square)를 도시한 이미지이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 본 발명에 대하여 보다 구체적으로 설명한다. 이때 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

[0029] 또한 본 명세서에서 사용되는 단수 형태는 문맥에서 특별한 지시가 없는 한 복수 형태도 포함하는 것으로 의도할 수 있다.

[0030] 또한 본 명세서에서 특별한 언급 없이 사용된 단위는 부피를 기준으로 하며, 일 예로 % 또는 비의 단위는 부피% 또는 부피비를 의미한다.

[0031] 또한 본 명세서에서 사용되는 수치 범위는 하한치와 상한치와 그 범위 내에서의 모든 값, 정의되는 범위의 형태와 폭에서 논리적으로 유도되는 증분, 이중 한정된 모든 값 및 서로 다른 형태로 한정된 수치 범위의 상한 및 하한의 모든 가능한 조합을 포함한다. 일례로서 수치값이 100 내지 10,000이고, 구체적으로 500 내지 5,000으로 한정된 경우 500 내지 10,000 또는 100 내지 5,000의 수치범위도 본 발명의 명세서에 기재된 것으로 해석되어야 한다. 본 발명의 명세서에서 특별한 정의가 없는 한 실험 오차 또는 값의 반올림으로 인해 발생할 가능성이 있는 수치범위 외의 값 역시 정의된 수치범위에 포함된다.

[0032] 본 명세서의 용어, "포함한다" "구비한다", "함유한다", "가진다" 또는 "특징으로 한다" 등의 표현과 등가의 의미를 가지는 개방형 기재이며, 추가로 열거되어 있지 않은 요소, 재료 또는 공정을 배제하지 않는다.

[0033] 본 명세서의 용어, "실질적으로~포함하지 않는다"는 특정된 요소, 재료 또는 공정과 함께 열거되어 있지 않은 다른 요소, 재료 또는 공정이 발명의 적어도 하나의 기본적인고 신규한 기술적 사상에 허용할 수 없을 만큼의 현저한 영향을 미치지 않는 양으로 존재할 수 있는 것을 의미한다. 또한, 이에 의한 영향이 미미함을 의미한다.

[0034] 본 명세서의 용어, "세정"은 세정대상 표면에 존재할 수 있는 물질을 효과적으로 세척 및 제거하는 공정을 의미하는 것일 수 있으며, 세정대상의 비제한적인 일 예로서, 웨이퍼 표면을 균일하게 식각하여 물질손실을 최소화하고 표면 거칠기를 줄일 수 있는 공정을 의미하는 것일 수 있다.

[0036] InGaAs 등과 같은 III-V족 화합물 반도체 기판은 고속 및 저전력 디바이스의 제작이 가능하여 차세대 반도체 디바이스의 채널 물질로 주목받고 있다. III-V족 화합물 반도체 기판을 디바이스의 채널에 이용하기 위해서는, 반도체 제조공정 중 발생하거나 여러 오염원으로부터 기판 상에 생성되는 오염물질(예를 들어, 금속입자, 유기물 등)을 제거하기 위한 세정공정이 필요하다. 또한, 반도체 칩의 수율, 성능 및 신뢰성 향상을 위해, 후속공정 전에 상기 기판의 세정은 필수적이다.

[0037] 종래 반도체 제조공정에서 대표적으로 사용되는 세정은 1970년경 미국의 RCA사에서 개발된 RCA 세정법이다. 이

는 과산화수소에 의한 산화반응과 암모니아에 의한 식각반응을 이용하여 반도체 표면의 입자와 유기물을 제거하는 SC1 (Standard Cleaning-1, $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$ at $75\sim 90^\circ\text{C}$ 과 반도체 표면의 과산화수소에 의한 산화반응과 금속 오염물과 염산간의 착화합물 형성반응을 이용한 SC2 (Standard Cleaning-2, $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$ at $75\sim 90^\circ\text{C}$ 의 순차적인 공정으로 이루어져 있다. 이러한 종래의 세정법은 III-V족 화합물 반도체 기판 세정에도 적용되어 사용되고 있다. 그러나, 기존 SC2와 같은 염산 기반 세정법은 실리콘 대비 쉽게 산화되는 III-V족 화합물의 물질손실 및 표면 거칠기 증가를 유발하여 반도체 채널 표면을 변형 및 손상시킬 수 있어 반도체 채널의 세정법으로 적합하지 않다. 따라서, 염산을 포함하지 않으면서 반도체 표면의 변형 및 손상을 최소화할 수 있는 III-V족 화합물 반도체의 표면 세정 기술은 차세대 반도체 디바이스 제조 기술에 큰 영향을 미칠 것으로 기대된다.

[0038] 이와 같은 인식 하에서, 본 발명자들은 염산을 사용하지 않고 III-V족 화합물 반도체 기판의 물질손실 및 표면 거칠기를 효과적으로 제어할 수 있는 새로운 세정 기술에 대한 연구를 심화하였다. 그 결과, 과산화수소를 포함하는 특정의 산성 용액에서 InGaAs 기판에 대한 안정적인 에칭거동을 구현함에 따라 상술된 효과에 시너지를 부여할 수 있음을 발견하여, 본 발명을 제안하고자 한다.

[0040] 이하, 본 발명에 대하여 구체적으로 설명한다.

[0041] 본 발명의 일 실시예에 따른 세정용 조성물은 III-V족 화합물 반도체 기판을 세정대상으로 하는 것일 수 있다. 또한, 본 발명에 따라 세정된 III-V족 화합물 반도체 기판은 화학량론 측면에서 실질적인 변화없이 표면세정이 가능하고, 균일한 식각에 의해 표면 거칠기가 제어될 수 있다.

[0042] 구체적으로, 본 발명의 일 실시예에 따른 세정용 조성물은 질산 및 인산에서 선택되는 산화합물, 과산화수소 및 물을 포함하고, 상기 산화합물과 상기 과산화수소는 1:1 내지 10:1, 상기 산화합물과 상기 물은 1:50 내지 1:200의 부피비로 포함되는 것일 수 있다. 보다 구체적으로, 상기 산화합물과 상기 과산화수소는 1:1 내지 5:1, 더욱 구체적으로, 1:1 내지 2:1의 부피비로 포함되는 것일 수 있다. 또한 상기 산화합물과 물은 1:70 내지 1:150 또는 1:90 내지 1:120의 부피비로 포함되는 것일 수 있다. 이와 같은 조성을 만족하는 세정용 조성물은 안정적인 에칭거동으로 향상된 세정 성능을 구현할 수 있다.

[0043] 보다 구체적으로, 상기 세정용 조성물은 상술된 부피비를 만족하되, 상기 산화합물 0.5 내지 3중량%, 과산화수소 0.05 내지 2중량% 및 잔량의 물을 포함하는 것일 수 있고, 또는 상기 산화합물 0.5 내지 2중량%, 과산화수소 0.05 내지 1.5중량% 및 잔량의 물을 포함하는 것일 수 있고, 또는 상기 산화합물 0.5 내지 1.5중량%, 과산화수소 0.05 내지 1.5중량% 및 잔량의 물을 포함하는 것일 수 있다.

[0044] 더욱이, 본 발명의 일 실시예에 따른 세정용 조성물은 염산을 포함하는 조성, 즉 클로라이드 음이온을 포함하는 경우의 III-V족 화합물 반도체의 물질 손실 및 표면 거칠기에 의한 기판 열화, 농축된 염산 사용으로 인한 반도체 기판 표면 입자 오염을 최소화할 수 있으며, 클로라이드 음이온에 노출된 금속, 합금 및 장비의 부식이나, 사람에게 노출 시 호흡기 및 화상 등의 증상을 수반한 환경안전 및 건강 문제들을 배제할 수 있다는 점에서 이점을 갖는다. 이에, 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물은, 클로라이드 음이온(Cl^-) 등의 할로겐 음이온을 포함하지 않는 것일 수 있다. 예를 들어, 상기 할로겐 음이온은 플루오라이드 음이온(F^-), 클로라이드 음이온(Cl^-), 브롬 음이온(Br^-), 요오드 음이온(I^-) 등에서 선택되는 적어도 하나 이상의 음이온을 실질적으로 포함하지 않는 것일 수 있다.

[0045] 일 예로, 상기 세정용 조성물이 할로겐 음이온을 포함하는 경우, III-V족 화합물 반도체 기판의 일부 금속성분을 용해시킬 수 있다. 이에, 상기 기판의 표면 거칠기에 대한 열화를 야기할 수 있다.

[0046] 또한, 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물은, pH값의 범위가 0 내지 4인 것일 수 있다. 또한, 상기 세정용 조성물의 pH는 0 내지 3.5, 또는 0 내지 3, 또는 0 내지 2.5의 범위를 만족하는 것일 수 있다.

[0047] 일 예로, 상기 세정용 조성물은 인산을 포함하는 것일 수 있다.

[0048] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물에 있어서, 상기 III-V족 화합물 반도체 기판은 비소(As)를 포함하는 것일 수 있다. 이의 비한정적인 일 예로는 InAs, GaAs, InGaAs, InGaAsP, AlAs, AlGaAs, InAlAs 및 InAlGaAs 등에서 선택되는 것일 수 있다. Si보다 8배이상 더 높은 전자 이동도를 구현하기 위한 측면에서, 구체적으로는 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$)일 수 있다. 이때 보다 구체적으로는 $0.4 < x < 0.8$ 또는 $0.5 < x < 0.7$

일 수 있다. 보다 더 구체적으로는 $0.52 < x < 0.61$ 일 수 있다. 가장 구체적으로 상기 x 는 0.53일 수 있으나, 이에 한정되는 것은 아니다. 여기서, 상기 세정용 조성물은 상기 기판 표면을 균일하게 식각하여, 세정후 거칠기 값이 5 nm 이하 범위를 만족하도록 세정하는 것일 수 있다. 이와 같은 세정후 거칠기 값을 만족하는 경우, 표면 세정에 의한 반도체 웨이퍼의 전자 혹은 홀 이동도의 저하를 억제할 수 있으며, 이후 제조된 CMOS 소자의 속도를 향상시킬 수 있는 이점을 가질 수 있다. 이에, 상기 기판에 대한 어택(attack)이 적고, 기판 표면에 존재할 수 있는 잔사, 예를 들어 미량의 금속입자, 유기물 등에 대한 제거성에 더욱 향상된 이점을 제공할 수 있다.

[0049] 본 발명의 일 실시예에 따른 III-V족 화합물 반도체 기판 세정용 조성물에 있어서, 상기 III-V족 화합물 반도체 기판의 세정전 거칠기 값 대비 세정후 거칠기 값은 하기 식 1을 만족하는 것일 수 있다.

[0050] [식 1]

[0051] $RMS_1 - RMS_0 \leq 1.5 \text{ nm}$

[0052] [상기 식 1에서, RMS_0 는 세정전 거칠기 값이고, RMS_1 은 세정후 거칠기 값이다.]

[0053] 일 예로, 상기 세정용 조성물을 이용하여 세정공정을 수행하는 경우, 상기 식 1은 1.5 nm 이하, 또는 1 nm 이하, 또는 0.2 nm 이하를 만족하는 것일 수 있다.

[0054] 일 예로, 상기 세정용 조성물을 이용하여 세정공정을 수행하는 경우, 상기 식 1은 1.5 nm 이하의 범위를 만족하고, 상기 세정후 거칠기 값(RMS_1)이 5 nm, 또는 4.5 nm 이하를 만족하는 것일 수 있다.

[0055] 도 1에 도시한 바와 같이, 본 발명에 따르면 표면 거칠기 값이 현저하게 억제되어, 표면조도가 낮은 III-V족 화합물 반도체 기판을 제공할 수 있다. 그러나, 상술된 산화합물과 과산화수소의 부피비 조건을 만족하지 않는 경우, 세정 후 거칠기 값이 급격하게 증가되어 상술한 식 1의 조건은 물론 세정후 거칠기 값(RMS_1)을 만족할 수 없어 바람직하지 않다.

[0056] 또한, 본 발명에서는 상술된 III-V족 화합물 반도체 기판 세정용 조성물의 세정용도를 제공한다.

[0057] 본 발명의 일 양태에 따른 세정용도는 III-V족 화합물 반도체 기판의 일면을 상술된 본 발명의 세정용 조성물과 접촉시키는 단계;를 포함하는 세정공정일 수 있다. 상기 세정공정에 있어서, 세정온도, 세정조건 등은 특별히 한정되는 것은 아니고, 세정하고자 하는 세정대상의 종류, 두께, 목적하는 세정후 거칠기 값 등에 따라 적절하게 조절할 수 있음은 물론이다.

[0058] 또한, 본 발명의 일 양태에 따른 세정용도는 반도체 웨이퍼 상에 III-V족 화합물을 포함하는 에피택셜층을 포함하는 채널 영역을 형성하는 단계; 및 상기 반도체 웨이퍼를 상술된 본 발명의 세정용 조성물과 접촉시켜 세정하는 단계;를 포함하는 반도체 디바이스의 제조방법일 수 있다.

[0059] 일 예로, 상기 반도체 디바이스는 III-V족 화합물 기반의 채널층 상에 제1 금속 전구체, 제2 금속 전구체 및 산화제를 이용하여 원자층 증착(ALD)으로 제1 금속 산화물 및 제2 금속 산화물을 포함하는 게이트 산화막을 형성하는 단계를 포함하는 것일 수 있다. 여기서, 상기 원자층 증착 시 제1 금속 산화물 및 제2 금속 산화물은 교대로 반복하여 증착된 게이트 구조체를 포함하는 것일 수 있다. 여기서, 상기 게이트 산화막의 형성은 원자층 증착으로 후술하나 이의 증착법에 한정되는 것은 아니다.

[0060] 상기 원자층 증착은 제1 금속 산화물의 사이클 수를 x , 제2 금속 산화물의 사이클 수를 y 및 총 사이클 수를 n 이라 할때, $x:y$ 는 1:9 내지 7:3이고, n 은 20 이하로 수행할 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 $x:y$ 는 1:5 내지 6:4, 1:4 내지 6:4, 1:3 내지 6:4일 수 있으며, 상기 n 은 15 이하, 12 이하, 11 이하, 9 이하 또는 8 이하일 수 있다. 이때, 상기 제1 금속 전구체는 트리메틸알루미늄(trimethylaluminum) 등이고, 상기 제2 금속 전구체는 테트라키스(에틸메틸아미노) 하프늄(Tetrakis(ethylmethyloamido) hafnium) 등일 수 있다. 상기 산화제는 통상의 것이라면 제한되지 않는다. 또한, 상기 원자층 증착은 200 내지 300℃에서 수행될 수 있으며, 예를 들어, 220 내지 280℃ 또는 240 내지 260℃에서 수행될 수 있다.

[0061] 일 예로, 상기 III-V족 화합물 기반의 패들층과 게이트 산화막 등의 두께는 한정되는 것은 아니나 1 내지 30 nm, 또는 3 내지 20 nm, 또는 4 내지 10 nm의 범위로 형성될 수 있다.

[0062] 상기 채널층에서 III-V족 화합물은 InAs, GaAs, InGaAs, InGaAsP, AlAs, AlGaAs, InAlAs 및 InAlGaAs 등에서 선택되는 것일 수 있다. 상기와 같은 III-V족 화합물은 기존에 사용되는 Si에 비하여 유효질량이 낮아 높은 전자 이동도 및 주입 속도를 구현할 수 있다. 상기와 같은 높은 전자 이동도로 인해 평균 캐리어 속도(carrier

velocity)를 증가시킴으로써, 높은 작동 구동 전류(operative drive current) 및 높은 스위칭 속도를 가질 수 있으며, 본 발명에 따른 세정공정을 통해 이와 같은 물성이 더욱 향상될 수 있다. 예를 들어, 상기 채널층에서 상기 III-V족 화합물은 InGaAs일 수 있으며, 구체적으로 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$)일 수 있다. 특히, x 가 0.53인, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 는 Si보다 8배 더 높은 이동도를 구현할 수 있다는 측면에서 바람직하나, 이에 한정되는 것은 아니다.

[0063] 구체적으로, 본 발명의 일 실시예에 따른 세정용도에 있어서, 상기 접촉은 60°C 이하, 또는 50°C 이하, 또는 0 내지 40°C 의 범위에서 수행되는 것일 수 있다. 이에, 본 발명에 따르면 보다 마일드한 세정 온도 조건에서도 안정적인 세정능을 구현할 수 있고, III-V족 화합물 반도체 기판의 표면특성(표면 거칠기 값)을 제어하여 향상된 전기적 특성을 제공할 수 있다.

[0064] 또한, 본 발명에 따르면, 상기 표면 홀 이동도와 전도도의 변화율에 이점을 제공할 수 있다. 예를 들어, 상기 표면 홀 이동도는 초기(세정전의 표면 홀 이동도) 값 대비 5%이하의 변화율, 구체적으로 4%이하의 변화율을 구현할 수 있다. 여기서, 상기 변화율은 초기 값 대비 세정시간 30분을 기준으로 측정된 표면 홀 이동도 값에 대한 변화율일 수 있으며, (-)값은 표면 홀 이동도 값의 감소를 의미한다. 본 발명에 따른 세정용 조성물은 종래 클로라이드 음이온(Cl^-) 등의 할로젠 음이온에 의한 상술한 문제점들을 해결하고, 기판 표면을 균일하게 식각하여, 표면 세정에 따른 반도체 웨이퍼의 전자(electron) 혹은 정공(hole)의 이동도 저하를 억제하는 효과를 우수하게 나타낼 수 있다.

[0066] 이하 실시예 및 비교예를 바탕으로 본 발명을 더욱 상세히 설명한다. 다만 하기 실시예 및 비교예는 본 발명을 더욱 상세히 설명하기 위한 하나의 예시일 뿐, 본 발명이 하기 실시예 및 비교예에 의해 제한되는 것은 아니다. 발명에서 달리 언급하지 않는 한 온도는 모두 $^\circ\text{C}$ 단위를 의미하고, 다른 언급이 없는 한 조성물의 사용량은 부피비를 의미한다.

[0067] (실시예1 내지 실시예4 및 비교예1 내지 비교예6)

[0068] 아래 표1에 기재된 각각의 조성 및 비율로 혼합 후 25°C 에서 5분간 500 rpm의 속도로 교반하여, 세정용 조성물을 제조하였다.

[0069] (표1)

구분	산화합물	부피비율(산화합물: H_2O_2 : H_2O)
실시예 1	인산	1:1:100
실시예 2		1:0.1:100
실시예 3	질산	1:1:100
실시예 4		1:0.1:100
비교예 1	염산	1:1:100
비교예 2		1:0.1:100
비교예 3	인산	1:1.1:100
비교예 4		1.1:0.1:100
비교예 5	질산	1:1.1:100
비교예 6		1.1:0.1:100

[0070]

[0071] (평가방법)

[0072] 상기 실시예 및 비교예에서 제조된 세정용 조성물의 성능평가를 위해, 2인치 Fe 도핑 InP 웨이퍼에 금속유기 화학기상 증착에 의해 증착된 Si 도핑된 n형 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 에피택셜층을 포함하는 기판을 준비하였다. 준비된 기판을 $0.5\text{cm} \times 0.5\text{cm}$ 혹은 $1\text{cm} \times 1\text{cm}$ 로 절단하고, 탈이온수로 세정한 후 질소 가스를 이용하여 건조한 후 사용하였다.

[0073] **평가①**

[0074] 세정공정 전후, 기판의 두께는 주사전자현미경(FE-SEM, Field Emission Scanning Electron Microscopes, 모델명: JEOL-7610-Plus, 제조사: JEOL Ltd.)을 이용하여 측정하였다. 세정공정 전후의 두께 변화량을 세정공정 시간으로 나누어 물질 손실률을 계산하였다. 상기 세정공정은 25°C , 5분동안 침지법을 통해 수행되었다.

[0075] **평가②**

[0076] 세정공정 전후, 기관의 원자간력현미경(Atomic Force Microscope, AFM)에서 측정된 거칠기(RMS: root mean square)값을 측정하였다. 상기 세정공정은 25℃, 5분동안 침지법을 통해 수행되었다.

[0077] **평가③**

[0078] 상기 기관의 표면 홀 이동도 및 전도도를 홀 측정법(Hall measurement)을 이용하여 측정하였다. 세정공정 전후의 InGaAs 웨이퍼를 홀 측정 장비에 장착하고, 0.565 T의 자석을 이용하여 InGaAs 웨이퍼 상 0.5cm×0.5cm 정사각형 영역에 대한 홀 이동도 및 전도도를 측정하였다. 여기서, 세정은 25℃, 5분동안 침지법을 통해 수행되었다. 이후, 해당 기관들은 다시 25분간 세정하여 총 30분을 세정한 뒤 홀 이동도 및 전도도를 측정하였다.

[0080] (평가결과)

[0081] **결과①**

[0082] 물질 손실률 확인 결과, 하기 표2에 도시한 바와 같이 본 발명에 따른 실시예2와 실시예4는 0.54 nm/min, 0.70 nm/min의 물질 손실률을 나타냄을 확인하였다. 반면, 비교예2의 경우, 본 발명의 실시예 대비 현저하게 높은 물질 손실률을 나타내었고, 과산화수소의 사용량이 증가함에 따라 급격한 물질 손실률을 나타냄을 확인하였다.

[0083] (표2)

구분	산화합물	비율(산화합물:H ₂ O ₂ :H ₂ O)	물질 손실률 [nm/min]
실시예 2	인산	1:0.1:100	0.54
실시예 4	질산	1:0.1:100	0.70
비교예 1	염산	1:1:100	47.66
비교예 2		1:0.1:100	1.39
비교예 3	인산	1:1.1:100	62.2
비교예 4		1:1.0.1:100	1
비교예 5	질산	1:1.1:100	88
비교예 6		1:1.0.1:100	1.4

[0084]

[0085] **결과②**

[0086] 기관의 표면 거칠기 값 확인 결과, 하기 표3 및 도1에 도시한 바와 같이 본 발명에 따른 실시예의 모든 경우에서 세정 전후 거칠기 값의 변화량이 1.5 nm 이하를 만족하였다. 또한, 이와 동시에 실시예의 모든 경우에서 세정 후 표면 거칠기 값이 5 nm이하임을 확인하였다. 반면, 비교예1의 경우, 실시예 대비 거칠기 값에 급격한 증가가 확인되었다.

[0087] (표3)

구분	산화합물	비율(산화합물:H ₂ O ₂ :H ₂ O)	거칠기(RMS) 값 [nm]
실시예 1	인산	1:1:100	1.45
실시예 2		1:0.1:100	0.42
실시예 3	질산	1:1:100	1.87
실시예 4		1:0.1:100	0.72
비교예 1	염산	1:1:100	6.28
비교예 3	인산	1:1.1:100	1.52
비교예 4		1:1.0.1:100	0.84
비교예 5	질산	1:1.1:100	2.14
비교예 6		1:1.0.1:100	1.03

[0088] 기관의 세정전 거칠기 값(RMS₀)은 0.59임.

[0089] **결과③**

[0090] 기관의 표면 홀 이동도 및 전도도를 측정한 결과, 하기 표4에 도시한 바와 같이 본 발명에 따른 실시예2와 실시예4의 경우 세정공정 시간이 증가함에 따라 홀 이동도 및 전도도가 소폭 감소하였다. 그러나, 비교예2의 경우

본 발명에 따른 실시예 대비 홀 이동도 및 전도도의 변화에 더욱 큰 감소를 보였다.

(표4)

구분	산화합물	세정 시간 (min)	Hall 이동도 (cm ² /V·s)	ΔHall 이동도 (%)	전도도 (S/cm)	Δ 전도도 (%)
실시예 2	인산	0	4047	-	1780	-
		5	4038	-0.2	1740	-2.2
		30	3937	-2.7	1700	-4.5
실시예 4	질산	0	4068	-	1800	-
		5	4038	-0.7	1740	-3.3
		30	3904	-4.0	1670	-7.2
비교예 2	염산	0	4093	-	1800	-
		5	4026	-1.6	1720	-4.4
		30	3812	-6.9	1650	-8.3

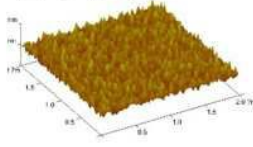
본 발명에 따른 세정용 조성물을 이용하는 경우, 종래기술 대비 기관의 물질손실률과 표면의 거칠기, 표면의 전기적 특성변화 등 기관의 손상 및 변형을 최소화할 수 있음을 확인하였다. 이에, 본 발명에 따르면 안정적인 세정효과의 구현과 동시에 기관의 손상 및 변형을 야기하지 않아 보다 향상된 전기적 특성을 구현할 수 있는 반도체 디바이스를 제공할 수 있다. 또한, 본 발명에 따르면 공정이 매우 단순화되어 보다 경제적인 방법으로 III-V 족 화합물 반도체 기관을 세정할 수 있고 상업적으로도 유리할 수 있다.

상기 본 발명은 전술한 실시예에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명백할 것이다.

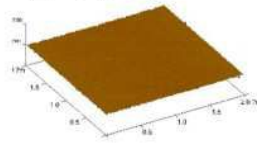
도면

도면1

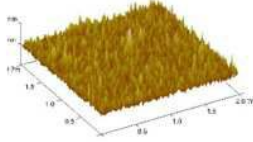
실시예 1



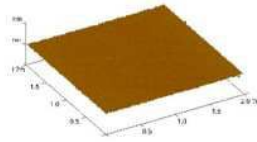
실시예 2



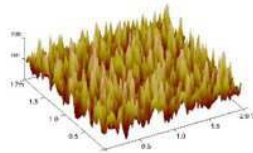
실시예 3



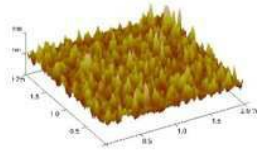
실시예 4



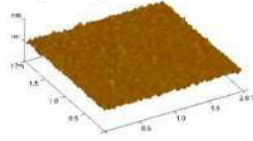
비교예 1



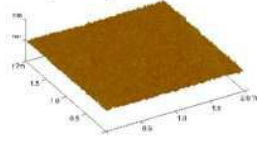
비교예 2



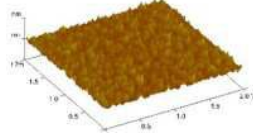
비교예 3



비교예 4



비교예 5



비교예 6

