



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월18일
(11) 등록번호 10-2719706
(24) 등록일자 2024년10월16일

(51) 국제특허분류(Int. Cl.)
H03K 3/64 (2006.01) H03K 5/00 (2014.01)
H03K 5/135 (2006.01)
(52) CPC특허분류
H03K 3/64 (2013.01)
H03K 5/135 (2013.01)
(21) 출원번호 10-2021-0166371
(22) 출원일자 2021년11월29일
심사청구일자 2021년11월29일
(65) 공개번호 10-2023-0079542
(43) 공개일자 2023년06월07일
(56) 선행기술조사문헌
KR1020120061398 A
KR1020150102548 A
KR102169186 B1

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김태욱
서울특별시 서대문구 연희로20길 33
장준영
서울특별시 서대문구 연세로 50, 제3공학관 509호
(74) 대리인
특허법인시공

전체 청구항 수 : 총 8 항

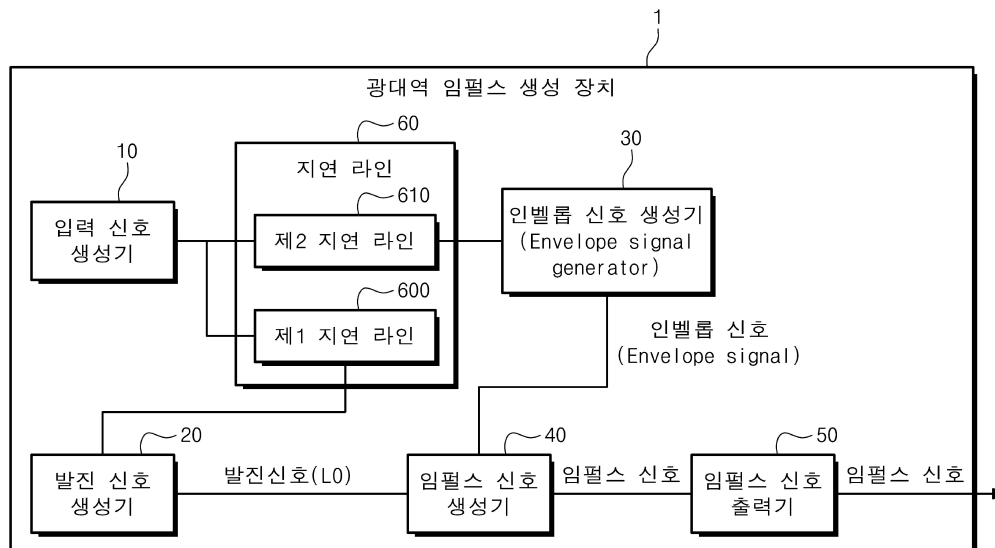
심사관 : 최규돈

(54) 발명의 명칭 광대역 임펄스 생성 장치

(57) 요약

본 발명인 광대역 임펄스 생성 장치는 입력신호가 인가되며 직렬로 연결된 복수의 지연소자를 포함하는 제1 및 제2 지연라인, 입력신호 및 제1 지연라인의 출력신호를 기반으로 타겟임펄스기간동안 소정의 갯수의 펄스를 가지는 발진신호를 생성하는 발진신호생성기, 입력신호 및 제2 지연라인의 출력신호를 기반으로 서로 지연기간을 가지고, 타겟임펄스기간동안 소정의 전압레벨을 가지는 복수의 인벨롭신호를 생성하는 인벨롭신호생성기, 및 복수의 인벨롭신호와 발진신호를 기반으로 타겟임펄스기간동안 소정의 개수의 펄스를 가지는 임펄스신호를 생성하는 임펄스신호생성기를 포함한다.

대표도 - 도1



(52) CPC특허분류

H03K 2005/00071 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711126437
과제번호	2017-0-00418-005
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	ICT융합산업혁신기술개발(R&D)
연구과제명	초고속 샘플링 기법을 이용한 시간도메인 인공지능 레이더 SoC (System On a Chip)
설계 연구	
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

입력신호가 인가되며 직렬로 연결된 복수의 지연소자를 포함하는 제1 및 제2 지연라인;

상기 입력신호 및 상기 제1 지연라인의 출력신호를 기반으로 타겟임펄스기간동안 소정의 갯수의 펄스를 가지는 발진신호를 생성하는 발진신호생성기;

상기 입력신호 및 상기 제2 지연라인의 출력신호를 기반으로 서로 지연기간을 가지고, 상기 타겟임펄스기간동안 소정의 전압레벨을 가지는 복수의 인벨롭신호를 생성하는 인벨롭신호생성기; 및

상기 복수의 인벨롭신호와 상기 발진신호를 기반으로 상기 타겟임펄스기간동안 상기 소정의 개수의 펄스를 가지는 임펄스신호를 생성하는 임펄스신호생성기를 포함하는,

광대역 임펄스 생성 장치.

청구항 2

제1 항에 있어서,

상기 발진신호생성기는,

제 $2n-1$ 지연소자의 입력단과 출력단에 연결되어 상기 입력단으로 인가되는 신호와 상기 출력단에서 출력되는 신호를 논리곱하여 서브발진신호를 생성하는 복수의 제1 AND게이트;

상기 복수의 제1 AND게이트에 연결되어 상기 서브발진신호를 논리합하여 상기 발진신호를 생성하는 신호합성기; 및

상기 발진신호를 상기 임펄스신호생성기로 출력하는 발진신호출력기를 포함하고,

상기 n 는 1보다 크거나 같은 자연수인,

광대역 임펄스 생성 장치.

청구항 3

제2 항에 있어서,

상기 지연소자는 인버터소자이고,

상기 제1 지연라인은,

상기 복수 개의 인버터소자 사이에 적어도 하나의 제1 스위치 및 적어도 하나의 제1 커패시터를 포함하는,

광대역 임펄스 생성 장치.

청구항 4

제2 항에 있어서,

상기 발진신호생성기는,

상기 입력신호의 위상을 반대로 변경하고, 제1 지연기간만큼 상기 입력신호를 지연시켜 제1 출력지연신호를 생성하고,

제 $2n-1$ 출력지연신호의 위상을 반대로 변경하고, 상기 제1 지연기간만큼 상기 제 $2n-1$ 출력지연신호를 지연시켜 제 $2n$ 출력지연신호를 생성하고,

상기 제 $2n$ 출력지연신호의 위상을 반대로 변경하고, 상기 제1 지연기간만큼 상기 제 $2n$ 출력지연신호를 지연시켜 제 $2n+1$ 출력지연신호를 생성하는,

광대역 임펄스 생성 장치.

청구항 5

제4 항에 있어서,

상기 복수의 제1 AND게이트는,

상기 입력신호와 상기 제1 출력지연신호를 상기 논리곱하여 제1 서브발진신호를 생성하고,

상기 제2n 출력지연신호와 상기 제2n+1 출력지연신호를 상기 논리곱하여 제n 서브발진신호를 생성하는,

광대역 임펄스 생성 장치.

청구항 6

제5 항에 있어서,

상기 신호합성기는,

상기 제1 서브발진신호 내지 상기 제n 서브발진신호를 상기 논리합하여 상기 타겟임펄스기간동안 소정의 개수의 상기 펄스를 가지는 상기 발진신호를 생성하는,

광대역 임펄스 생성 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제1 항에 있어서,

상기 임펄스신호생성기는,

상기 발진신호 및 상기 복수의 인벨롭신호 중 어느 하나의 인벨롭신호가 각각 인가되는 복수의 로직게이트;

상기 복수의 로직게이트에 연결되는 제1 트랜지스터; 및

상기 복수의 로직게이트에 연결되며 상기 제1 트랜지스터에 병렬접속된 제2 트랜지스터를 포함하는,

광대역 임펄스 생성 장치.

청구항 12

제11 항에 있어서,

상기 로직게이트는,

상기 인벨롭신호가 인가되는 제1 인버터소자;

상기 제1 인버터소자를 경유한 상기 인벨롭신호가 인가되는 제2 인버터소자;

상기 발진신호 및 상기 제1 내지 제2 인버터소자를 경유한 상기 인벨롭신호가 인가되는 NAND게이트; 및

상기 발진신호 및 상기 제2 인버터소자를 경유한 상기 인벨롭신호가 인가되는 NOR게이트를 포함하는,
광대역 임펄스 생성 장치.

발명의 설명

기술 분야

[0001] 본 발명은 지연라인구조를 이용한 저전력 광대역 임펄스 생성 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 광대역 임펄스 생성장치는 오실리에이터(Oscillator)에서 발생하는 국부발진신호(L0 신호)와 임펄스 신호의 모양을 결정하는 인벨롭신호를 혼합기(Mixer)에서 곱하여 생성할 수 있다. 한편, 임펄스 신호는 특정 시간 동안만 신호가 발생하고, 그 외의 시간에는 신호가 없이 유지된다.

[0003] 다만, 광대역 임펄스 생성장치에 포함된 오실리에이터(Oscillator)는 지속하여 동작을 하여 임펄스 신호가 필요 없는 시간동안에도 국부발진신호(L0신호)가 생성될 수 있다. 이로 인해 과도한 소비전력이 발생할 수 있다.

[0004] 또한, 오실리에이터(Oscillator)에서 발생하는 국부발진신호(L0신호)와 인벨롭신호 사이에 발생하는 상(Phase) 차이를 제거하고 동기화를 수행하기 위하여 추가의 장비가 필요하다.

[0005] 이에, 임펄스 신호가 필요한 시간에만 국부발진신호 및 인벨롭신호를 생성하여 소비전력을 감소시키고, 서로 간의 동기화를 수행하여 상(Phase) 차이를 제거하기 위한 기술이 필요한 실정이다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는 임펄스 신호가 필요한 시간에만 국부발진신호(L0신호) 및 인벨롭신호를 생성하는 광대역 임펄스 생성 장치를 제공하기 위함이다.

[0007] 또한, 본 발명이 해결하고자 하는 기술적 과제는 국부발진신호(L0신호)와 인벨롭신호를 동기화시켜 상(Phase)차이를 제거하기 위한 광대역 임펄스 생성장치를 제공하기 위함이다.

과제의 해결 수단

[0008] 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치는 입력신호가 인가되며 직렬로 연결된 복수의 지연소자를 포함하는 제1 및 제2 지연라인, 입력신호 및 제1 지연라인의 출력신호를 기반으로 타겟임펄스기간동안 소정의 개수의 펄스를 가지는 발진신호를 생성하는 발진신호생성기, 입력신호 및 제2 지연라인의 출력신호를 기반으로 서로 지연기간을 가지고, 타겟임펄스기간동안 소정의 전압레벨을 가지는 복수의 인벨롭신호를 생성하는 인벨롭신호생성기 및 복수의 인벨롭신호와 발진신호를 기반으로 타겟임펄스기간동안 소정의 개수의 펄스를 가지는 임펄스신호를 생성하는 임펄스신호생성기를 포함한다.

[0009] 또한, 본 발명의 한 실시예에 따른 발진신호생성기는, 제 $2n-1$ 지연소자의 입력단과 출력단에 연결되어 입력단으로 인가되는 신호와 출력단에서 출력되는 신호를 논리곱하여 서브발진신호를 생성하는 복수의 제1 AND게이트, 복수의 제1 AND게이트에 연결되어 서브발진신호를 논리합하여 발진신호를 생성하는 신호합성기 및 발진신호를 임펄스신호생성기로 출력하는 발진신호출력기를 포함하고, n 는 1보다 크거나 같은 자연수이다.

[0010] 또한, 본 발명의 한 실시예에 따른 지연소자는 인버터소자이고, 제1 지연라인은, 복수 개의 인버터소자 사이에 적어도 하나의 제1 스위치 및 적어도 하나의 제1 커패시터를 포함한다.

[0011] 또한, 본 발명의 한 실시예에 따른 발진신호생성기는, 입력신호의 위상을 반대로 변경하고, 제1 지연기간만큼 입력신호를 지연시켜 제1 출력지연신호를 생성하고, 제 $2n-1$ 출력지연신호의 위상을 반대로 변경하고, 제1 지연기간만큼 제 $2n-1$ 출력지연신호를 지연시켜 제 $2n$ 출력지연신호를 생성하고, 제 $2n$ 출력지연신호의 위상을 반대로 변경하고, 제1 지연기간만큼 제 $2n$ 출력지연신호를 지연시켜 제 $2n+1$ 출력지연신호를 생성한다.

[0012] 또한, 본 발명의 한 실시예에 따른 복수의 제1 AND게이트는, 입력신호와 제1 출력지연신호를 논리곱하여 제1 서브발진신호를 생성하고, 제 $2n$ 출력지연신호와 제 $2n+1$ 출력지연신호를 논리곱하여 제 n 서브발진신호를 생

성한다.

- [0013] 또한, 본 발명의 한 실시예에 따른 신호합성기는, 제1 서브발진신호 내지 제 n 서브발진신호를 논리합하여 타겟임펄스기간동안 소정의 개수의 펄스를 가지는 발진신호를 생성한다.
- [0014] 또한, 본 발명의 한 실시예에 따른 인벨롭신호생성기는, 제 $2p-1$ 지연소자의 입력단과 제 $2p-1+2n$ 지연소자의 출력단에 연결되어 입력단으로 인가되는 신호와 출력단에서 출력되는 신호를 논리곱하여 복수의 인벨롭신호를 생성하는 복수의 제2 AND게이트 및 복수의 제2 AND게이트 각각에 연결되어 복수의 인벨롭신호를 임펄스신호 생성기로 출력하는 인벨롭신호출력부를 포함하고, p 와 n 은 1보다 크거나 같은 자연수이다.
- [0015] 또한, 본 발명의 한 실시예에 따른 지연소자는 인버터소자이고, 제2 지연라인은, 복수 개의 인버터소자 사이에 적어도 하나의 제2 스위치 및 적어도 하나의 제2 커패시터를 포함한다.
- [0016] 또한, 본 발명의 한 실시예에 따른 인벨롭신호생성기는, 입력신호의 위상을 반대로 변경하고, 제2 지연기간만큼 입력신호를 지연시켜 제1 인벨롭지연출력신호를 생성하고, 제3 지연기간만큼 입력신호를 지연시켜 제2 인벨롭지연출력신호를 생성하고, 제 $2n$ 인벨롭지연출력신호의 위상을 반대로 변경하고 제2 지연기간만큼 제 $2n$ 인벨롭지연출력신호를 지연시켜 제 $2n+1$ 인벨롭지연출력신호를 생성하고, 제3 지연기간만큼 제 $2n$ 인벨롭지연출력신호를 지연시켜 제 $2n+2$ 인벨롭지연출력신호를 생성한다.
- [0017] 또한, 본 발명의 한 실시예에 따른 복수의 제2 AND게이트는, 입력신호와 제1 인벨롭지연출력신호를 논리곱하여 타겟임펄스기간동안 소정의 전압레벨을 가지는 제1 인벨롭신호를 생성하고, 제 $2n$ 인벨롭지연출력신호와 제 $2n+1$ 인벨롭지연출력신호를 논리곱하여 타겟임펄스기간동안 소정의 전압레벨을 가지는 제 n 인벨롭신호를 생성한다.
- [0018] 또한, 본 발명의 한 실시예에 따른 임펄스신호생성기는, 발진신호 및 복수의 인벨롭신호 중 어느 하나의 인벨롭신호가 각각 인가되는 복수의 로직게이트, 복수의 로직게이트에 연결되는 제1 트랜지스터 및 복수의 로직게이트에 연결되며 제1 트랜지스터에 병렬접속된 제2 트랜지스터를 포함한다.
- [0019] 또한, 본 발명의 한 실시예에 따른 로직게이트는, 인벨롭신호가 인가되는 제1 인버터소자, 제1 인버터소자를 경유한 인벨롭신호가 인가되는 제2 인버터소자, 발진신호 및 제1 내지 제2 인버터소자를 경유한 인벨롭신호가 인가되는 NAND게이트 및 발진신호 및 제2 인버터소자를 경유한 인벨롭신호가 인가되는 NOR게이트를 포함한다.

발명의 효과

- [0020] 본 발명에 따른 광대역 임펄스 생성 장치는 임펄스 신호가 필요한 시간에만 국부발진신호(L0신호) 및 인벨롭신호를 생성하여 소비전력을 감소시킬 수 있다.
- [0021] 또한, 본 발명에 따른 광대역 임펄스 생성 장치는 국부발진신호(L0신호)와 인벨롭신호를 동기화시켜 상(Phase) 차이를 제거할 수 있다.
- [0022] 또한, 본 발명에 따른 광대역 임펄스 생성 장치는 저전력으로 동작하며 오랜시간 동작이 필요한 시스템(Low-latency system)에 임펄스 신호를 공급하여 동작시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치를 나타내는 도면이다.
- 도 2는 본 발명의 한 실시예에 따른 발진신호생성기와 지연라인을 나타내는 도면이다.
- 도 3은 본 발명의 한 실시예에 따른 발진신호를 생성하는 과정을 나타낸 파형도이다.
- 도 4는 본 발명의 한 실시예에 따른 인벨롭신호생성기와 지연라인을 나타내는 도면이다.
- 도 5는 본 발명의 한 실시예에 따른 인벨롭신호를 생성하는 과정을 나타낸 파형도이다.
- 도 6은 본 발명의 한 실시예에 따른 임펄스신호생성기를 나타내는 도면이다.
- 도 7은 본 발명의 한 실시예에 따른 로직게이트를 나타내는 도면이다.
- 도 8은 본 발명의 한 실시예에 따른 임펄스신호를 생성하는 과정을 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.
- [0025] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에 서도 사용할 수 있다.
- [0026] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.
- [0027] 또한, 설명에서 "동일하다"라고 표현한 것은, "실질적으로 동일하다"는 의미일 수 있다. 즉, 통상의 지식을 가진 자가 동일하다고 납득할 수 있을 정도의 동일함일 수 있다. 그 외의 표현들도 "실질적으로"가 생략된 표현들일 수 있다.
- [0028] 도 1은 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치를 나타내는 도면이다.
- [0029] 본 발명의 한 실시예에 따른 광대역 임펄스 생성 장치(1)는 입력신호생성기(10), 발진신호생성기(20), 인벨롭신호생성기(30), 임펄스신호생성기(40), 임펄스신호출력기(50), 및 지연라인(60)을 포함한다.
- [0030] 입력신호생성기(10)는 입력신호(IS1, 도 2 참고)를 생성하여 지연라인(60)에 인가할 수 있다. 입력신호생성기(10)에서 생성된 입력신호(IS1)는 제1 지연라인(600) 및 제2 지연라인(610)에 공통적으로 인가되고, 이에 기초하여 발진신호생성기(20)에서 발진신호(L0)를 생성하고 인벨롭신호생성기(30)에서 인벨롭신호(Envelope Signal)를 생성할 수 있다.
- [0031] 입력신호생성기(10)에서 생성된 입력신호(IS1)가 제1 지연라인(600) 및 제2 지연라인(610)에 공통적으로 인가되므로 발진신호(L0) 및 인벨롭신호는 동기화되어 상(Phase) 차이가 발생하지 않을 수 있다.
- [0032] 발진신호생성기(20)는 지연라인(60)에 포함된 제1 지연라인(600)과 연결될 수 있다. 발진신호생성기(20)는 제1 지연라인(600)에 인가된 입력신호(IS1) 및 제1 지연라인(600)의 출력신호(또는, 출력지연신호)를 기반으로 임펄스 생성 기간(또는, 타겟임펄스기간) 동안 소정의 개수의 펄스를 가지는 발진신호(또는, L0신호)를 생성할 수 있다.
- [0033] 발진신호생성기(20)는 발진신호(또는, L0신호)를 임펄스 신호를 생성하기 위한 임펄스신호생성기(40)에 인가할 수 있다.
- [0034] 발진신호생성기(20)가 입력신호(IS1) 및 제1 지연라인(600)의 출력신호(또는, 출력지연신호)를 기반으로 발진신호(L0신호)를 생성하는 과정은 아래, 도 2 내지 도 3에서 구체적으로 설명하기로 한다.
- [0035] 인벨롭신호생성기(30)는 지연라인(60)에 포함된 제2 지연라인(610)과 연결될 수 있다. 인벨롭신호생성기(30)는 제2 지연라인(610)에 인가된 입력신호(IS1) 및 제2 지연라인(610)의 출력신호(또는, 인벨롭지연출력신호)를 기반으로 서로 지연기간을 가지고 임펄스 생성 기간(또는, 타겟임펄스기간)동안 소정의 기간동안 소정의 전압레벨을 가지는 복수의 인벨롭신호를 생성할 수 있다.
- [0036] 인벨롭신호생성기(30)는 복수의 인벨롭신호를 임펄스 신호를 생성하기 위한 임펄스신호생성기(40)에 인가할 수 있다.
- [0037] 인벨롭신호생성기(30)가 입력신호(IS1) 및 제2 지연라인(610)의 출력신호(또는, 인벨롭지연출력신호)를 기반으로 복수의 인벨롭신호를 생성하는 과정은 아래, 도 4 내지 도 5에서 구체적으로 설명하기로 한다.
- [0038] 임펄스신호생성기(40)는 인벨롭신호생성기(30)에서 생성한 복수의 인벨롭신호와 발진신호생성기(20)에서 생성한 발진신호를 기반으로 타겟임펄스기간동안 소정의 개수의 펄스를 가지는 임펄스 신호를 생성할 수 있다.
- [0039] 임펄스신호생성기(40)가 복수의 인벨롭신호와 발진신호를 기반으로 임펄스 신호를 생성하는 과정은 아래, 도 6 내지 도 8에서 구체적으로 설명하기로 한다.
- [0040] 임펄스신호출력기(50)는 임펄스신호생성기(40)로부터 수신한 임펄스 신호를 외부로 출력할 수 있다.
- [0041] 지연라인(60)은 제1 지연라인(600) 및 제2 지연라인(610)을 포함한다. 제1 지연라인(600)은 직렬로 연결된 복수

의 제1 지연소자(D1a, D2a, ..., D(2n-1)a, 도 2 참고), 복수의 제1 지연소자(D1a, D2a, ..., D(2n-1)a) 사이에 적어도 하나의 제1 스위치(S1a, S2a, ... S(2n-1)a) 및 적어도 하나의 제1 커패시터(C1a, C2a, ..., C(2n-1)a)를 포함한다.

[0042] 제2 지연라인(610)은 직렬로 연결된 복수의 제2 지연소자(D1b, D2b, ..., D(2n-1)b, ..., D(4n-3)b, 도 4 참고) 및 복수의 제2 지연소자(D1b, D2b, ..., D(2n-1)b, ..., D(4n-3)b) 사이에 적어도 하나의 제2 스위치(S1b, S2b, ... S(2n-1)b, ..., S(4n-3)b) 및 적어도 하나의 제2 커패시터(C1b, C2b, ..., C(2n-1)b, ..., C(4n-3)b)를 포함한다.

[0043] 제1 지연라인(600)은 입력신호생성기(10)에서 인가된 입력신호(IS1)의 위상을 변경하고 소정의 지연기간만큼 지연시킨 출력지연신호(DIS1, DIS2, ..., DIS(2n-1))를 생성할 수 있다. 제1 지연라인(600)은 입력신호(IS1) 및 출력지연신호(DIS1, DIS2, ..., DIS(2n-1))를 발진신호생성기(20)에 인가할 수 있다.

[0044] 제1 지연라인(600)이 입력신호(IS1)의 위상을 변경하고 출력지연신호(DIS1, DIS2, ..., DIS(2n-1))를 생성하는 과정은 아래, 도 2 내지 도 3에서 구체적으로 설명하기로 한다.

[0045] 제2 지연라인(610)은 입력신호생성기(10)에서 인가된 입력신호(IS1)의 위상을 변경하고 소정의 지연기간만큼 지연시킨 인벨롭지연출력신호(DEIS1, DEIS2, DEIS3, ...)를 생성할 수 있다. 제2 지연라인(610)은 입력신호(IS1) 및 인벨롭지연출력신호(DEIS1, DEIS2, DEIS3, ...)를 인벨롭신호생성기(30)에 인가할 수 있다.

[0046] 제2 지연라인(610)이 입력신호(IS1)의 위상을 변경하고 인벨롭지연출력신호(DEIS1, DEIS2, DEIS3, ...)를 생성하는 과정은 아래, 도 4 내지 도 5에서 구체적으로 설명하기로 한다.

[0047] 도 2는 본 발명의 한 실시예에 따른 발진신호생성기와 지연라인을 나타내는 도면이다. 도 3은 본 발명의 한 실시예에 따른 발진신호를 생성하는 과정을 나타낸 파형도이다.

[0048] 이하, 도 2 및 도 3을 함께 참고하여 발진신호생성기(20) 및 제1 지연라인(600)에서 발진신호(L0신호)를 생성하는 과정을 설명한다.

[0049] 도 2를 참고하면 제1 지연라인(600)은 직렬로 연결된 복수의 제1 지연소자(D1a, D2a, ..., D(2n-1)a), 복수의 제1 지연소자(D1a, D2a, ..., D(2n-1)a) 사이에 적어도 하나의 스위치(S1a, S2a, ... S(2n-1)a) 및 적어도 하나의 제1 커패시터(C1a, C2a, ..., C(2n-1)a)를 포함한다. 이때, n은 1보다 크거나 같은 자연수이고, 지연소자는 인버터소자이다.

[0050] 제1 지연라인(600)은 입력신호생성기(10)에서 인가된 입력신호(IS1)에 기초하여 출력지연신호(DIS1, DIS2, ..., DIS2n-1)를 생성할 수 있다. 제1 지연라인(600)은 입력신호(IS1) 및 출력지연신호(DIS1, DIS2, ..., DIS2n-1)를 발진신호생성기(20)에 인가할 수 있다.

[0051] 도 2 및 도 3을 함께 참고하면, 제1a 지연소자(D1a)는 입력신호(IS1)의 위상을 반대(180도)로 변경하고, 제1 지연기간(DT)만큼 입력신호(IS1)를 지연시켜 제1 출력지연신호(DIS1)를 생성할 수 있다. 제2a 지연소자(D2a)는 제1 출력지연신호(DIS1)의 위상을 반대(180도)로 변경하고 제1 지연기간(DT)만큼 제1 출력지연신호(DIS1)를 지연시켜 제2 출력지연신호(DIS2)를 생성할 수 있다.

[0052] 제(2n-2)a 지연소자(D(n-1)a)는 제2n-3 출력지연신호(DIS2n-3)의 위상을 반대(180도)로 변경하고 제1 지연기간(DT)만큼 제2n-3 출력지연신호(DIS2n-3)를 지연시켜 제2n-2 출력지연신호(DIS2n-2)를 생성할 수 있다. 제(2n-1)a 지연소자(Dna)는 제2n-2 출력지연신호(DIS2n-2)의 위상을 반대(180도)로 변경하고 제1 지연기간(DT)만큼 제2n-2 출력지연신호(DIS2n-2)를 지연시켜 제2n-1 출력지연신호(DIS2n-1)를 생성할 수 있다.

[0053] 구체적으로 제1a 지연소자(D1a)를 예로 들어 설명하면, 입력신호(IS1)는 제1a 지연소자(D1a)(또는, 인버터소자)를 거치면서 위상이 반대(180도)로 변경될 수 있다. 또한, 제1a 지연소자(D1a)와 제2 지연소자(D2a) 사이에 연결된 제1a 스위치(S1a)의 동작에 따라서 위상이 반대(180도)로 변경된 입력신호(IS1)는 제1a 스위치(S1a)의 턴-온/턴-오프 간격(또는 제1 지연기간(DT))동안 제1a 커패시터(C1a)에 저장될 수 있다.

[0054] 결론적으로, 제1a 지연소자(D1a), 제1a 스위치(S1), 및 제1a 커패시터(C1a)는 입력신호(IS1)의 위상을 반대(180도)로 변경하고, 제1 지연기간(DT)만큼 지연시켜 제1 출력지연신호(DIS1)를 생성할 수 있다. 제2 출력지연신호 내지 제2n-1 출력지연신호(DIS1, DIS2, ..., DIS2n-1)를 생성하는 과정은 제1 출력지연신호(DIS1)와 실질적으로 동일하므로 중복되는 설명은 생략하기로 한다.

[0055] 발진신호생성기(20)는 복수의 제1 AND게이트(AND1a, AND2a, ... ANDna), 신호합성기(21), 및 발진신호출력기

(22)를 포함한다.

- [0056] 제1a AND게이트(AND1a)는 제1a 지연소자(D1a)의 입력단 및 출력단에 연결될 수 있다. 제1a AND게이트(AND1a)는 입력신호(IS1) 및 제1 출력지연신호(DIS1)를 논리곱하여 제1a 서브발진신호(L01a)를 생성할 수 있다.
- [0057] 도 3을 참고하면, 제1a 서브발진신호(L01a)는 입력신호(IS1)가 라이징하는 시점에서 라이징엣지가 발생할 수 있다. 제1a 서브발진신호(L01a)는 제1 출력지연신호(DIS1)가 폴링하는 시점에서 폴링엣지가 발생할 수 있다.
- [0058] 제1a 서브발진신호(L01a)의 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점 사이에는 소정의 하이전압레벨을 가지며 일정하게 유지된다. 제1a 서브발진신호(L01a)의 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생하는 이후 시점에는 로우전압레벨을 가지며 일정하게 유지될 수 있다.
- [0059] 제na AND게이트(ANDna)는 제n 지연소자(D1n)의 입력단 및 출력단에 연결될 수 있다. 제na AND게이트(ANDna)는 제2n-2 출력지연신호(DIS2n-2) 및 제2n-1 출력지연신호(DIS2n-1)를 논리곱하여 제na 서브발진신호(Lona)를 생성할 수 있다.
- [0060] 제na 서브발진신호(Lona)는 제2n-2 출력지연신호(DIS2n-2)가 라이징하는 시점에서 라이징 엣지가 발생할 수 있다. 제na 서브발진신호(Lona)는 제2n-1 출력지연신호(DIS2n-1)가 폴링하는 시점에서 폴링엣지가 발생할 수 있다. 제na 서브발진신호(Lona)의 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점 사이에는 소정의 하이전압레벨을 가지며 일정하게 유지된다. 제na 서브발진신호(Lona)의 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생하는 이후 시점에는 로우전압레벨을 가지며 일정하게 유지된다.
- [0061] 신호합성기(21)는 제1a 내지 제na AND게이트(AND1a, AND2a, ..., ANDna)에 연결될 수 있다. 신호합성기(21)는 복수의 OR게이트로 구성될 수 있다. 신호합성기(21)는 제1a 내지 제na 서브발진신호(L01a, L02a, ..., Lona)를 논리합하여 타겟임펄스기간동안 n개의 펄스를 가지는 발진신호(L0신호)를 생성할 수 있다.
- [0062] 발진신호출력기(22)는 발진신호(L0)를 임펄스신호생성기(40)로 제공할 수 있다.
- [0063] 도 2 내지 도 3에서 상술한 바와 같이, 본 발명의 한 실시예에 따른 제1 지연라인(600) 및 발진신호생성기(20)는 제1 지연라인(600)에 구비된 제1 지연소자(D1a, D2a, D3a, ...)의 개수에 따라서 타겟임펄스기간동안 소정의 개수의 펄스를 가지는 발진신호(L0신호)를 생성할 수 있다. 타겟임펄스기간에만 소정의 개수의 펄스를 가지는 발진신호(L0)신호를 생성함으로써, 이후, 임펄스신호를 생성하는 과정에서 소비전력을 감소시킬 수 있다.
- [0064] 도 4는 본 발명의 한 실시예에 따른 인벨롭신호생성기와 지연라인을 나타내는 도면이다. 도 5는 본 발명의 한 실시예에 따른 인벨롭신호를 생성하는 과정을 나타낸 파형도이다.
- [0065] 이하, 도 4 및 도 5를 함께 참고하여 인벨롭신호생성기(40) 및 제2 지연라인(610)에서 복수의 인벨롭신호(ENV1, ENV2, ..., ENVn)를 생성하는 과정을 설명한다.
- [0066] 도 4를 참고하면 제2 지연라인(610)은 직렬로 연결된 복수의 제2 지연소자(D1b, D2b, ..., D(2n-1)b, ..., D(4n-3)b), 복수의 제2 지연소자(D1b, D2b, ..., D(2n-1)b, ..., D(4n-3)b) 사이에 적어도 하나의 제2 스위치(S1b, S2b, ..., S(2n-1)b, ..., S(4n-3)b) 및 적어도 하나의 제2 커패시터(C1b, C2b, ..., C(2n-1)b, ..., C(4n-3)b)를 포함한다. 이때, 제2 지연소자는 인버터소자이다.
- [0067] 제2 지연라인(610)은 입력신호생성기(10)에서 인가된 입력신호(IS1)에 기초하여 복수의 인벨롭지연신호(DEIS1, DEIS2, ..., DIS2n-1)를 생성할 수 있다. 제2 지연라인(610)은 입력신호(IS1) 및 복수의 인벨롭지연신호(DEIS1, DEIS2, ..., DIS2n-1)를 발진신호생성기(20)에 인가할 수 있다.
- [0068] 도 4 및 도 5를 함께 참고하면, 제1b 내지 제(2n-1)b 지연소자(D1b, D2b, ..., D(2n-1)b)는 입력신호(IS1)의 위상을 반대(180도)로 변경하고, 제2 지연기간((2n-1)DT)만큼 입력신호(IS1)를 지연시켜 제1 인벨롭지연신호(DEIS1)를 생성할 수 있다.
- [0069] 제1b 내지 제2b 지연소자(D1b, D2b)는 입력신호(IS1)의 위상을 2번 반대(180도)로 변경하고 제3 지연기간(2DT)만큼 입력신호(IS1)를 지연시켜 제2 인벨롭지연신호(DEIS2)를 생성할 수 있다. 제3b 내지 제(2n+1)b 지연소자(D3b, D4b, ..., D(2n+1)b)는 제2 인벨롭지연신호(DEIS2)의 위상을 반대(180)도로 변경하고 제2 지연기간((2n-1)DT)만큼 제2 인벨롭지연신호(DEIS2)를 지연시켜 제3 인벨롭지연신호(DEIS3)를 생성할 수 있다.
- [0070] 구체적으로 제1b 내지 제(2n-1)b 지연소자(D1b, ..., D(2n-1)b)를 예로 들어 설명하면, 입력신호(IS1)는 제1b 내지 제(2n-1)b 지연소자(D1b, ..., D(2n-1)b) (또는, 인버터소자)를 거치면서 위상이 반대(180)로 변경될 수

있다. 또한, 제1b 내지 제(2n-1)b 지연소자(D1b, ..., D(2n-1)b) 사이에 연결된 제1b 내지 제(2n-1)b 스위치(SW1b, SW2b, ..., SW(2n-1)b)의 동작에 따라서, 위상이 반대(180)로 변경된 입력신호(IS1)는 제1b 내지 제(2n-1)b 스위치(SW1b, SW2b, ..., SW(2n-1)b)의 턴-온/턴-오프 간격(또는 제2 지연기간((2n-1)DT))동안 제1b 내지 제(2n-1)b 커패시터(C1b, C2b, ..., C(2n-1)b)에 저장될 수 있다.

[0071] 결론적으로, 제1b 내지 제(2n-1)b 지연소자(D1b, ..., D(2n-1)b), 제1b 내지 제(2n-1)b 스위치(SW1b, SW2b, ..., SW(2n-1)b), 및 제1b 내지 제(2n-1)b 커패시터(C1b, C2b, ..., C(2n-1)b)는 입력신호(IS1)의 위상을 반대(180도)로 변경하고, 제2 지연기간((2n-1)DT)만큼 지연시켜 제1 인벨롭지연신호(DEIS1)를 생성할 수 있다. 제2 인벨롭지연신호 내지 제2n-1 인벨롭지연신호(DEIS2, DEIS3, ..., DEIS2n-1)를 생성하는 과정은 제1 인벨롭지연신호(DEIS1)와 실질적으로 동일하므로 중복되는 설명은 생략하기로 한다.

[0072] 인벨롭신호생성기(40)는 복수의 제2 AND게이트(AND1b, AND2b, ..., ANDnb) 및 복수의 인벨롭신호출력부(30(1), 30(2), ..., 30(n))를 포함한다.

[0073] 제1b AND게이트(AND1b)는 제1b 지연소자(D1b)의 입력단 및 제(2n-1)b 지연소자(D(2n-1)b)의 출력단에 연결될 수 있다. 제1b AND게이트(AND1b)는 입력신호(IS1) 및 제1 인벨롭지연신호(DEIS1)를 논리곱하여 제1 인벨롭신호(ENV1)를 생성할 수 있다.

[0074] 도 5를 참고하면, 제1 인벨롭신호(ENV1)는 입력신호(IS1)가 라이징하는 시점에서 라이징 엣지가 발생할 수 있다. 제1 인벨롭신호(ENV1)는 제1 인벨롭지연신호(DEIS1)가 폴링하는 시점에서 폴링엣지가 발생할 수 있다.

[0075] 제1 인벨롭신호(ENV1)의 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점사이서 제1 인벨롭신호(ENV1)는 소정의 하이전압레벨을 가지며 일정하게 유지된다. 제1 인벨롭신호(ENV1)의 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생하는 이후 시점에는 로우전압레벨을 가지며 일정하게 유지된다.

[0076] 제nb AND게이트(ANDnb)는 제(2n-1)b 지연소자(D(2n-1)b)의 입력단 및 제(4n-3) 지연소자(D(4n-3)b)의 출력단에 연결될 수 있다. 제nb AND게이트(ANDnb)는 제2n-2 인벨롭지연신호(DEIS2n-2) 및 제2n-1 인벨롭지연신호(DEIS2n-1)를 논리곱하여 제n 인벨롭신호(ENVn)를 생성할 수 있다.

[0077] 도 5를 참고하면, 제n 인벨롭신호(ENVn)는 제2n-2 인벨롭지연신호(DEIS2n-2)가 라이징하는 시점에서 라이징 엣지가 발생할 수 있다. 제n 인벨롭신호(ENVn)는 제2n-1 인벨롭지연신호(DEIS2n-1)가 폴링하는 시점에서 폴링엣지가 발생할 수 있다.

[0078] 제n 인벨롭신호(ENVn)의 라이징엣지가 발생하는 시점부터 폴링엣지가 발생하는 시점사이서 제n 인벨롭신호(ENVn)는 소정의 하이전압레벨을 가지며 일정하게 유지된다. 제n 인벨롭신호(ENVn)의 라이징엣지가 발생하기 이전시점 및 폴링엣지가 발생하는 이후 시점에는 로우전압레벨을 가지며 일정하게 유지된다.

[0079] 제1 내지 제n 인벨롭신호출력기(30(1), 30(2), ..., 30(n))는 제1 내지 제n 인벨롭신호(ENV1, ..., ENVn)를 임펄스신호생성기(40)로 제공할 수 있다.

[0080] 도 4 내지 도 5에서 상술한 바와 같이, 본 발명의 한 실시예에 다른 제2 지연라인(610) 및 인벨롭신호생성기(40)는 제2 지연라인(610)에 구비된 지연소자(D1b, D2b, ...)의 개수에 대응하여 타겟임펄스기간동안 소정의 개수(예를 들어, n개)의 인벨롭신호를 생성함으로써, 임펄스신호를 생성하는 과정에서 소비전력을 감소시킬 수 있다.

[0081] 도 6은 본 발명의 한 실시예에 따른 임펄스신호생성기를 나타내는 도면이다. 도 7은 본 발명의 한 실시예에 따른 로직게이트를 나타내는 도면이다.

[0082] 이하, 도 6 및 도 7을 함께 참고하여 본 발명의 한 실시예에 따른 발진신호(L0) 및 복수의 인벨롭신호를 이용하여 임펄스 신호를 생성하는 과정을 설명한다.

[0083] 본 발명의 한 실시예에 따른 임펄스신호생성기(40)는 복수의 로직게이트(400(1), 400(2), ..., 400(p)), 제1 트랜지스터(또는 피모스(PMOS)), 및 제2 트랜지스터(또는, 엔모스(NMOS))를 포함한다.

[0084] 제1 내지 제n 로직게이트(400(1), 400(2), ..., 400(n))에는 발진신호생성기(20)에서 생성된 발진신호(L0신호)가 공통적으로 인가된다. 제1 내지 제n 로직게이트(400(1), 400(2), ..., 400(n))에는 인벨롭신호생성기(40)에서 생성된 제1 내지 제n 인벨롭신호(ENV1, ..., ENVn)가 인가된다.

[0085] 도 6을 참고하면, 제1 로직게이트(400(1))는 제1 인버터(INV1), 제2 인버터(INV2), NAND게이트, 및 NOR게이트

를 포함한다.

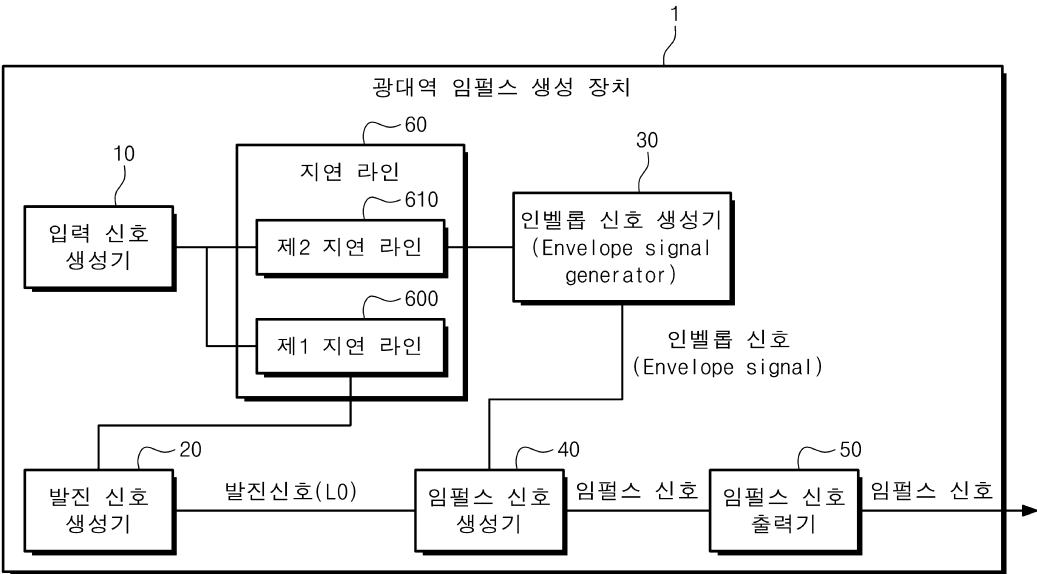
- [0086] 발진신호생성기(20)에서 생성된 발진신호(L0신호)는 제1 로직게이트(400(1))의 NAND게이트 및 NOR게이트에 공통적으로 인가된다. 제1 인벨롭신호출력기(30(1))에서 출력된 제1 인벨롭신호(ENV1)는 제1 내지 제2 인버터(INV1, INV2)를 거쳐 NAND게이트로 인가된다. 제1 인벨롭출력기(30(1))에서 출력된 제1 인벨롭신호(ENV1)는 제2 인버터(INV2)를 거쳐 NOR게이트로 인가된다.
- [0087] 발진신호생성기(20)에서 생성된 발진신호(L0신호)는 제1 로직게이트(400(1))의 NAND게이트 및 NOR게이트에 공통적으로 인가된다. 제n 인벨롭신호출력기(30(n))에서 출력된 제n 인벨롭신호(ENVn)는 제1 내지 제2 인버터(INV1, INV2)를 거쳐 NAND게이트로 인가된다. 제n 인벨롭출력기(30(n))에서 출력된 제n 인벨롭신호(ENVn)는 제2 인버터(INV2)를 거쳐 NOR게이트로 인가된다.
- [0088] 제1 내지 제n 로직게이트(400(1), ..., 400(n))을 경유한 임펄스신호는 제1 트랜지스터(또는, PMOS) 및 제2 트랜지스터(또는, NMOS)의 동작에 따라서 외부로 출력될 수 있다.
- [0089] 도 8은 본 발명의 한 실시예에 따른 임펄스신호를 생성하는 과정을 나타내는 파형도이다.
- [0090] 도 8을 참고하면, 본 발명의 한 실시예에 따른 발진신호(또는, L0신호)는 타겟임펄스기간(Ndt) 동안 제1 지연라인(600)에 구비된 지연소자의 개수에 따라서 소정의 개수(n개)의 펄스를 가진다.
- [0091] 또한, 본 발명의 한 실시예에 따른 복수의 인벨롭신호(ENV1, ENV2, ..., ENVn)는 제2 지연라인(610)에 구비된 지연소자의 개수에 따라서 소정의 기간동안 소정의 전압레벨로 지속되는 펄스를 가진다.
- [0092] 임펄스신호는 발진신호와 복수의 인벨롭신호에 의해서 생성되며, 발진신호가 생성되는 기간인 타겟임펄스기간(Ndt)동안에만 생성된다. 또한, 임펄스신호는 발진신호를 구성하는 펄스의 주기와 동일한 주기를 가지는 펄스로 구성된다. 예를 들어, 임펄스 신호는 발진신호와 마찬가지로 소정의 개수(n개)의 펄스를 가진다. 이때, 복수의 인벨롭신호(ENV1, ENV2, ..., ENVn)를 합산한 합산인벨롭신호의 형태에 대응하여 발진신호(L0신호)의 형태가 변경되어 임펄스 신호가 생성될 수 있다.
- [0093] 도 8에서 상술한 바와 같이, 본 발명의 한 실시예에 따른 임펄스신호는 발진신호와 복수의 인벨롭신호에 의해서 생성될 수 있다. 이때, 발진신호는 사용자에게 의해서 배치된 지연소자의 개수에 따라서 타겟임펄스기간동안에만 소정의 개수를 가지는 펄스로 구성될 수 있다. 또한, 사용자에게 의해서 배치된 지연소자의 개수에 따라서 복수의 인벨롭신호의 개수가 결정될 수 있다. 사용자에게 의해서 설정된 발진신호 및 복수의 인벨롭신호를 이용하여 임펄스신호를 생성하므로 소비전력을 감소시킬 수 있다.
- [0094] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

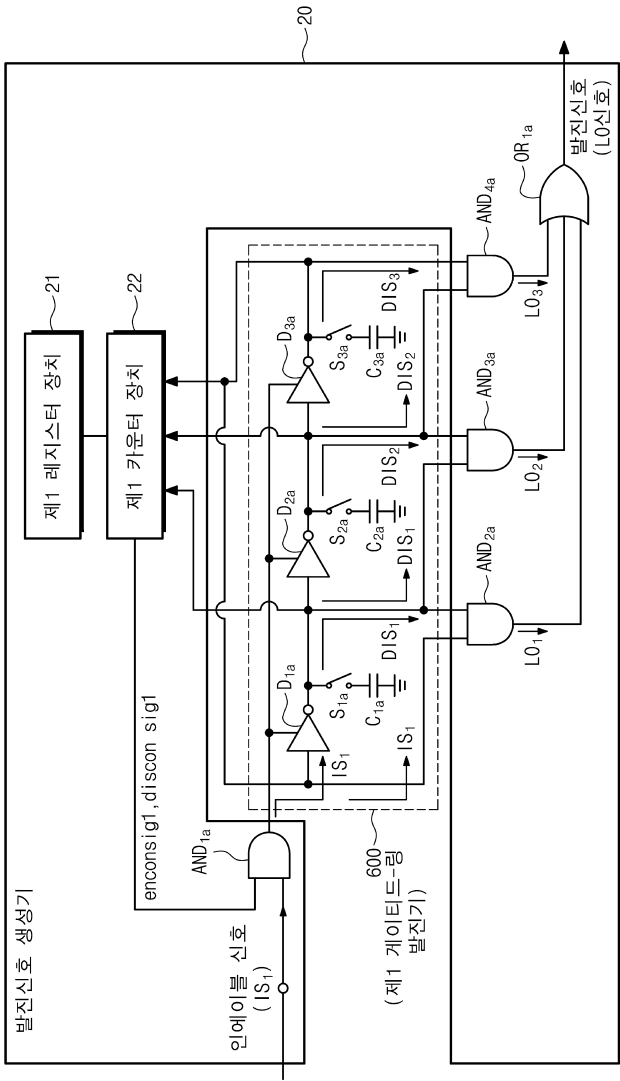
- [0095] 1: 광대역 임펄스 생성 장치
10: 입력신호생성기
20: 발진신호생성기
30: 인벨롭신호생성기
40: 임펄스신호생성기
50: 임펄스신호출력기

도면

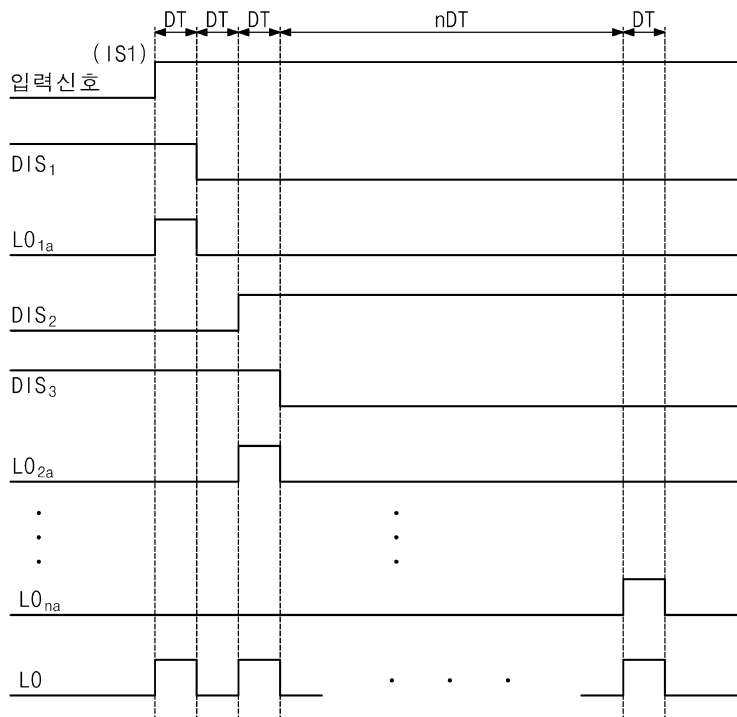
도면1



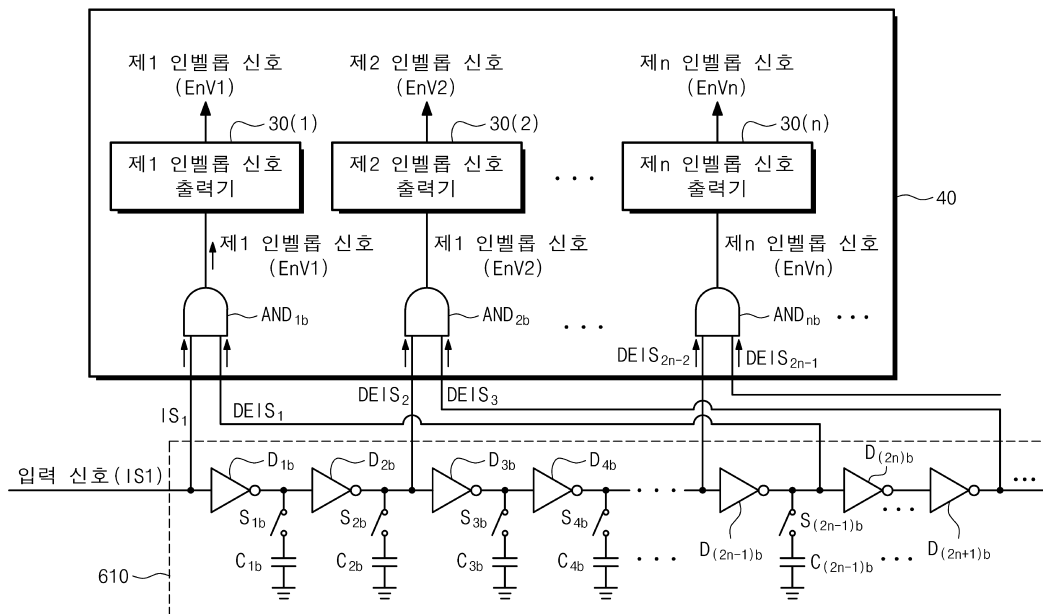
도면2



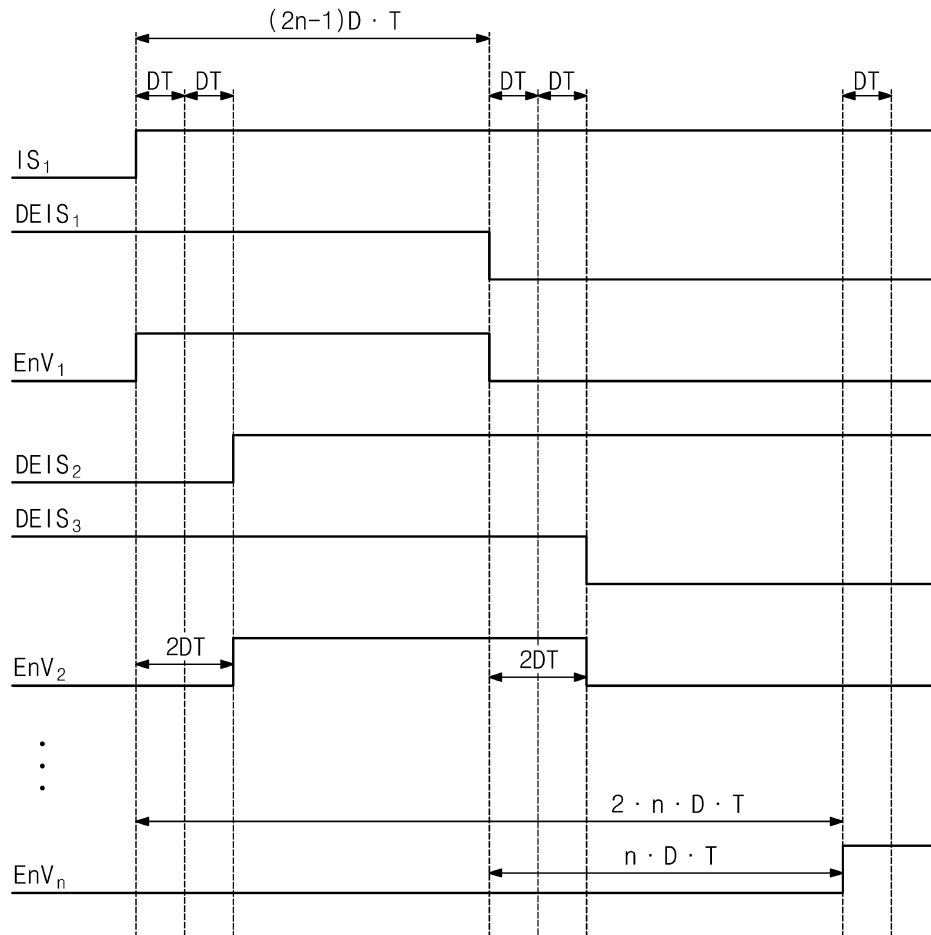
도면3



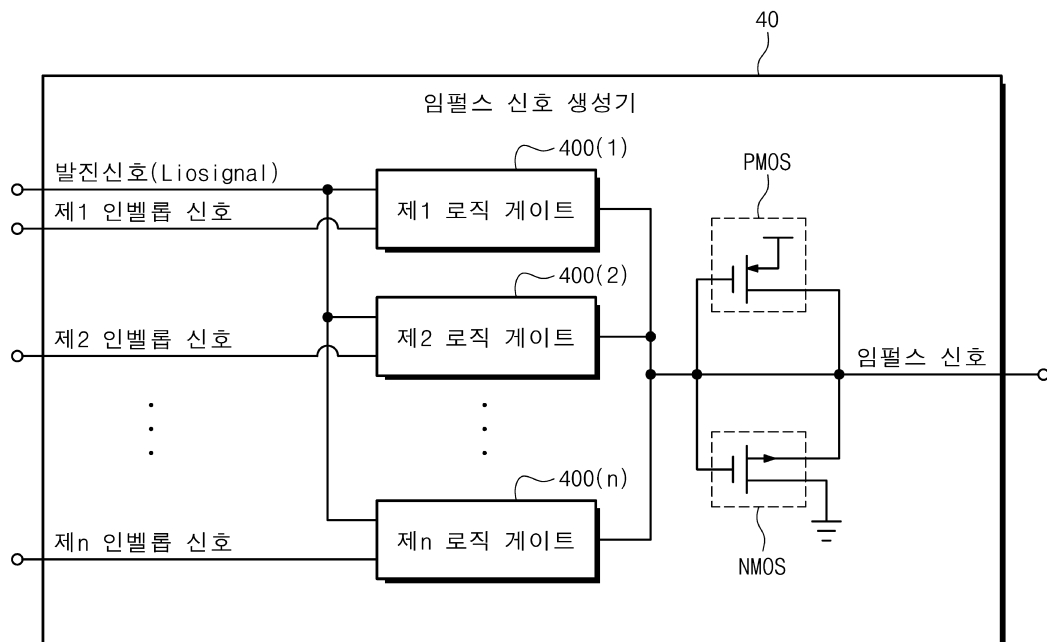
도면4



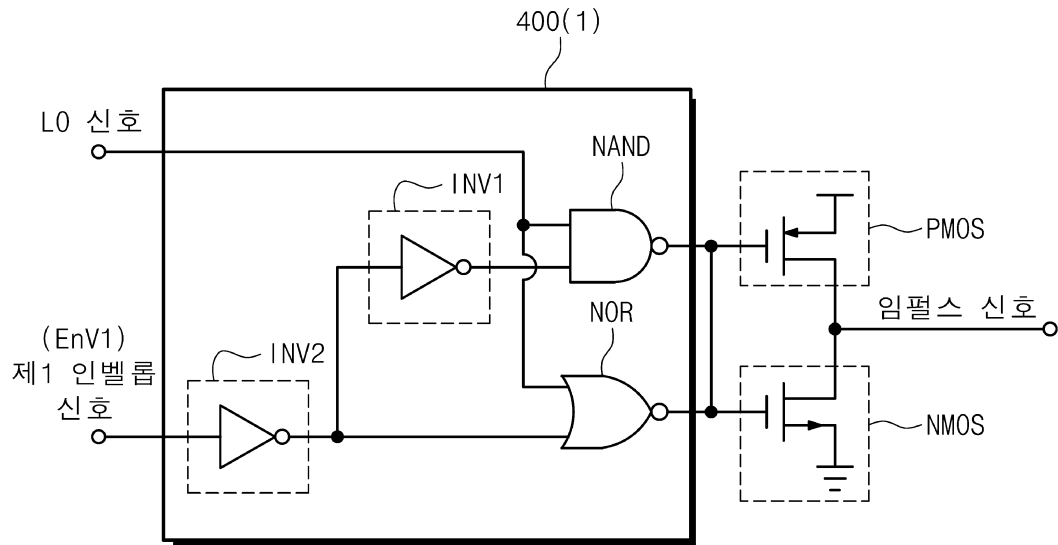
도면5



도면6



도면7



도면8

