



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월07일
(11) 등록번호 10-2419012
(24) 등록일자 2022년07월05일

(51) 국제특허분류(Int. Cl.)
H04N 5/357 (2011.01) H03K 3/356 (2006.01)
H04N 5/369 (2011.01)
(52) CPC특허분류
H04N 5/357 (2013.01)
H03K 23/62 (2013.01)
(21) 출원번호 10-2021-0008500
(22) 출원일자 2021년01월21일
심사청구일자 2021년01월21일
(56) 선행기술조사문헌
JP2020120175 A*
KR101774779 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
채영철
서울특별시 마포구 백범로 152, 201동 1301호
박병철
서울특별시 서대문구 북아현로1길 50, 205동 1003호
(74) 대리인
권성현, 유광철, 백두진, 강일신, 김정연

전체 청구항 수 : 총 15 항

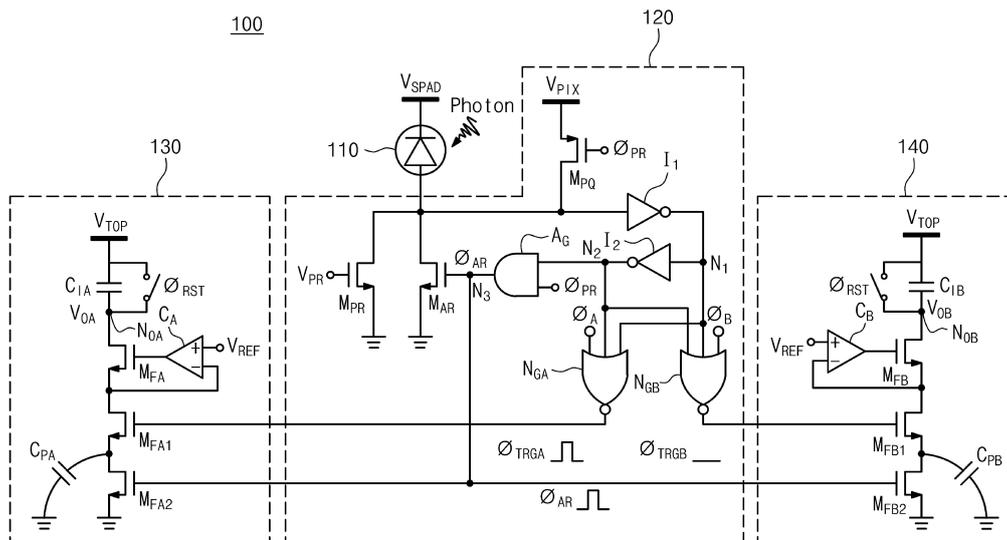
심사관 : 김웅권

(54) 발명의 명칭 저 노이즈 이미지 센서

(57) 요약

복수의 펄스 계수기를 이용하여 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 노이즈를 제거하여 저 노이즈 이미지를 획득할 수 있는 이미지 센서가 개시된다. 본 발명의 실시예에 따른 이미지 센서는 이미징을 위한 광을 출력하고, 이미징 대상으로부터 반사된 광을 검출하여 펄스 전압을 출력하도록 구성되는 광 검출기; 상기 광 검출기로부터 출력되는 상기 펄스 전압에 따라 트리거 펄스를 생성하고, 복수의 계수기 선택 신호에 따라 복수의 출력단 중에서 상기 트리거 펄스를 출력할 출력단을 선택하도록 구성되는 펄스 생성부; 및 상기 복수의 출력단과 각각 연결되고, 상기 복수의 계수기 선택 신호에 따라 상기 복수의 출력단을 통해 출력되는 상기 트리거 펄스에 따라 트리거 전압을 출력하도록 구성되는 복수의 펄스 계수기;를 포함한다. 이미지 센서는 상기 복수의 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 픽셀 값을 결정하여 이미지를 생성한다.

대표도



(52) CPC특허분류

H03K 3/356104 (2013.01)

H04N 5/369 (2021.08)

공지예외적용 : 있음

명세서

청구범위

청구항 1

이미징을 위한 광을 출력하고, 이미징 대상으로부터 반사된 광을 검출하여 펄스 전압을 출력하도록 구성되는 광 검출기;

상기 광 검출기로부터 출력되는 상기 펄스 전압에 따라 트리거 펄스를 생성하고, 복수의 계수기 선택 신호에 따라 복수의 출력단 중에서 상기 트리거 펄스를 출력할 출력단을 선택하도록 구성되는 펄스 생성부; 및

상기 복수의 출력단과 각각 연결되고, 상기 복수의 계수기 선택 신호에 따라 상기 복수의 출력단을 통해 출력되는 상기 트리거 펄스에 따라 트리거 전압을 출력하도록 구성되는 복수의 펄스 계수기;를 포함하고,

상기 복수의 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 픽셀 값을 결정하여 이미지를 생성하고, 상기 광이 출력되는 제1 시간 구간 동안 상기 복수의 펄스 계수기 중 제1 펄스 계수기에 의해 누적되는 제1 트리거 전압을 제1 펄스 계수 값으로 변환하고, 상기 광이 출력되지 않는 제2 시간 구간 동안 상기 복수의 펄스 계수기 중 제2 펄스 계수기에 의해 누적되는 제2 트리거 전압을 제2 펄스 계수 값으로 변환하고, 상기 제1 펄스 계수 값과 상기 제2 펄스 계수 값 간의 차분 값을 산출하고, 상기 차분 값을 기반으로 픽셀 값을 결정하도록 구성되는, 이미지 센서.

청구항 2

이미징을 위한 광을 출력하고, 이미징 대상으로부터 반사된 광을 검출하여 펄스 전압을 출력하도록 구성되는 광 검출기;

상기 광 검출기로부터 출력되는 상기 펄스 전압에 따라 트리거 펄스를 생성하고, 복수의 계수기 선택 신호에 따라 복수의 출력단 중에서 상기 트리거 펄스를 출력할 출력단을 선택하도록 구성되는 펄스 생성부; 및

상기 복수의 출력단과 각각 연결되고, 상기 복수의 계수기 선택 신호에 따라 상기 복수의 출력단을 통해 출력되는 상기 트리거 펄스에 따라 트리거 전압을 출력하도록 구성되는 복수의 펄스 계수기;를 포함하고,

상기 복수의 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 픽셀 값을 결정하여 이미지를 생성하고,

상기 펄스 생성부는:

상기 광 검출기에 직렬 연결되고, 상기 광 검출기에 의해 생성되는 펄스 전압을 반전시켜 제1 펄스 전압을 출력하도록 구성되는 제1 인버터;

상기 제1 인버터에 직렬 연결되고, 상기 제1 인버터로부터 출력되는 상기 제1 펄스 전압을 반전시켜 제2 펄스 전압을 출력하도록 구성되는 제2 인버터;

상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제1 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제1 펄스 계수기로 제1 트리거 펄스를 출력하도록 구성되는 제1 NOR 게이트; 및

상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제2 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제2 펄스 계수기로 제2 트리거 펄스를 출력하도록 구성되는 제2 NOR 게이트;를 포함하는, 이미지 센서.

청구항 3

제2항에 있어서,

상기 광이 출력되는 제1 시간 구간 동안, 상기 제1 계수기 선택 신호는 로우 레벨이고, 상기 제2 계수기 선택 신호는 하이 레벨이며,

상기 광이 출력되지 않는 제2 시간 구간 동안 상기 제1 계수기 선택 신호는 하이 레벨이고, 상기 제2 계수기 선택 신호는 로우 레벨인, 이미지 센서.

청구항 4

제3항에 있어서,

상기 제1 시간 구간 동안 상기 제1 펄스 계수기에 의해 누적되는 제1 트리거 전압을 제1 펄스 계수 값으로 변환하고, 상기 제2 시간 구간 동안 상기 제2 펄스 계수기에 의해 누적되는 제2 트리거 전압을 제2 펄스 계수 값으로 변환하도록 구성되는 아날로그 디지털 변환기;를 더 포함하는, 이미지 센서.

청구항 5

제4항에 있어서,

상기 제1 펄스 계수 값과 상기 제2 펄스 계수 값 간의 차분 값을 산출하고, 상기 차분 값을 기반으로 픽셀 값을 결정하도록 구성되는, 이미지 센서.

청구항 6

제3항에 있어서,

상기 제1 시간 구간과 상기 제2 시간 구간은 중첩되지 않으며, 동일한 시간 주기를 가지는, 이미지 센서.

청구항 7

제2항에 있어서,

상기 펄스 생성부는:

상기 제2 인버터로부터 출력되는 상기 제2 펄스 전압과, 리셋 전압을 입력받아 AND 연산을 수행하여 작동 펄스를 출력하도록 구성되는 AND 게이트; 및

상기 AND 게이트에서 출력되는 상기 작동 펄스에 따라 작동하여 상기 광 검출기의 출력단을 리셋시키도록 구성되는 리셋 트랜지스터;를 더 포함하고,

상기 작동 펄스는 상기 제1 트리거 펄스와 시간 차를 가지고 상기 제1 펄스 계수기로 출력되고,

상기 작동 펄스는 상기 제2 트리거 펄스와 시간 차를 가지고 상기 제2 펄스 계수기로 출력되는, 이미지 센서.

청구항 8

제7항에 있어서,

상기 제1 펄스 계수기는:

제1 작동 전압이 인가되는 제1 전극과 제1 전압 출력단 사이에 연결되는 제1 누적 커패시터;

상기 제1 누적 커패시터에 직렬 연결되고, 상기 제1 전압 출력단에 일단이 연결되고, 타단에는 제1 기준 전압이 형성되는 제1 출력 트랜지스터;

상기 제1 출력 트랜지스터에 직렬 연결되고, 제1 게이트단에 상기 제1 트리거 펄스가 입력되는 제1 작동 트랜지스터; 및

상기 제1 작동 트랜지스터와 접지 사이에 직렬 연결되고, 제1 게이트단에 상기 작동 펄스가 입력되는 제1 방전 트랜지스터;를 포함하는, 이미지 센서.

청구항 9

제8항에 있어서,

상기 제2 펄스 계수기는:

제2 작동 전압이 인가되는 제2 전극과 제2 전압 출력단 사이에 연결되는 제2 누적 커패시터;

상기 제2 누적 커패시터에 직렬 연결되고, 상기 제2 전압 출력단에 일단이 연결되고, 타단에는 제2 기준 전압이 형성되는 제2 출력 트랜지스터;

상기 제2 출력 트랜지스터에 직렬 연결되고, 제2 게이트단에 상기 제2 트리거 펄스가 입력되는 제2 작동 트랜지스터; 및

상기 제2 작동 트랜지스터와 접지 사이에 직렬 연결되고, 게이트단에 상기 작동 펄스가 입력되는 제2 방전 트랜지스터;를 포함하는, 이미지 센서.

청구항 10

이미징을 위한 광을 출력하고, 이미징 대상으로부터 반사된 광을 검출하여 펄스 전압을 출력하도록 구성되는 광 검출기;

상기 광 검출기로부터 출력되는 상기 펄스 전압에 따라 트리거 펄스를 생성하고, 복수의 계수기 선택 신호에 따라 복수의 출력단 중에서 상기 트리거 펄스를 출력할 출력단을 선택하도록 구성되는 펄스 생성부; 및

상기 복수의 출력단과 각각 연결되고, 상기 복수의 계수기 선택 신호에 따라 상기 복수의 출력단을 통해 출력되는 상기 트리거 펄스에 따라 트리거 전압을 출력하도록 구성되는 복수의 펄스 계수기;를 포함하고,

상기 복수의 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 픽셀 값을 결정하여 이미지를 생성하고, 상기 펄스 생성부는:

상기 광 검출기에 직렬 연결되고, 상기 광 검출기에 의해 생성되는 펄스 전압을 반전시켜 제1 펄스 전압을 출력하도록 구성되는 제1 인버터;

상기 제1 인버터에 직렬 연결되고, 상기 제1 인버터로부터 출력되는 상기 제1 펄스 전압을 반전시켜 제2 펄스 전압을 출력하도록 구성되는 제2 인버터;

상기 제1 펄스 전압, 상기 제2 펄스 전압, 및 상기 복수의 계수기 선택 신호 중 제1 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제1 펄스 계수기로 제1 트리거 펄스를 출력하도록 구성되는 제1 NOR 게이트;

상기 제1 펄스 전압, 상기 제2 펄스 전압, 및 상기 복수의 계수기 선택 신호 중 제2 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제2 펄스 계수기로 제2 트리거 펄스를 출력하도록 구성되는 제2 NOR 게이트;

상기 제1 펄스 전압, 상기 제2 펄스 전압, 및 상기 복수의 계수기 선택 신호 중 제3 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제3 펄스 계수기로 제3 트리거 펄스를 출력하도록 구성되는 제3 NOR 게이트; 및

상기 제1 펄스 전압, 상기 제2 펄스 전압, 및 상기 복수의 계수기 선택 신호 중 제4 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제4 펄스 계수기로 제4 트리거 펄스를 출력하도록 구성되는 제4 NOR 게이트;를 포함하는, 이미지 센서.

청구항 11

제10항에 있어서,

상기 광 검출기로부터 출력되는 광의 위상을 기준으로, 위상 0° 내지 90° 에 해당하는 제1 시간 구간 동안, 상기 제1 계수기 선택 신호는 로우 레벨이고, 상기 제2 계수기 선택 신호, 상기 제3 계수기 선택 신호, 및 상기 제4 계수기 선택 신호는 하이 레벨이고,

위상 90° 내지 180° 에 해당하는 제2 시간 구간 동안, 상기 제2 계수기 선택 신호는 로우 레벨이고, 상기 제1 계수기 선택 신호, 상기 제3 계수기 선택 신호, 및 상기 제4 계수기 선택 신호는 하이 레벨이고,

위상 180° 내지 270° 에 해당하는 제3 시간 구간 동안, 상기 제3 계수기 선택 신호는 로우 레벨이고, 상기 제1 계수기 선택 신호, 상기 제2 계수기 선택 신호, 및 상기 제4 계수기 선택 신호는 하이 레벨이고,

위상 270° 내지 360° 에 해당하는 제4 시간 구간 동안, 상기 제4 계수기 선택 신호는 로우 레벨이고, 상기 제1 계수기 선택 신호, 상기 제2 계수기 선택 신호, 및 상기 제3 계수기 선택 신호는 하이 레벨인, 이미지 센서.

청구항 12

제11항에 있어서,

상기 제1 시간 구간 동안 상기 제1 펄스 계수기에 의해 누적되는 제1 트리거 전압을 제1 펄스 계수 값으로 변환하고, 상기 제2 시간 구간 동안 상기 제2 펄스 계수기에 의해 누적되는 제2 트리거 전압을 제2 펄스 계수 값으로

로 변환하고, 상기 제3 시간 구간 동안 상기 제3 펄스 계수기에 의해 누적되는 제3 트리거 전압을 제3 펄스 계수 값으로 변환하고, 상기 제4 시간 구간 동안 상기 제4 펄스 계수기에 의해 누적되는 제4 트리거 전압을 제4 펄스 계수 값으로 변환하도록 구성되는 아날로그 디지털 변환기;를 더 포함하는, 이미지 센서.

청구항 13

제12항에 있어서,

상기 제1 펄스 계수 값과 상기 제2 펄스 계수 값 간의 제1 차분 값을 산출하고, 상기 제2 펄스 계수 값과 상기 제4 펄스 계수 값 간의 제2 차분 값을 산출하고,

상기 제1 차분 값과 상기 제2 차분 값의 합에 대한, 상기 제2 차분 값의 비에 따라 상기 이미징 대상의 거리를 산출하여 3차원 이미지를 생성하도록 구성되는, 이미지 센서.

청구항 14

제10항에 있어서,

상기 펄스 생성부는:

상기 제2 인버터로부터 출력되는 상기 제2 펄스 전압과, 리셋 전압을 입력받아 NOR 연산을 수행하여 작동 펄스를 출력하도록 구성되는 AND 게이트; 및

상기 AND 게이트에서 출력되는 상기 작동 펄스에 따라 작동하여 상기 광 검출기의 출력단을 리셋시키도록 구성되는 리셋 트랜지스터;를 더 포함하고,

상기 작동 펄스는 상기 제1 트리거 펄스와 시간 차를 가지고 상기 제1 펄스 계수기로 출력되고,

상기 작동 펄스는 상기 제2 트리거 펄스와 시간 차를 가지고 상기 제2 펄스 계수기로 출력되고,

상기 작동 펄스는 상기 제3 트리거 펄스와 시간 차를 가지고 상기 제3 펄스 계수기로 출력되고,

상기 작동 펄스는 상기 제4 트리거 펄스와 시간 차를 가지고 상기 제4 펄스 계수기로 출력되는, 이미지 센서.

청구항 15

제14항에 있어서,

상기 제1 펄스 계수기, 상기 제2 펄스 계수기, 상기 제3 펄스 계수기, 및 상기 제4 펄스 계수기는: 각각

미리 설정된 작동 전압이 인가되는 전극과 전압 출력단 사이에 연결되는 누적 커패시터;

상기 누적 커패시터에 직렬 연결되고, 상기 전압 출력단에 일단이 연결되고, 타단에는 기준 전압이 형성되는 출력 트랜지스터;

상기 출력 트랜지스터에 직렬 연결되고, 게이트단에 트리거 펄스가 입력되는 작동 트랜지스터; 및

상기 작동 트랜지스터와 접지 사이에 직렬 연결되고, 게이트단에 상기 작동 펄스가 입력되는 방전 트랜지스터;를 포함하는, 이미지 센서.

발명의 설명

기술 분야

[0001] 본 발명은 이미지 센서에 관한 것으로, 보다 상세하게는 복수의 펄스 계수기를 이용하여 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 노이즈를 제거하여 저 노이즈 이미지를 획득할 수 있는 저 노이즈 이미지 센서에 관한 것이다.

배경 기술

[0002] 이미지 센서는 자율주행 자동차용 라이다 센서, 증강 현실, 광 추적, 통신 및 에너지 응용 등의 다양한 분야에서 큰 관심을 끌고 있다. 이미지 센서는 SPAD 픽셀 어레이 등의 광 검출기와, 광 검출기에 의해 검출된 광에 따른 펄스를 계수하는 계수기를 포함할 수 있다.

[0003] 광 검출기는 이미징을 위한 광을 출력하고, 출력된 광이 물체로부터 반사되어 수신되는 광을 통해 2차원 이미지를 생성하거나, 수신 광의 위상을 분석하여 3차원 이미지를 생성할 수 있다. 이미지 센서는 계수기에 의해 픽셀 단위로 픽셀 값을 결정하여 이미지를 생성한다.

[0004] 일반적으로, SPAD 픽셀 어레이 이미지 센서는 SPAD 픽셀 어레이의 각 픽셀 별로 수신되는 광에 따라 포톤(photon)이 발생된다. SPAD 픽셀 어레이 이미지 센서는 이 포톤에 의해 발생하는 펄스광을 계수하기 위하여 각 픽셀 단위로 단일의 펄스 계수기가 사용되고 있다.

[0005] 한편, SPAD 픽셀 어레이 이미지 센서는 광 검출기에서 방출한 광이 물체로부터 반사되어 수신되는 광 뿐 아니라, 배경 광(background light)이 함께 SPAD 픽셀 어레이로 입사될 수 있다. 이러한 배경 광은 SPAD 픽셀 어레이 중 물체가 아닌 픽셀에 대해 펄스를 유발하여 이미지의 노이즈를 증가시키는 요인이 되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 복수의 펄스 계수기를 이용하여 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 노이즈를 제거하여 저 노이즈 이미지를 획득할 수 있는 이미지 센서를 제공하기 위한 것이다.

[0007] 또한, 본 발명은 복수의 펄스 계수기를 이용하여 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 노이즈 제거된 3차원 이미지를 획득할 수 있는 이미지 센서를 제공하기 위한 것이다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 이미지 센서는: 이미징을 위한 광을 출력하고, 이미징 대상으로부터 반사된 광을 검출하여 펄스 전압을 출력하도록 구성되는 광 검출기; 상기 광 검출기로부터 출력되는 상기 펄스 전압에 따라 트리거 펄스를 생성하고, 복수의 계수기 선택 신호에 따라 복수의 출력단 중에서 상기 트리거 펄스를 출력할 출력단을 선택하도록 구성되는 펄스 생성부; 및 상기 복수의 출력단과 각각 연결되고, 상기 복수의 계수기 선택 신호에 따라 상기 복수의 출력단을 통해 출력되는 상기 트리거 펄스에 따라 트리거 전압을 출력하도록 구성되는 복수의 펄스 계수기;를 포함하고, 상기 복수의 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 픽셀 값을 결정하여 이미지를 생성한다.

[0009] 상기 펄스 생성부는: 상기 광 검출기에 직렬 연결되고, 상기 광 검출기에 의해 생성되는 펄스 전압을 반전시켜 제1 펄스 전압을 출력하도록 구성되는 제1 인버터; 상기 제1 인버터에 직렬 연결되고, 상기 제1 인버터로부터 출력되는 상기 제1 펄스 전압을 반전시켜 제2 펄스 전압을 출력하도록 구성되는 제2 인버터; 상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제1 계수기 선택 신호를 입력받고, 제1 펄스 계수기로 제1 트리거 펄스를 출력하도록 구성되는 제1 NOR 게이트; 및 상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제2 계수기 선택 신호를 입력받고, 제2 펄스 계수기로 제2 트리거 펄스를 출력하도록 구성되는 제2 NOR 게이트;를 포함할 수 있다.

[0010] 상기 광이 출력되는 제1 시간 구간 동안, 상기 제1 계수기 선택 신호는 로우 레벨이고, 상기 제2 계수기 선택 신호는 하이 레벨이며, 상기 광이 출력되지 않는 제2 시간 구간 동안 상기 제1 계수기 선택 신호는 하이 레벨이고, 상기 제2 계수기 선택 신호는 로우 레벨일 수 있다.

[0011] 본 발명의 실시예에 따른 이미지 센서는: 상기 제1 시간 구간 동안 상기 제1 펄스 계수기에 의해 누적되는 제1 트리거 전압을 제1 펄스 계수 값으로 변환하고, 상기 제2 시간 구간 동안 상기 제2 펄스 계수기에 의해 누적되는 제2 트리거 전압을 제2 펄스 계수 값으로 변환하도록 구성되는 아날로그 디지털 변환기;를 더 포함할 수 있다.

[0012] 본 발명의 실시예에 따른 이미지 센서는: 상기 제1 펄스 계수 값과 상기 제2 펄스 계수 값 간의 차분 값을 산출하고, 상기 차분 값을 기반으로 픽셀 값을 결정하도록 구성될 수 있다.

[0013] 상기 제1 시간 구간과 상기 제2 시간 구간은 중첩되지 않으며, 동일한 시간 주기를 가질 수 있다.

[0014] 상기 펄스 생성부는: 상기 제2 인버터로부터 출력되는 상기 제2 펄스 전압과, 리셋 전압을 입력받아 AND 연산을 수행하고, 작동 펄스를 출력하도록 구성되는 AND 게이트; 및 상기 AND 게이트에서 출력되는 상기 작동 펄스에 따라 작동하여 상기 광 검출기의 출력단을 리셋시키도록 구성되는 리셋 트랜지스터;를 더 포함할 수 있다.

[0015] 상기 작동 펄스는 상기 제1 트리거 펄스와 시간 차를 가지고 상기 제1 펄스 계수기로 출력되고, 상기 작동 펄스

는 상기 제2 트리거 펄스와 시간 차를 가지고 상기 제2 펄스 계수기로 출력될 수 있다.

- [0016] 상기 제1 펄스 계수기는: 제1 작동 전압이 인가되는 제1 전극과 제1 전압 출력단 사이에 연결되는 제1 누적 커패시터; 상기 제1 누적 커패시터에 직렬 연결되고, 상기 제1 전압 출력단에 일단이 연결되고, 타단에는 제1 기준 전압이 형성되는 제1 출력 트랜지스터; 상기 제1 출력 트랜지스터에 직렬 연결되고, 제1 게이트단에 상기 제1 트리거 펄스가 입력되는 제1 작동 트랜지스터; 및 상기 제1 작동 트랜지스터와 접지 사이에 직렬 연결되고, 제1 게이트단에 상기 작동 펄스가 입력되는 제1 방전 트랜지스터;를 포함할 수 있다.
- [0017] 상기 제2 펄스 계수기는: 제1 작동 전압이 인가되는 제2 전극과 제2 전압 출력단 사이에 연결되는 제2 누적 커패시터; 상기 제2 누적 커패시터에 직렬 연결되고, 상기 제2 전압 출력단에 일단이 연결되고, 타단에는 제2 기준 전압이 형성되는 제2 출력 트랜지스터; 상기 제2 출력 트랜지스터에 직렬 연결되고, 제2 게이트단에 상기 제2 트리거 펄스가 입력되는 제2 작동 트랜지스터; 및 상기 제2 작동 트랜지스터와 접지 사이에 직렬 연결되고, 게이트단에 상기 작동 펄스가 입력되는 제2 방전 트랜지스터;를 포함할 수 있다.
- [0018] 상기 펄스 생성부는: 상기 광 검출기에 직렬 연결되고, 상기 광 검출기에 의해 생성되는 펄스 전압을 반전시켜 제1 펄스 전압을 출력하도록 구성되는 제1 인버터; 상기 제1 인버터에 직렬 연결되고, 상기 제1 인버터로부터 출력되는 상기 제1 펄스 전압을 반전시켜 제2 펄스 전압을 출력하도록 구성되는 제2 인버터; 상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제1 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제1 펄스 계수기로 제1 트리거 펄스를 출력하도록 구성되는 제1 NOR 게이트; 상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제2 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제2 펄스 계수기로 제2 트리거 펄스를 출력하도록 구성되는 제2 NOR 게이트; 상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제3 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제3 펄스 계수기로 제3 트리거 펄스를 출력하도록 구성되는 제3 NOR 게이트; 및 상기 제1 펄스 전압, 상기 제2 펄스 전압 및 제4 계수기 선택 신호를 입력받아 NOR 연산을 수행하고, 제4 펄스 계수기로 제4 트리거 펄스를 출력하도록 구성되는 제4 NOR 게이트;를 포함할 수 있다.
- [0019] 상기 광 검출기로부터 출력되는 광의 위상을 기준으로, 위상 0° 내지 90° 에 해당하는 제1 시간 구간 동안, 상기 제1 계수기 선택 신호는 로우 레벨이고, 상기 제2 계수기 선택 신호, 상기 제3 계수기 선택 신호, 및 상기 제4 계수기 선택 신호는 하이 레벨이고, 위상 90° 내지 180° 에 해당하는 제2 시간 구간 동안, 상기 제2 계수기 선택 신호는 로우 레벨이고, 상기 제1 계수기 선택 신호, 상기 제3 계수기 선택 신호, 및 상기 제4 계수기 선택 신호는 하이 레벨이고, 위상 180° 내지 270° 에 해당하는 제3 시간 구간 동안, 상기 제3 계수기 선택 신호는 로우 레벨이고, 상기 제1 계수기 선택 신호, 상기 제2 계수기 선택 신호, 및 상기 제4 계수기 선택 신호는 하이 레벨이고, 위상 270° 내지 360° 에 해당하는 제4 시간 구간 동안, 상기 제4 계수기 선택 신호는 로우 레벨이고, 상기 제1 계수기 선택 신호, 상기 제2 계수기 선택 신호, 및 상기 제3 계수기 선택 신호는 하이 레벨일 수 있다.
- [0020] 본 발명의 실시예에 따른 이미지 센서는: 상기 제1 시간 구간 동안 상기 제1 펄스 계수기에 의해 누적되는 제1 트리거 전압을 제1 펄스 계수 값으로 변환하고, 상기 제2 시간 구간 동안 상기 제2 펄스 계수기에 의해 누적되는 제2 트리거 전압을 제2 펄스 계수 값으로 변환하고, 상기 제3 시간 구간 동안 상기 제3 펄스 계수기에 의해 누적되는 제3 트리거 전압을 제3 펄스 계수 값으로 변환하고, 상기 제4 시간 구간 동안 상기 제4 펄스 계수기에 의해 누적되는 제4 트리거 전압을 제4 펄스 계수 값으로 변환하도록 구성되는 아날로그 디지털 변환기;를 더 포함할 수 있다.
- [0021] 본 발명의 실시예에 따른 이미지 센서는: 상기 제1 펄스 계수 값과 상기 제2 펄스 계수 값 간의 제1 차분 값을 산출하고, 상기 제2 펄스 계수 값과 상기 제4 펄스 계수 값 간의 제2 차분 값을 산출하고, 상기 제1 차분 값과 상기 제2 차분 값의 합에 대한, 상기 제2 차분 값의 비에 따라 상기 이미징 대상의 거리를 산출하여 3차원 이미지를 생성하도록 구성될 수 있다.
- [0022] 상기 펄스 생성부는: 상기 제2 인버터로부터 출력되는 상기 제2 펄스 전압과, 리셋 전압을 입력받아 AND 연산을 수행하고, 작동 펄스를 출력하도록 구성되는 AND 게이트; 및 상기 AND 게이트에서 출력되는 상기 작동 펄스에 따라 작동하여 상기 광 검출기의 출력단을 리셋시키도록 구성되는 리셋 트랜지스터;를 더 포함할 수 있다.
- [0023] 상기 작동 펄스는 상기 제1 트리거 펄스와 시간 차를 가지고 상기 제1 펄스 계수기로 출력되고, 상기 작동 펄스는 상기 제2 트리거 펄스와 시간 차를 가지고 상기 제2 펄스 계수기로 출력되고, 상기 작동 펄스는 상기 제3 트리거 펄스와 시간 차를 가지고 상기 제3 펄스 계수기로 출력되고, 상기 작동 펄스는 상기 제4 트리거 펄스와 시간 차를 가지고 상기 제4 펄스 계수기로 출력될 수 있다.

[0024] 상기 제1 펄스 계수기, 상기 제2 펄스 계수기, 상기 제3 펄스 계수기, 및 상기 제4 펄스 계수기는: 각각 미리 설정된 작동 전압이 인가되는 전극과 전압 출력단 사이에 연결되는 누적 커패시터; 상기 누적 커패시터에 직렬 연결되고, 상기 전압 출력단에 일단이 연결되고, 타단에는 기준 전압이 형성되는 출력 트랜지스터; 상기 출력 트랜지스터에 직렬 연결되고, 게이트단에 트리거 펄스가 입력되는 작동 트랜지스터; 및 상기 작동 트랜지스터와 접지 사이에 직렬 연결되고, 게이트단에 상기 작동 펄스가 입력되는 방전 트랜지스터;를 포함할 수 있다.

발명의 효과

[0025] 본 발명의 실시예에 의하면, 복수의 펄스 계수기를 이용하여 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 노이즈를 제거하여 저 노이즈 이미지를 획득할 수 있는 저 노이즈 이미지 센서가 제공된다.

[0026] 또한, 본 발명의 실시예에 의하면, 복수의 펄스 계수기를 이용하여 펄스 계수기에서 출력되는 복수의 트리거 전압을 기반으로 노이즈 제거된 3차원 이미지를 획득할 수 있는 저 노이즈 3차원 이미지 센서가 제공된다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 실시예에 따른 이미지 센서의 회로도이다.
- 도 2는 본 발명의 실시예에 따른 이미지 센서의 신호 타이밍도이다.
- 도 3은 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 생성부의 작동 상태를 나타낸 도면이다.
- 도 4는 본 발명의 실시예에 따른 이미지 센서를 구성하는 제1 펄스 계수기의 작동 상태를 나타낸 도면이다.
- 도 5는 본 발명의 실시예에 따른 이미지 센서를 구성하는 제2 펄스 계수기의 작동 상태를 나타낸 도면이다.
- 도 6은 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 생성부의 리셋 동작을 나타낸 도면이다.
- 도 7은 본 발명의 실시예에 따른 이미지 센서의 블록 다이어그램이다.
- 도 8은 본 발명의 실시예에 따른 이미지 센서를 구성하는 아날로그 디지털 변환기의 구성도이다.
- 도 9는 본 발명의 실시예에 따른 이미지 센서를 구성하는 아날로그 디지털 변환기의 단일 프레임 타이밍도이다.
- 도 10은 본 발명의 다른 실시예에 따른 이미지 센서의 회로도이다.
- 도 11은 도 10의 실시예에 따른 이미지 센서의 신호 타이밍도이다.
- 도 12는 본 발명의 실시예에 따른 이미지 센서의 DCR(dark count rate)의 누적 밀도 함수를 나타낸 도면이다.
- 도 13은 본 발명의 실시예에 따른 이미지 센서의 파장에 따른 PDP(photon detection probability) 분포를 나타낸 도면이다.
- 도 14는 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 계수기의 DNL(differential nonlinearity error) 성능을 나타낸 도면이다.
- 도 15는 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 계수기의 INL(integral nonlinearity error) 성능을 나타낸 도면이다.
- 도 16은 본 발명의 실시예에 따른 이미지 센서의 물체 거리에 따른 1- σ 거리 불확실성(distance uncertainty)을 나타낸 도면이다.
- 도 17 및 도 18은 본 발명의 실시예에 따른 이미지 센서에 의해 획득한 3D 이미지를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0029] 본 명세서에서, 어떤 부분이 어떤 구성요소를 '포함'한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른

구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 본 명세서에서 사용되는 '~부'는 적어도 하나의 기능이나 동작을 처리하는 단위로서, 예를 들어 소프트웨어, FPGA 또는 하드웨어 구성요소를 의미할 수 있다. '~부'에서 제공하는 기능은 복수의 구성요소에 의해 분리되어 수행되거나, 다른 추가적인 구성요소와 통합될 수도 있다. 본 명세서의 '~부'는 반드시 소프트웨어 또는 하드웨어에 한정되지 않으며, 어느 레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고, 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 이하에서는 도면을 참조하여 본 발명의 실시예에 대해서 구체적으로 설명하기로 한다.

- [0030] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0031] 도 1은 본 발명의 실시예에 따른 이미지 센서의 회로도이다. 도 2는 본 발명의 실시예에 따른 이미지 센서의 신호 타이밍도이다. 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 이미지 센서(100)는 광 검출기(110), 펄스 생성부(120), 및 복수의 펄스 계수기(130, 140)를 포함할 수 있다.
- [0032] 광 검출기(110)는 이미징을 위한 광(E_L)을 출력하고, 이미징 대상(물체나, 사람 등의 대상체)으로부터 반사된 광(I_L)을 검출하여 펄스 전압(P_S)을 출력할 수 있다. 광 검출기(110)는 예를 들어, 단일 광자 검출기(SPAD; Single Photon Avalanche Diode)일 수 있으나, 이에 한정되지는 않는다.
- [0033] 광 검출기(110)는 이미징을 위한 광(E_L)을 펄스 형태로 주기적으로 출력할 수 있다. 광 검출기(110)는 광 출력 개시 시점(T_1)부터 광 출력 종료 시점(T_2)까지 이미징을 위한 하이 레벨의 광(E_L)을 출력하고, 광 출력 종료 시점(T_2)부터 일정 시간 동안 광을 출력하지 않을 수 있다.
- [0034] 펄스 생성부(120)는 광 검출기(110)로부터 출력되는 펄스 전압에 따라 트리거 펄스(ϕ_{TRGA} , ϕ_{TRGB})를 생성하고, 복수의 계수기 선택 신호(ϕ_A , ϕ_B)에 따라 복수의 출력단 중 트리거 펄스(ϕ_{TRGA} , ϕ_{TRGB})를 출력할 하나의 출력단을 선택할 수 있다.
- [0035] 펄스 생성부(120)에 의해 트리거 펄스(ϕ_{TRGA} , ϕ_{TRGB})는 복수의 출력단 중 어느 하나의 출력단으로 출력되고, 그 동안에 다른 출력단에는 트리거 펄스(ϕ_{TRGA} , ϕ_{TRGB})가 출력되지 않을 수 있다.
- [0036] 복수의 펄스 계수기(130, 140)는 대응되는 펄스 생성부(120)의 복수의 출력단과 각각 연결될 수 있다. 복수의 펄스 계수기(130, 140)는 복수의 계수기 선택 신호(ϕ_A , ϕ_B)에 따라 복수의 출력단을 통해 출력되는 트리거 펄스(ϕ_{TRGA} , ϕ_{TRGB})를 계수할 수 있다.
- [0037] 복수의 펄스 계수기(130, 140)는 제1 펄스 계수기(130)와, 제2 펄스 계수기(140)를 포함할 수 있다. 제1 펄스 계수기(130)는 펄스 생성부(120)의 제1 NOR 게이트(N_{GA})의 출력단과 연결되어 제1 NOR 게이트(N_{GA})의 출력단으로부터 제1 트리거 펄스(ϕ_{TRGA})를 입력받을 수 있다.
- [0038] 제2 펄스 계수기(140)는 펄스 생성부(120)의 제2 NOR 게이트(N_{GB})의 출력단과 연결되어 제2 NOR 게이트(N_{GB})의 출력단으로부터 제2 트리거 펄스(ϕ_{TRGB})를 입력받을 수 있다.
- [0039] 제1 펄스 계수기(130)는 제1 계수기 선택 신호(ϕ_A)에 따라 펄스 생성부(120)의 제1 NOR 게이트(N_{GA})의 출력단을 통해 출력되는 제1 트리거 펄스(ϕ_{TRGA})를 계수할 수 있다.
- [0040] 제2 펄스 계수기(140)는 제2 계수기 선택 신호(ϕ_B)에 따라 펄스 생성부(120)의 제2 NOR 게이트(N_{GB})의 출력단을 통해 출력되는 제2 트리거 펄스(ϕ_{TRGB})를 계수할 수 있다.
- [0041] 펄스 생성부(120)는 제1 인버터(I_1), 제2 인버터(I_2), 제1 NOR 게이트(N_{GA}), 제2 NOR 게이트(N_{GB}), AND 게이트(A_G), 및 리셋 트랜지스터(M_{RR})를 포함할 수 있다.
- [0042] 제1 인버터(I_1)는 광 검출기(110)에 직렬 연결될 수 있다. 제1 인버터(I_1)는 광 검출기(110)에 의해 생성되는 펄

스 전압(P_S)을 반전시켜 제1 노드(N_1)에 제1 펄스 전압을 출력할 수 있다.

- [0043] 제2 인버터(I_2)는 제1 인버터(I_1)에 직렬 연결될 수 있다. 제2 인버터(I_2)는 제1 인버터(I_1)로부터 출력되는 제1 펄스 전압을 반전시켜 제2 노드(N_2)에 제2 펄스 전압을 출력할 수 있다.
- [0044] 제1 NOR 게이트(N_{GA})는 제1 인버터(I_1)에서 출력되는 제1 노드(N_1)의 제1 펄스 전압, 제2 인버터(I_2)에서 출력되는 제2 노드(N_2)의 제2 펄스 전압, 및 제1 계수기 선택 신호(ϕ_A)를 입력받아 NOR 연산을 수행하고, 제1 펄스 계수기(130)로 제1 트리거 펄스(ϕ_{TRGA})를 출력할 수 있다.
- [0045] 제2 NOR 게이트(N_{GB})는 제1 인버터(I_1)에서 출력되는 제1 노드(N_1)의 제1 펄스 전압, 제2 인버터(I_2)에서 출력되는 제2 노드(N_2)의 제2 펄스 전압, 및 제2 계수기 선택 신호(ϕ_B)를 입력받아 NOR 연산을 수행하고, 제2 펄스 계수기(140)로 제2 트리거 펄스(ϕ_{TRGB})를 출력할 수 있다.
- [0046] 광 검출기(110)로부터 광이 출력되는 제1 시간 구간(P_A) 동안, 제1 계수기 선택 신호(ϕ_A)는 로우 레벨(low level)이고, 제2 계수기 선택 신호(ϕ_B)는 하이 레벨(high level)일 수 있다.
- [0047] 광 검출기(110)로부터 광이 출력되지 않는 광 출력 종료 시점(T_2) 부터 설정 시점(T_3)까지 제2 시간 구간(P_B) 동안, 제1 계수기 선택 신호(ϕ_A)는 하이 레벨이고, 제2 계수기 선택 신호(ϕ_B)는 로우 레벨일 수 있다.
- [0048] 제1 계수기 선택 신호(ϕ_A)가 로우 레벨인 제1 시간 구간과, 제2 계수기 선택 신호(ϕ_B)가 로우 레벨인 제2 시간 구간(P_B)은 중첩되지 않으며, 동일한 시간 주기를 가질 수 있다.
- [0049] 즉, 제1 계수기 선택 신호(ϕ_A)와, 제2 계수기 선택 신호(ϕ_B)는 교대로 온/오프(On/Off)가 반복되는 상보적 시간 윈도우(complementary time windows)를 가지도록 설정될 수 있다.
- [0050] 제1 계수기 선택 신호(ϕ_A)가 로우 레벨이고, 제2 계수기 선택 신호(ϕ_B)가 하이 레벨인 제1 시간 구간(P_A) 동안, 펄스 생성부(120)는 제1 NOR 게이트(N_{GA})의 출력단을 통해 제1 트리거 펄스(ϕ_{TRGA})를 제1 펄스 계수기(130)로 출력할 수 있다.
- [0051] 제1 계수기 선택 신호(ϕ_A)가 하이 레벨이고, 제2 계수기 선택 신호(ϕ_B)가 로우 레벨인 제2 시간 구간(P_B) 동안, 펄스 생성부(120)는 제2 NOR 게이트(N_{GB})의 출력단을 통해 제2 트리거 펄스(ϕ_{TRGB})를 제2 펄스 계수기(140)로 출력할 수 있다.
- [0052] AND 게이트(A_G)는 제2 인버터(I_2)로부터 출력되는 제2 노드(N_2)의 제2 펄스 전압과, 리셋 전압(ϕ_{PR})을 입력받아 AND 연산을 수행하고, AND 게이트(A_G)의 출력단인 제3 노드(N_3)에 작동 펄스(ϕ_{AR})를 출력할 수 있다.
- [0053] 작동 펄스(ϕ_{AR})는 제2 인버터(I_2)로부터 출력되는 제2 노드(N_2)의 제2 펄스 전압의 위상 보다 AND 게이트(A_G)의 지연 시간 만큼 지연되어 AND 게이트(A_G)로부터 출력될 수 있다. 작동 펄스(ϕ_{AR})는 트리거 펄스(ϕ_{TRGA} , ϕ_{TRGB})보다 늦은 위상을 가질 수 있다.
- [0054] 작동 펄스(ϕ_{AR})는 리셋 트랜지스터(M_{AR})의 게이트단으로 입력될 수 있다. 리셋 트랜지스터(M_{AR})는 AND 게이트(A_G)에서 출력되는 작동 펄스(ϕ_{AR})에 따라 작동하여 광 검출기(110)의 출력단 전압을 리셋시킬 수 있다.
- [0055] 또한, 작동 펄스(ϕ_{AR})는 제1 트리거 펄스(ϕ_{TRGA})와 시간 차를 가지고 제1 펄스 계수기(130)로 출력되고, 제2 트리거 펄스(ϕ_{TRGB})와 시간 차를 가지고 제2 펄스 계수기(140)로 출력될 수 있다.
- [0056] 즉, 작동 펄스(ϕ_{AR})는 제1 트리거 펄스(ϕ_{TRGA}) 또는 제2 트리거 펄스(ϕ_{TRGB})보다 늦은 위상을 가진 상태로 제1 펄스 계수기(130) 및 제2 펄스 계수기(140)로 출력될 수 있다.
- [0057] 펄스 생성부(120)의 제1 인버터(I_1)의 입력단에는 설정 전압(V_{PIX})을 인가하기 위한 PMOS 트랜지스터(M_{FQ})가 연결될 수 있다. PMOS 트랜지스터(M_{FQ})의 게이트단에는 리셋 전압(ϕ_{PR})이 인가될 수 있다.

- [0058] 도 3은 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 생성부의 작동 상태를 나타낸 도면이다. 도 1 내지 도 3을 참조하면, 광 검출기(110)로 광이 입사되는 작동 모드에서, 리셋 전압(ϕ_{PR})은 하이 레벨을 가지며, 이에 따라 AND 게이트(A_G)의 출력단에 작동 펄스(ϕ_{AR})가 로직 '1'에 해당하는 하이 레벨로 출력된다.
- [0059] 이에 따라, AND 게이트(A_G)는 제2 인버터(I_2)에서 출력되는 제2 노드(N_2)의 제2 펄스 전압을 그대로 제3 노드(N_3)로 출력하게 되며, 제2 펄스 전압의 펄스 입력시마다 리셋 트랜지스터(M_{AR})가 온 상태로 작동하여 광 검출기(110)의 출력단 전압을 방전시켜 리셋 동작을 수행하게 된다.
- [0060] 펄스 생성부(120)는 필요에 따라, 보조 리셋 트랜지스터(M_{PR})가 리셋 트랜지스터(M_{AR})와 병렬로 연결될 수 있다. 보조 리셋 트랜지스터(M_{PR})의 게이트단에 인가되는 보조 리셋 전압(V_{PR})을 통해 광 검출기(110)의 출력단을 리셋하는 동작을 수행할 수도 있다.
- [0061] 또한, 작동 모드에서, PMOS 트랜지스터(M_{PQ})의 게이트단에 하이 레벨의 리셋 전압(ϕ_{PR})이 입력되어 PMOS 트랜지스터(M_{PQ})가 오프 상태로 되며, 이에 따라 제1 인버터(I_1)의 입력단에 광 검출기(110)에 의해 생성되는 펄스 전압(V_S)이 입력될 수 있다.
- [0062] 펄스 전압(V_S)의 하이 레벨에 해당하는 펄스가 순간적으로 제1 인버터(I_1)에 입력되면, 제1 인버터(I_1)는 제1 노드(N_1)에 로우 레벨 펄스에 해당하는 제1 펄스 전압을 출력한다. 제2 인버터(I_2)에서 로우 레벨 펄스를 하이 레벨 펄스로 반전시키기 전에 순간적으로, 제2 인버터(I_2)의 출력단은 로우 레벨 상태를 유지한다.
- [0063] 따라서, 펄스가 입력되는 순간, 제1 인버터(I_1)의 출력단인 제1 노드(N_1)와, 제2 인버터(I_2)의 출력단인 제2 노드(N_2)가 모두 순간적으로 로우 레벨 상태가 되어 제1 NOR 게이트(N_{GA})와 제2 NOR 게이트(N_{GB})에 각각 로우 레벨 전압이 입력될 수 있다.
- [0064] 이에 따라, 제1 NOR 게이트(N_{GA})와 제2 NOR 게이트(N_{GB}) 중 로우 레벨의 계수기 선택 신호(예를 들어, ϕ_A)가 입력되는 NOR 게이트(예를 들어, 제1 NOR 게이트)에만 트리거 펄스(ϕ_{TRGA})의 펄스 신호가 출력되고, 다른 NOR 게이트(예를 들어, 제2 NOR 게이트)에는 로우 레벨의 트리거 펄스(ϕ_{TRGB})가 출력될 수 있다.
- [0065] 이와 달리, 제1 NOR 게이트(N_{GA})와 제2 NOR 게이트(N_{GB}) 중 제2 NOR 게이트(N_{GB})에 로우 레벨의 계수기 선택 신호(ϕ_B)가 입력되면, 제2 NOR 게이트(N_{GB})에만 트리거 펄스(ϕ_{TRGB})의 펄스 신호가 출력되고, 제1 NOR 게이트(N_{GA})에는 로우 레벨의 트리거 펄스(ϕ_{TRGA})가 출력될 수 있다.
- [0066] 광 검출기(110)에 의해 생성되는 포톤(photon)에 의해 유발되는 전압 펄스(V_S)가 사라지면, 제1 인버터(I_1)에서 출력되는 제1 노드(N_1)에 하이 레벨 신호가 출력되어 제1 NOR 게이트(N_{GA})와 제2 NOR 게이트(N_{GB})에 각각 입력되므로, 제1 트리거 펄스(ϕ_{TRGA})와 제2 트리거 펄스(ϕ_{TRGB}) 모두 로우 레벨을 가지게 된다.
- [0067] 제1 펄스 계수기(130)는 제1 누적 커패시터(C_{IA}), 제1 리셋 스위치(ϕ_{RST}), 제1 출력 트랜지스터(M_{FA}), 제1 작동 트랜지스터(M_{FA1}), 및 제1 방전 트랜지스터(M_{FA2})를 포함할 수 있다.
- [0068] 제1 누적 커패시터(C_{IA})는 제1 작동 전압(V_{TOP})이 인가되는 제1 전극과 제1 전압 출력단(N_{OA}) 사이에 연결될 수 있다. 제1 리셋 스위치(ϕ_{RST})는 제1 누적 커패시터(C_{IA})에 충전된 전하를 방전시킬 수 있다.
- [0069] 제1 출력 트랜지스터(M_{FA})는 제1 누적 커패시터(C_{IA})와 제1 작동 트랜지스터(M_{FA1}) 사이에 직렬 연결될 수 있다. 제1 출력 트랜지스터(M_{FA})는 제1 전압 출력단(N_{OA})에 일단이 연결되고, 타단에는 제1 기준 전압(V_{REF})이 형성될 수 있다.
- [0070] 제1 출력 트랜지스터(M_{FA})는 게이트단에 제1 증폭기(C_A)의 출력단이 연결될 수 있다. 제1 증폭기(C_A)는 제1 기준 전압(V_{REF})이 입력될 수 있다. 이에 따라, 제1 출력 트랜지스터(M_{FA})의 드레인 전압은 제1 기준 전압(V_{REF})으로 유지될 수 있다.

- [0071] 제1 작동 트랜지스터(M_{FA1})는 제1 출력 트랜지스터(M_{FA})와 제1 방전 트랜지스터(M_{FA2}) 사이에 직렬 연결될 수 있다. 제1 작동 트랜지스터(M_{FA1})는 게이트단에 제1 NOR 게이트(N_{GA})에서 출력되는 제1 트리거 펄스(ϕ_{TRGA})가 입력될 수 있다.
- [0072] 제1 방전 트랜지스터(M_{FA2})는 제1 작동 트랜지스터(M_{FA1})와 접지 사이에 직렬 연결될 수 있다. 제1 방전 트랜지스터(M_{FA2})는 게이트단에 AND 게이트(A_G)에서 출력되는 작동 펄스(ϕ_{AR})가 입력될 수 있다.
- [0073] 제2 펄스 계수기(140)는 제1 펄스 계수기(130)와 대체로 동일하게 구성될 수 있다. 제2 펄스 계수기(140)는 제2 누적 커패시터(C_{IB}), 제2 리셋 스위치(ϕ_{RST}), 제2 출력 트랜지스터(M_{FB}), 제2 작동 트랜지스터(M_{FB1}), 및 제2 방전 트랜지스터(M_{FB2})를 포함할 수 있다.
- [0074] 제2 누적 커패시터(C_{IB})는 제1 누적 커패시터(C_{IB})에 인가되는 제1 작동 전압(V_{TOP})과 동일한 제2 작동 전압(V_{TOP})이 인가되는 제2 전극과, 제2 전압 출력단(N_{OB}) 사이에 연결될 수 있다. 제2 리셋 스위치(ϕ_{RST})는 제2 누적 커패시터(C_{IB})에 충전된 전하를 방전시킬 수 있다.
- [0075] 제2 출력 트랜지스터(M_{FB})는 제2 누적 커패시터(C_{IB})와 제2 작동 트랜지스터(M_{FB1}) 사이에 직렬 연결될 수 있다. 제2 출력 트랜지스터(M_{FB})는 제2 전압 출력단(N_{OB})에 일단이 연결되고, 타단에는 제2 기준 전압(V_{REF})이 형성될 수 있다.
- [0076] 제2 출력 트랜지스터(M_{FB})는 게이트단에 제2 증폭기(C_B)의 출력단이 연결될 수 있다. 제2 증폭기(C_B)는 제1 증폭기(C_A)에 입력되는 제1 기준 전압(V_{REF})과 동일한 제2 기준 전압(V_{REF})이 입력될 수 있다. 이에 따라, 제2 출력 트랜지스터(M_{FB})의 드레인 전압은 제2 기준 전압(V_{REF})으로 유지될 수 있다.
- [0077] 제2 작동 트랜지스터(M_{FB1})는 제2 출력 트랜지스터(M_{FB})와 제2 방전 트랜지스터(M_{FB2}) 사이에 직렬 연결될 수 있다. 제2 작동 트랜지스터(M_{FB1})는 게이트단에 제2 NOR 게이트(N_{GB})에서 출력되는 제2 트리거 펄스(ϕ_{TRGB})가 입력될 수 있다.
- [0078] 제2 방전 트랜지스터(M_{FB2})는 제2 작동 트랜지스터(M_{FB1})와 접지 사이에 직렬 연결될 수 있다. 제2 방전 트랜지스터(M_{FB2})는 게이트단에 AND 게이트(A_G)에서 출력되는 작동 펄스(ϕ_{AR})가 입력될 수 있다.
- [0079] 제1 펄스 계수기(130)의 제1 출력 트랜지스터(M_{FA}), 제1 작동 트랜지스터(M_{FA1}), 및 제1 방전 트랜지스터(M_{FA2}), 제2 펄스 계수기(140)의 제2 출력 트랜지스터(M_{FB}), 제2 작동 트랜지스터(M_{FB1}), 및 제2 방전 트랜지스터(M_{FB2})는 NMOS 트랜지스터로 구현될 수 있다.
- [0080] 도 4는 본 발명의 실시예에 따른 이미지 센서를 구성하는 제1 펄스 계수기의 작동 상태를 나타낸 도면이다. 도 5는 본 발명의 실시예에 따른 이미지 센서를 구성하는 제2 펄스 계수기의 작동 상태를 나타낸 도면이다.
- [0081] 도 4 및 도 5는 펄스 파형을 가지는 제1 트리거 펄스(ϕ_{TRGA})가 제1 펄스 계수기(130)의 제1 작동 트랜지스터(M_{FA1})의 게이트단으로 입력되고, 로우 레벨의 제2 트리거 펄스(ϕ_{TRGB})가 제2 펄스 계수기(140)의 제2 작동 트랜지스터(M_{FB1})의 게이트단으로 입력되는 상태를 나타낸 것이다.
- [0082] 도 1, 도 2, 도 4 및 도 5를 참조하면, 제1 펄스 계수기(130)는 제1 트리거 펄스(ϕ_{TRGA})에 의해 제1 작동 트랜지스터(M_{FA1})가 턴온 상태로 되고, 제1 작동 트랜지스터(M_{FA1})를 통해 전하(Q_D)가 방출된다.
- [0083] 결과적으로 전하(Q_D) 방출량에 비례하는 전압 감소량(ΔV_{OA})(도시된 예에서, 1.5 mV) 만큼 제1 전압 출력단(N_{OA})의 제1 트리거 전압(V_{OA} , V_{SIG})이 감소한다. 제1 트리거 전압(V_{OA})은 제1 트리거 펄스(ϕ_{TRGA})의 입력시마다 반복적으로 일정한 전압 감소량(ΔV_{OA}) 만큼씩 감소하게 된다.
- [0084] 이에 따라 제1 트리거 전압(V_{OA})을 통해, 제1 트리거 펄스(ϕ_{TRGA})의 펄스 횟수를 계수할 수 있으며, 계수된 제1 트리거 펄스(ϕ_{TRGA})의 펄스 횟수로부터 해당 픽셀 값이 결정될 수 있다.

- [0085] 예를 들어, 제1 트리거 펄스(ϕ_{TRGA})의 펄스 횟수가 큰 경우, 해당 픽셀 위치에 대상체가 존재하는 것으로 판단할 수 있으며, 제1 트리거 펄스(ϕ_{TRGA})의 펄스 횟수가 작으면, 해당 픽셀 위치에 대상체가 존재하지 않는 것으로 판단할 수 있다.
- [0086] 작동 펄스(ϕ_{AR})는 작동 펄스(ϕ_{AR})는 제1 트리거 펄스(ϕ_{TRGA}) 보다 늦은 위상으로 제1 방전 트랜지스터(M_{FA2})의 게이트단으로 입력될 수 있다. 이에 따라 제1 작동 트랜지스터(M_{FA1})와 제1 방전 트랜지스터(M_{FA2}) 사이에 기생 커패시터(C_{PA})에 누적된 전하가 접지 측으로 방출되어 리셋(reset) 동작이 수행될 수 있다.
- [0087] 한편, 도 5에 도시된 바와 같이, 로우 레벨의 제2 트리거 펄스(ϕ_{TRGB})가 제2 펄스 계수기(140)의 제2 작동 트랜지스터(M_{FB1})의 게이트단에 입력되면, 제2 작동 트랜지스터(M_{FB1})가 턴오프되어, 제2 작동 트랜지스터(M_{FB1})를 통한 전하 방출이 이루어지지 않는다.
- [0088] 이 경우, 제2 트리거 전압(V_{OB})의 전압 감소량(ΔV_{OB})은 없으며, 제2 전압 출력단(N_{OB})의 제2 트리거 전압(V_{OB} , V_{NOS})은 감소하지 않는다. 이에 따라 제2 트리거 펄스(ϕ_{TRGB})의 펄스 횟수 계수 값도 변화되지 않는다.
- [0089] 도 6은 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 생성부의 리셋 동작을 나타낸 도면이다. 도 1, 도 2 및 도 6을 참조하면, 광 검출기(110)로 광이 입사되지 않는 리셋 모드에서, 리셋 전압(ϕ_{PR})은 로우 레벨을 가지며, 이에 따라 AND 게이트(A_G)의 출력단에 작동 펄스(ϕ_{AR})가 로직 '0'에 해당하는 로우 레벨로 출력되고, 리셋 트랜지스터(M_{AR})가 오프 상태로 될 수 있다.
- [0090] 또한, 리셋 모드에서, PMOS 트랜지스터(M_{PQ})의 게이트단에 로우 레벨의 리셋 전압(ϕ_{PR})이 입력되어 PMOS 트랜지스터(M_{PQ})가 온 상태로 되며, 이에 따라 일정한 설정 전압(V_{PIX})이 제1 인버터(I_1)에 입력되어 제1 트리거 펄스(ϕ_{TRGA})와 제2 트리거 펄스(ϕ_{TRGB}) 모두 로우 레벨로 출력될 수 있다.
- [0091] 도 7은 본 발명의 실시예에 따른 이미지 센서의 블록 다이어그램이다. 도 8은 본 발명의 실시예에 따른 이미지 센서를 구성하는 아날로그 디지털 변환기의 구성도이다. 도 9는 본 발명의 실시예에 따른 이미지 센서를 구성하는 아날로그 디지털 변환기의 단일 프레임 타이밍도이다.
- [0092] 도 1, 도 2, 도 7 및 도 8을 참조하면, 본 발명의 실시예에 따른 이미지 센서(100)는 단일 광자 검출기(SPAD) 기반의 픽셀 어레이 이미지 센서(10)를 구성할 수 있다.
- [0093] 픽셀 어레이 이미지 센서(10)는 픽셀 어레이(Pixel Array)(20), 픽셀 제어 로직(Pixel Control Logic)(30), 램프 제너레이터(Ramp Generator)(40), 비교기(Comparator)(50), 계수기(Counter)(60), 메모리(SRAM)(70), 열단 위 스캐너(Column Scanner)(80), 및 출력 드라이버(90)를 포함할 수 있다.
- [0094] 픽셀 어레이(20)는 배열된 광 검출 센서들(22)을 포함할 수 있다. 광 검출 센서들(22)은 다수의 행과 다수의 열을 이루어 배열되는 SPAD 센서들을 포함할 수 있다. 광 검출 센서(22)는 픽셀 어레이 이미지 센서(10)의 각 픽셀마다 배치될 수 있다. 광 검출 센서들(22)의 개수에 따라 이미지의 픽셀 해상도가 결정될 수 있다.
- [0095] 한편, 도 1에 도시된 이미지 센서(10)는 하나의 광 검출 센서(22)에 해당하는 이미지 센서를 나타낸 것이다. 픽셀 제어 로직(30)은 광 검출 센서들(22)의 광 출력, 작동/리셋 등의 동작을 제어할 수 있다.
- [0096] 램프 제너레이터(40)는 각 광 검출 센서(22)의 트리거 전압으로부터 트리거 펄스를 계수하기 위한 램프(Ramp) 전압(V_{ramp})을 생성할 수 있다. 램프 제너레이터(40)에 의해 생성된 램프 전압(V_{ramp})은 비교기(50)로 출력될 수 있다.
- [0097] 비교기(50)는 각 광 검출 센서(22)의 펄스 계수기(130, 140)에서 출력되는 트리거 전압(V_{0A})을 입력받고, 트리거 전압(V_{0A})에 기인하는 출력 전압을 램프 전압(V_{ramp})과 비교할 수 있다. 비교기(50)의 비교 결과에 따른 출력은 계수기(60)로 입력될 수 있다.
- [0098] 비교기(50)의 전압 출력부(150)는 전류원(current source)(I_{SF})과, 접지와 전류원(I_{SF}) 사이에 차례로 직렬 연결되는 제1 PMOS 트랜지스터(M_{A1}) 및 제2 PMOS 트랜지스터(M_{A2})를 포함할 수 있다.

- [0099] 트리거 전압(V_{OA})은 제1 PMOS 트랜지스터(M_{A1})의 게이트단에 입력될 수 있다. 제1 PMOS 트랜지스터(M_{A1})의 게이트단에 입력되는 트리거 전압(V_{OA})이 낮아지면, 전압 출력부(150)에서 출력되는 출력 전압이 증가하고, 증가되는 출력 전압이 아날로그 디지털 변환기(160)로 출력될 수 있다.
- [0100] 아날로그 디지털 변환기(ADC; Analog to Digital Converter)(160)는 비교기(50)에 해당하는 비교부(162)와, 계수기(60) 및 메모리(70)에 해당하는 계수부(164)를 포함할 수 있다. 아날로그 디지털 변환기(160)는 예를 들어, 단일 경사(Single-Slope) ADC로 구현될 수 있으나, 이에 한정되는 것은 아니다.
- [0101] 비교부(162)는 전압 출력부(150)에서 출력되는 출력 전압을 램프 전압(V_{ramp})과 비교하여 계수부(164)로 출력할 수 있다. 계수부(164)는 비교부(162)의 출력에 따라 계수 값을 누적(integration) 연산하여 트리거 전압(V_{OA})에 해당하는 트리거 펄스의 발생 횟수를 계수할 수 있다.
- [0102] 계수기(60)에 의해 계수된 트리거 펄스의 발생 횟수는 SRAM 등의 메모리(70)에 저장될 수 있다. 열단위 스캐너(80)는 픽셀 어레이(20)의 열 단위로 트리거 펄스의 발생 횟수를 계수하는 동작을 실행할 수 있다. 메모리(70)에 저장된 계수 값은 출력 드라이버(90)를 통해 k-비트 데이터로 출력될 수 있다.
- [0103] 아날로그 디지털 변환기(160)는 제1 시간 구간(P_A) 동안 제1 펄스 계수기(130)에 의해 누적되는 제1 트리거 전압(V_{OA})을 제1 펄스 계수 값으로 변환하고, 제2 시간 구간(P_B) 동안 제2 펄스 계수기(140)에 의해 누적되는 제2 트리거 전압(V_{OB})을 제2 펄스 계수 값으로 변환할 수 있다.
- [0104] 이미지 센서(10)는 아날로그 디지털 변환기(160)에 의해 산출되는 제1 펄스 계수 값과 제2 펄스 계수 값 간의 차분 값을 산출하고, 산출된 차분 값을 기반으로 픽셀 값을 결정할 수 있다.
- [0105] 제2 펄스 계수기(140)와 아날로그 디지털 변환기(160)에 의해 산출되는 제2 펄스 계수 값은 광 검출기(110)로부터 광이 출력되지 않는 동안 발생하는 노이즈에 해당하는 노이즈 펄스(도 2의 도면부호 P_N)의 개수를 나타낸다.
- [0106] 이러한 노이즈 펄스는 광 검출기(110)로부터 광이 출력되는 동안에도 유사한 빈도로 발생했을 가능성이 크다. 따라서 제1 펄스 계수기(130)와 아날로그 디지털 변환기(160)에 의해 산출되는 제1 펄스 계수 값에서 제2 펄스 계수 값을 차감한 차분 값을 통해 노이즈 제거된 픽셀 값을 산출할 수 있다.
- [0107] 따라서, 본 발명의 실시예에 의하면, 제1 펄스 계수기(130), 제2 펄스 계수기(140) 및 아날로그 디지털 변환기(160)에 의해 산출되는 제1 펄스 계수 값에서 제2 펄스 계수 값을 기반으로, 제1 펄스 계수 값과 제2 펄스 계수 값 간의 차분 값을 통해 픽셀 값을 결정하여 저 노이즈 이미지를 얻을 수 있다.
- [0108] 도 10은 본 발명의 다른 실시예에 따른 이미지 센서의 회로도이다. 도 11은 도 10의 실시예에 따른 이미지 센서의 신호 타이밍도이다. 도 10 및 도 11의 실시예에 따른 이미지 센서(200)는 3차원 이미지를 생성하기 위해 제공될 수 있다. 도 10 및 도 11의 실시예에 따른 이미지 센서(200)는 광 검출기(210), 펄스 생성부(220), 및 4개의 펄스 계수기(230, 240, 250, 260)를 포함할 수 있다.
- [0109] 광 검출기(210)는 도 1의 실시예에서 설명한 광 검출기(110)와 동일할 수 있으며, 중복되는 설명은 생략한다. 펄스 생성부(220)는 4개의 NOR 게이트(N_{GA} , N_{GB} , N_{GC} , N_{GD})를 포함하는 점에서 도 1의 실시예에서 설명한 펄스 생성부(120)와 차이가 있다.
- [0110] 도 10 및 도 11의 실시예에서, 제1 NOR 게이트(N_{GA})는 제1 인버터(I_1)에서 출력되는 제1 노드(N_1)의 제1 펄스 전압, 제2 인버터(I_2)에서 출력되는 제2 노드(N_2)의 제2 펄스 전압, 및 제1 계수기 선택 신호(ϕ_A)를 입력받아 NOR 연산을 수행하고, 제1 펄스 계수기(230)로 제1 트리거 펄스(ϕ_{TRGA})를 출력할 수 있다.
- [0111] 제2 NOR 게이트(N_{GB})는 제1 인버터(I_1)에서 출력되는 제1 노드(N_1)의 제1 펄스 전압, 제2 인버터(I_2)에서 출력되는 제2 노드(N_2)의 제2 펄스 전압, 및 제2 계수기 선택 신호(ϕ_B)를 입력받아 NOR 연산을 수행하고, 제2 펄스 계수기(240)로 제2 트리거 펄스(ϕ_{TRGB})를 출력할 수 있다.
- [0112] 제3 NOR 게이트(N_{GC})는 제1 인버터(I_1)에서 출력되는 제1 노드(N_1)의 제1 펄스 전압, 제2 인버터(I_2)에서 출력되는 제2 노드(N_2)의 제2 펄스 전압, 및 제3 계수기 선택 신호(ϕ_C)를 입력받아 NOR 연산을 수행하고, 제3 펄스 계수기(250)로 제3 트리거 펄스(ϕ_{TRGC})를 출력할 수 있다.

수기(250)로 제3 트리거 펄스(ϕ_{TRGC})를 출력할 수 있다.

- [0113] 제4 NOR 게이트(N_{GD})는 제1 인버터(I_1)에서 출력되는 제1 노드(N_1)의 제1 펄스 전압, 제2 인버터(I_2)에서 출력되는 제2 노드(N_2)의 제2 펄스 전압, 및 제4 계수기 선택 신호(ϕ_D)를 입력받아 NOR 연산을 수행하고, 제4 펄스 계수기(260)로 제4 트리거 펄스(ϕ_{TRGD})를 출력할 수 있다.
- [0114] 광 검출기(210)로부터 출력되는 광(E_L)의 위상을 기준으로, 위상 0° 내지 90° 에 해당하는 제1 시간 구간(P_A ; $T_a \sim T_b$) 동안, 제1 계수기 선택 신호(ϕ_A)는 로우 레벨이고, 제2 계수기 선택 신호(ϕ_B), 제3 계수기 선택 신호(ϕ_C), 및 제4 계수기 선택 신호(ϕ_D)는 하이 레벨일 수 있다.
- [0115] 위상 90° 내지 180° 에 해당하는 제2 시간 구간(P_B ; $T_b \sim T_c$) 동안, 제2 계수기 선택 신호(ϕ_B)는 로우 레벨이고, 제1 계수기 선택 신호(ϕ_A), 제3 계수기 선택 신호(ϕ_C), 및 제4 계수기 선택 신호(ϕ_D)는 하이 레벨일 수 있다.
- [0116] 위상 180° 내지 270° 에 해당하는 제3 시간 구간(P_C ; $T_c \sim T_d$) 동안, 제3 계수기 선택 신호(ϕ_C)는 로우 레벨이고, 제1 계수기 선택 신호(ϕ_A), 제2 계수기 선택 신호(ϕ_B), 및 제4 계수기 선택 신호(ϕ_D)는 하이 레벨일 수 있다.
- [0117] 위상 270° 내지 360° 에 해당하는 제4 시간 구간(P_D ; $T_d \sim T_e$) 동안, 제4 계수기 선택 신호(ϕ_D)는 로우 레벨이고, 제1 계수기 선택 신호(ϕ_A), 제2 계수기 선택 신호(ϕ_B), 및 제3 계수기 선택 신호(ϕ_C)는 하이 레벨일 수 있다.
- [0118] 각 계수기 선택 신호($\phi_A, \phi_B, \phi_C, \phi_D$)가 로우 레벨인 시간 구간은 서로 중첩되지 않으며, 제1 내지 제4 계수기 선택 신호($\phi_A, \phi_B, \phi_C, \phi_D$)가 동일한 시간 주기로 순차적으로 로우 레벨을 가지도록 설정될 수 있다.
- [0119] 제1 계수기 선택 신호(ϕ_A)가 로우 레벨이고, 다른 계수기 선택 신호(ϕ_B, ϕ_C, ϕ_D)가 하이 레벨인 제1 시간 구간(P_A) 동안, 펄스 생성부(220)는 제1 NOR 게이트(N_{GA})의 출력단을 통해 제1 트리거 펄스(ϕ_{TRGA})를 제1 펄스 계수기(230)로 출력할 수 있다.
- [0120] 제2 계수기 선택 신호(ϕ_B)가 로우 레벨이고, 다른 계수기 선택 신호(ϕ_A, ϕ_C, ϕ_D)가 하이 레벨인 제2 시간 구간(P_B) 동안, 펄스 생성부(220)는 제2 NOR 게이트(N_{GB})의 출력단을 통해 제2 트리거 펄스(ϕ_{TRGB})를 제2 펄스 계수기(240)로 출력할 수 있다.
- [0121] 제3 계수기 선택 신호(ϕ_C)가 로우 레벨이고, 다른 계수기 선택 신호(ϕ_A, ϕ_B, ϕ_D)가 하이 레벨인 제3 시간 구간(P_C) 동안, 펄스 생성부(220)는 제3 NOR 게이트(N_{GC})의 출력단을 통해 제3 트리거 펄스(ϕ_{TRGC})를 제3 펄스 계수기(250)로 출력할 수 있다.
- [0122] 제4 계수기 선택 신호(ϕ_D)가 로우 레벨이고, 다른 계수기 선택 신호(ϕ_A, ϕ_B, ϕ_C)가 하이 레벨인 제4 시간 구간(P_D) 동안, 펄스 생성부(220)는 제4 NOR 게이트(N_{GD})의 출력단을 통해 제4 트리거 펄스(ϕ_{TRGD})를 제4 펄스 계수기(260)로 출력할 수 있다.
- [0123] AND 게이트(A_G)의 출력단인 제3 노드(N_3)에 출력되는 작동 펄스(ϕ_{AR})는 트리거 펄스($\phi_{TRGA}, \phi_{TRGB}, \phi_{TRGC}, \phi_{TRGD}$)보다 늦은 위상을 가질 수 있다. 리셋 트랜지스터(M_{AR})는 AND 게이트(A_G)에서 출력되는 작동 펄스(ϕ_{AR})에 따라 작동하여 광 검출기(210)의 출력단 전압을 리셋시킬 수 있다.
- [0124] 작동 펄스(ϕ_{AR})는 트리거 펄스($\phi_{TRGA}, \phi_{TRGB}, \phi_{TRGC}, \phi_{TRGD}$)와 시간 차를 가지고 제1 펄스 계수기(230), 제2 펄스 계수기(240), 제3 펄스 계수기(250), 및 제4 펄스 계수기(260)로 출력될 수 있다.
- [0125] 제1 내지 제4 NOR 게이트($N_{GA}, N_{GB}, N_{GC}, N_{GD}$) 중 로우 레벨의 계수기 선택 신호(예를 들어, ϕ_A)가 입력되는 NOR 게이트(예를 들어, 제1 NOR 게이트)에만 트리거 펄스(ϕ_{TRGA})의 펄스 신호가 출력되고, 다른 NOR 게이트($N_{GB}, N_{GC},$

N_{GD})에는 로우 레벨의 트리거 펄스(ϕ_{TRGB} , ϕ_{TRGC} , ϕ_{TRGD})가 출력될 수 있다.

- [0126] 제1 내지 제4 펄스 계수기(230, 240, 250, 260)는 누적 커패시터(C_{IA} , C_{IB} , C_{IC} , C_{ID}), 리셋 스위치(ϕ_{RST}), 출력 트랜지스터(M_{FA} , M_{FB} , M_{FC} , M_{FD}), 작동 트랜지스터(M_{FA1} , M_{FB1} , M_{FC1} , M_{FD1}), 및 방전 트랜지스터(M_{FA2} , M_{FB2} , M_{FC2} , M_{FD2})를 포함할 수 있다.
- [0127] 제1 내지 제4 펄스 계수기(230, 240, 250, 260)는 도 1의 실시예에 따른 펄스 계수기(130, 140)와 유사한 구조를 가질 수 있으므로, 중복 설명은 생략하기로 한다.
- [0128] 제1 작동 트랜지스터(M_{FA1})는 게이트단에 제1 NOR 게이트(N_{GA})에서 출력되는 제1 트리거 펄스(ϕ_{TRGA})가 입력될 수 있다. 제2 작동 트랜지스터(M_{FB1})는 게이트단에 제2 NOR 게이트(N_{GB})에서 출력되는 제2 트리거 펄스(ϕ_{TRGB})가 입력될 수 있다.
- [0129] 제3 작동 트랜지스터(M_{FC1})는 게이트단에 제3 NOR 게이트(N_{GC})에서 출력되는 제3 트리거 펄스(ϕ_{TRGC})가 입력될 수 있다. 제4 작동 트랜지스터(M_{FD1})는 게이트단에 제4 NOR 게이트(N_{GD})에서 출력되는 제4 트리거 펄스(ϕ_{TRGD})가 입력될 수 있다.
- [0130] 각 방전 트랜지스터(M_{FA2} , M_{FB2} , M_{FC2} , M_{FD2})의 게이트단에는 AND 게이트(A_G)에서 출력되는 작동 펄스(ϕ_{AR})가 입력될 수 있다. 제1 내지 제4 펄스 계수기(230, 240, 250, 260)의 출력 트랜지스터(M_{FA} , M_{FB} , M_{FC} , M_{FD}), 작동 트랜지스터(M_{FA1} , M_{FB1} , M_{FC1} , M_{FD1}), 및 방전 트랜지스터(M_{FA2} , M_{FB2} , M_{FC2} , M_{FD2})는 NMOS 트랜지스터일 수 있다.
- [0131] 제1 내지 제4 펄스 계수기(230, 240, 250, 260)는 각각 전압 출력단(N_{OA} , N_{OB} , N_{OC} , N_{OD})을 통해 트리거 전압(V_{OA} , V_{OB} , V_{OC} , V_{OD})을 출력할 수 있다. 트리거 전압(V_{OA} , V_{OB} , V_{OC} , V_{OD})을 통해, 트리거 펄스(ϕ_{TRGA} , ϕ_{TRGB} , ϕ_{TRGC} , ϕ_{TRGD})의 펄스 횟수를 계수할 수 있으며, 계수된 트리거 펄스 횟수로부터 픽셀 값이 결정될 수 있다.
- [0132] 도 8 및 도 10을 참조하면, 아날로그 디지털 변환기(160)는 제1 시간 구간(P_A) 동안 제1 펄스 계수기(230)에 의해 누적되는 제1 트리거 전압(V_{OA} , V_{PO})을 제1 펄스 계수 값으로 변환할 수 있다.
- [0133] 아날로그 디지털 변환기(160)는 제2 시간 구간(P_B) 동안 제2 펄스 계수기(240)에 의해 누적되는 제2 트리거 전압(V_{OB} , V_{P90})을 제2 펄스 계수 값으로 변환할 수 있다.
- [0134] 아날로그 디지털 변환기(160)는 제3 시간 구간(P_C) 동안 제3 펄스 계수기(250)에 의해 누적되는 제3 트리거 전압(V_{OC} , V_{P180})을 제3 펄스 계수 값으로 변환할 수 있다.
- [0135] 아날로그 디지털 변환기(160)는 제4 시간 구간(P_D) 동안 제4 펄스 계수기(260)에 의해 누적되는 제4 트리거 전압(V_{OD} , V_{P270})을 제4 펄스 계수 값으로 변환할 수 있다.
- [0136] 도 10 및 도 11의 실시예에 따른 이미지 센서(200)는 아날로그 디지털 변환기(160)에 의해 산출된 제1 펄스 계수 값과 제3 펄스 계수 값 간의 제1 차분 값을 산출할 수 있다. 또한, 이미지 센서(200)는 제2 펄스 계수 값과 제4 펄스 계수 값 간의 제2 차분 값을 산출할 수 있다.
- [0137] 이미지 센서(200)는 각 픽셀 별로 제1 차분 값과 제2 차분 값의 합에 대한, 제2 차분 값의 비를 기반으로, 하기 수식 1 및 수식 2에 따라 광 검출기(210)와 이미징 대상(예를 들어, 물체, 사람 등의 대상체) 간의 거리를 산출하여 3차원 이미지를 생성할 수 있다.
- [0138] [수식 1]
- [0139]
$$\alpha = (\pi/2) \cdot (P90-P270) / (|P0-P180|+|P90-P270|)$$
- [0140] [수식 2]
- [0141]
$$L = c \cdot \alpha / (4 \cdot \pi \cdot f_{\text{demod}})$$
- [0142] 수식 1, 수식 2에서, α 는 광 검출기(210)로 입사되는 광의 위상, P0는 제1 펄스 계수 값, P90은 제2 펄스 계수

값, P180은 제3 펄스 계수 값, P270은 제4 펄스 계수 값, c 는 빛의 속도, f_{demod} 는 변조 주파수, L 은 광 검출기 (210)로부터 이미징 대상까지의 거리이다.

- [0143] 이때 P0, P90은 이미징 대상에서 반사되어 광 검출기(210)로 수신된 신호 광으로부터 계수된 펄스 계수 값이고, P180, P270은 광 검출기(210)로 수신된 배경 광(background light)에 의해 발생된 노이즈 펄스의 계수 값이다.
- [0144] 180° 위상차를 가지는 광(P0, P180) (P90, P270)을 이용하여 제1 차분 값(P0-P180) 및 제2 차분 값(P90-P270)을 산출하여 신호 광에 해당하는 광 펄스의 계수 값에서 노이즈 펄스의 계수 값을 제거함으로써 저 노이즈 이미지를 얻을 수 있다.
- [0145] 도 12 내지 도 18은 본 발명의 실시예에 따른 이미지 센서의 성능을 나타낸 도면이다. 본 발명의 실시예에 해당하는 SPAD 기반 iToF(indirect time-of-flight) 이미지 센서를 제작하였다. SPAD 픽셀 어레이는 64 X 64로 설계되었다. 제작된 이미지 센서의 코어 면적은 3 X 2.7 mm², SPAD 픽셀 어레이 면적은 2 X 2 mm², 픽셀 크기는 32 X 32 μm², 필 팩터(fill-factor)는 26.3%이다.
- [0146] 도 12는 본 발명의 실시예에 따른 이미지 센서의 DCR(dark count rate)의 누적 밀도 함수를 나타낸 도면이다. DCR은 입사 포톤의 부재 조건 하에서 43 cps의 중앙값(median value)과, 1900 cps의 평균값(mean value)으로 측정되었다. 130 μs의 누적 시간 동안 단일 프레임에서 0.247 cps의 평균 DCR이 발생하였다.
- [0147] 도 13은 본 발명의 실시예에 따른 이미지 센서의 과장에 따른 PDP(photon detection probability) 분포를 나타낸 도면이다. SPAD에 15.3 V 전압을 인가하여 PDP를 측정하였다. 본 발명의 실시예에 따른 이미지 센서는 480 nm의 과장에서 28.2%의 최대 피크를 나타내었으며, 850 nm의 과장에서 5.85%의 포톤 검출율을 나타내었다.
- [0148] 도 14는 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 계수기의 DNL(differential nonlinearity error) 성능을 나타낸 도면이다. 도 15는 본 발명의 실시예에 따른 이미지 센서를 구성하는 펄스 계수기의 INL(integral nonlinearity error) 성능을 나타낸 도면이다. 펄스 계수기의 DNL은 +0.25/-0.19 LSB, INL은 +0.22/-0.72 LSB로 측정되었으며, 낮은 비선형 오차를 나타내는 것을 알 수 있다.
- [0149] 도 16은 본 발명의 실시예에 따른 이미지 센서의 물체 거리에 따른 1-σ 거리 불확실성(distance uncertainty)을 나타낸 도면이다. 1.56 및 50MHz의 변조 주파수(f_{demod})가 선택되었다. 65프레임/초의 3D 프레임율에서, 이미지 센서는 5 ~ 50 m 거리에서 1.35 ~ 11.3 cm의 거리 불확실성을 나타내었으며, 이는 50 m의 최대 거리에서 0.22 %의 거리 불확실성에 해당하는 것이다. 따라서 본 발명의 실시예에 따른 이미지 센서는 약 50 m의 먼 거리에 위치한 물체에 대해 높은 정확도로 이미지를 생성할 수 있음을 알 수 있다.
- [0150] 도 17 및 도 18은 본 발명의 실시예에 따른 이미지 센서에 의해 획득한 3D 이미지를 나타낸 도면이다. 도 17의 우측 이미지는 본 발명의 실시예에 따른 이미지 센서로 도 17의 좌측 이미지에 나타난 아그리파 동상에 대해 생성한 3D 이미지이다. 1.5 m 거리에 놓여진 아그리파 동상에 대해, 이미지 센서를 이용하여 0.52 ms 동안 50 MHz 변조 주파수(f_{demod})로 3D 이미지를 획득하였다.
- [0151] 도 18의 중간 및 우측 이미지는 본 발명의 실시예에 따른 이미지 센서로 도 18의 좌측 이미지에 나타난 실외 영역(ROI)에 대해 생성한 3D 이미지이다. 20 m 거리의 실외 영역에 대해, 이미지 센서를 이용하여 4.16 ms 동안 3.125 MHz(도 18의 중간 이미지), 25 MHz(도 18의 우측 이미지)의 변조 주파수(f_{demod})로 3D 이미지를 획득하였다. 이때 정확한 측정을 위해 밴드 패드 필터가 사용되었다. 도 17 및 도 18에 도시된 바와 같이, 본 발명의 실시예에 따른 이미지 센서에 의해 3D 이미지를 성공적으로 획득할 수 있었다.
- [0152] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 청구범위와 균등한 것들도 후술하는 청구범위의 범위에 속한다.

부호의 설명

- [0153] 100, 200: 이미지 센서

110, 210: 광 검출기

120, 220: 펄스 생성부

130, 140, 230, 240, 250, 260: 펄스 계수기

160: 아날로그 디지털 변환기

I_1 : 제1 인버터

I_2 : 제2 인버터

N_{GA} , N_{GB} , N_{GC} , N_{GD} : NOR 게이트

A_G : AND 게이트

Φ_{TRGA} , Φ_{TRGB} , Φ_{TRGC} , Φ_{TRGD} : 트리거 펄스

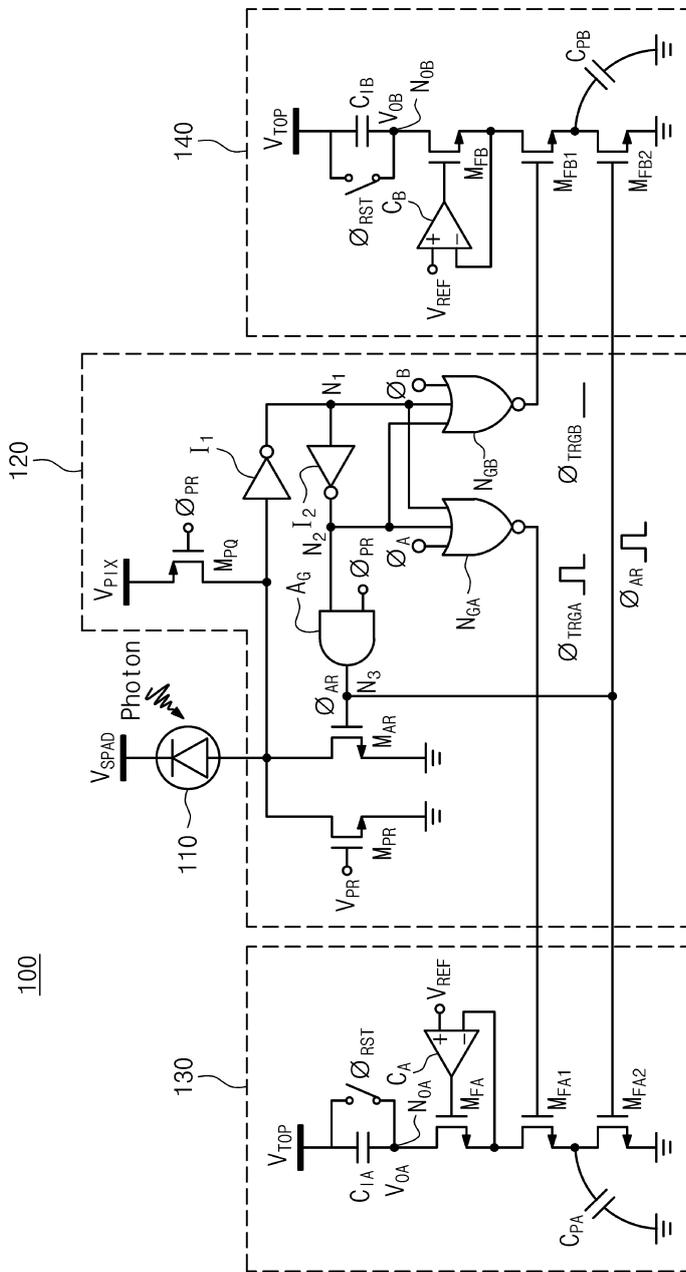
Φ_A , Φ_B , Φ_C , Φ_D : 계수기 선택 신호

V_{OA} , V_{OB} , V_{OC} , V_{OD} : 트리거 전압

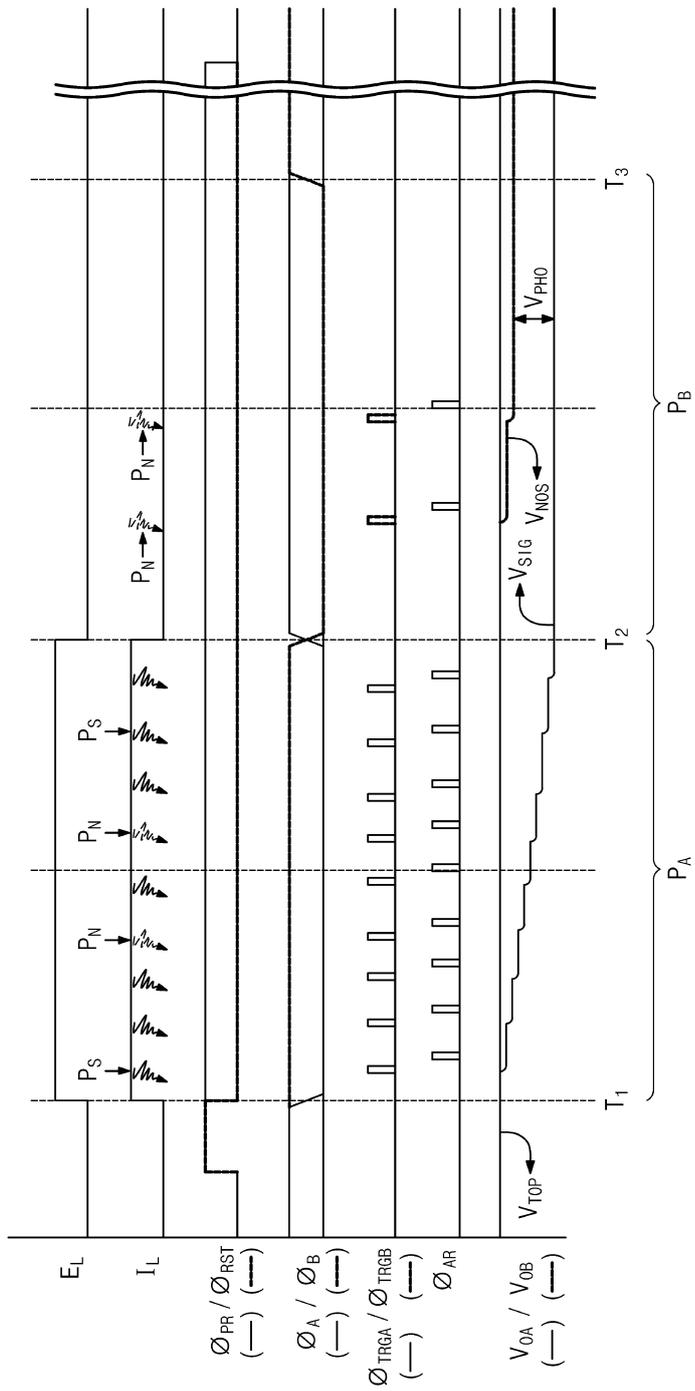
M_{AR} : 리셋 트랜지스터

도면

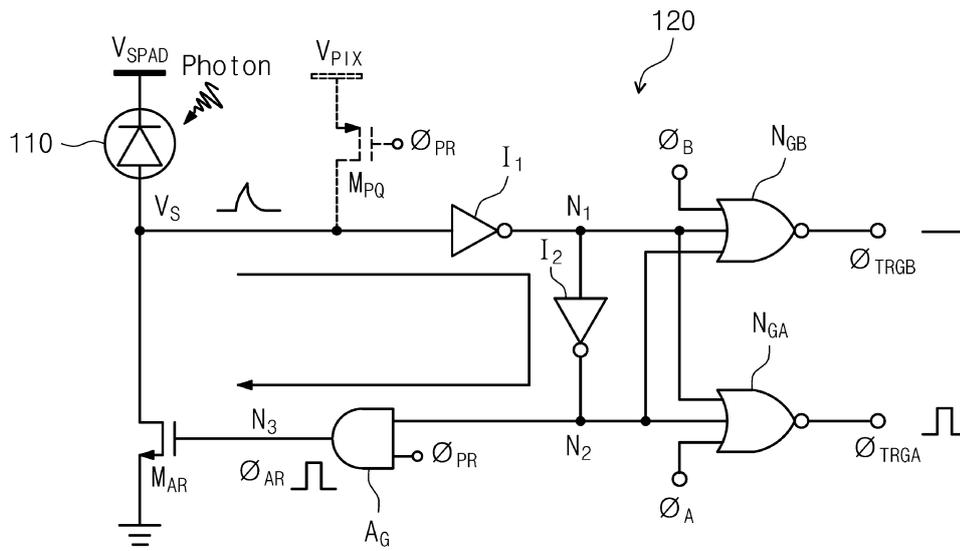
도면1



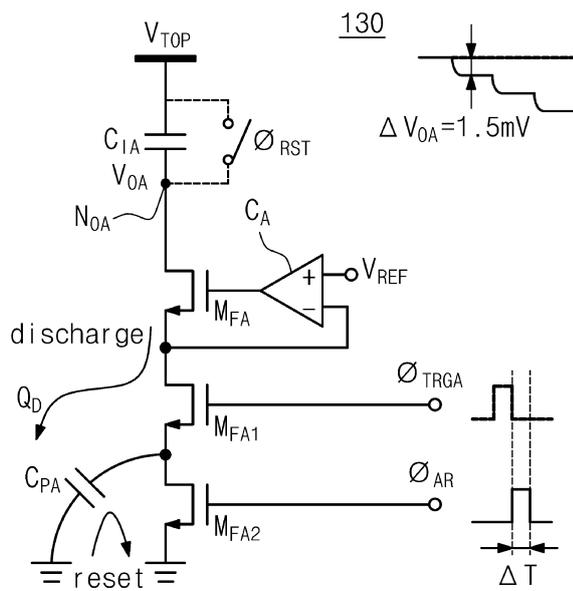
도면2



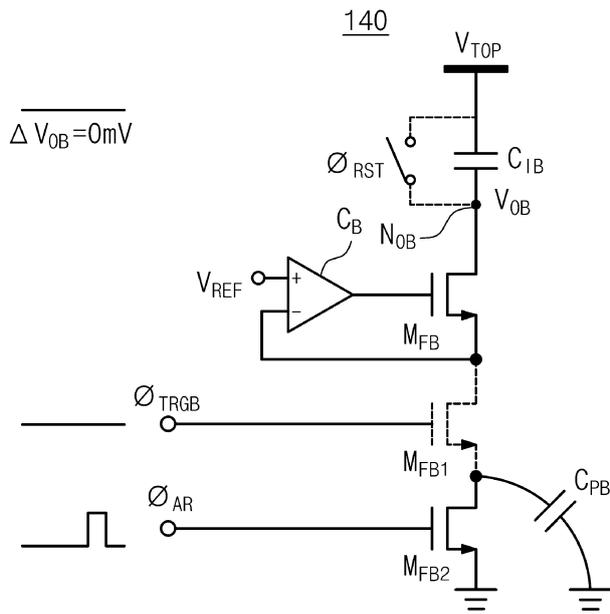
도면3



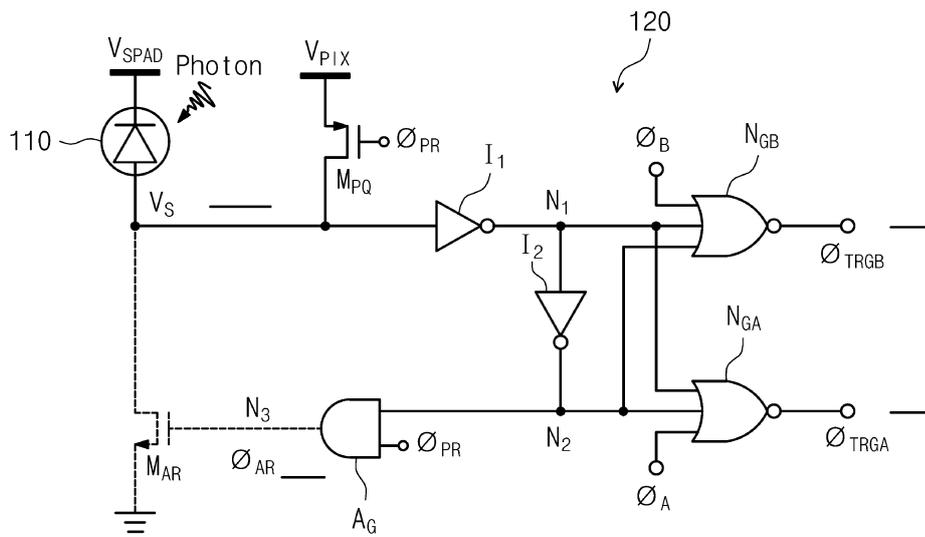
도면4



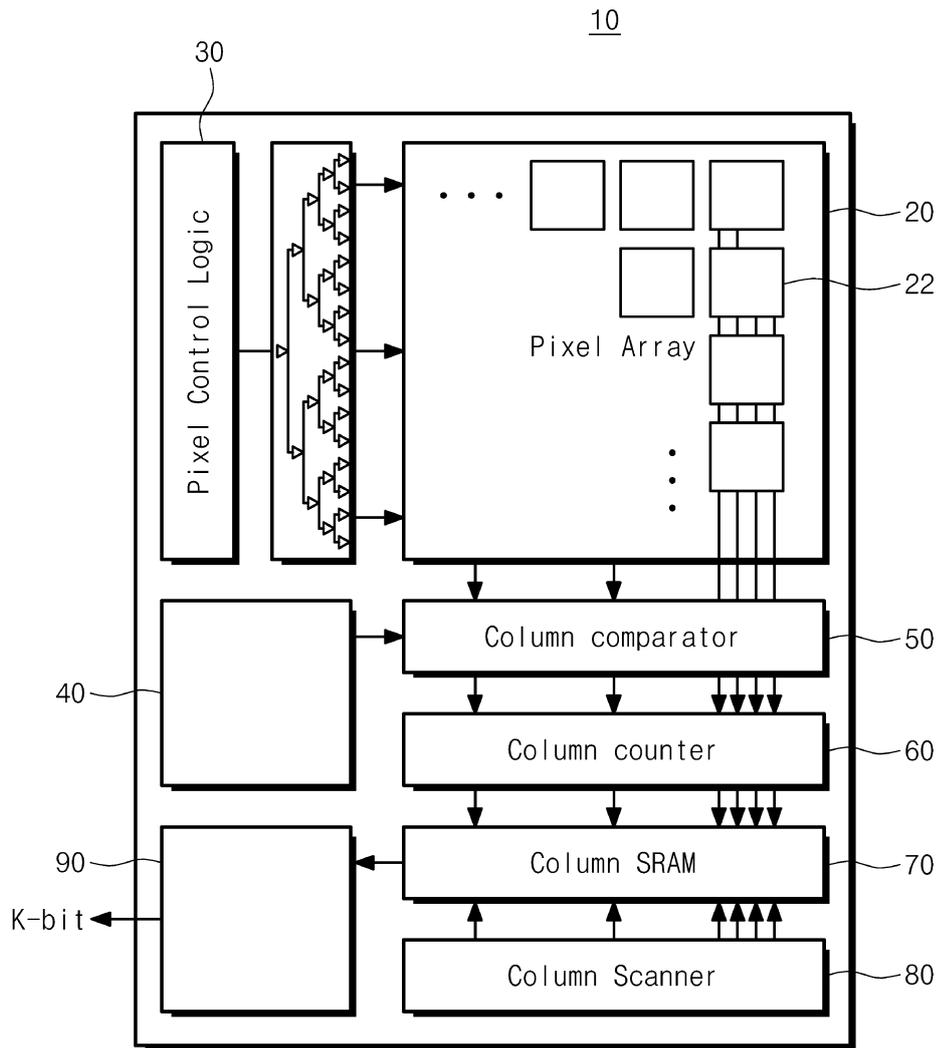
도면5



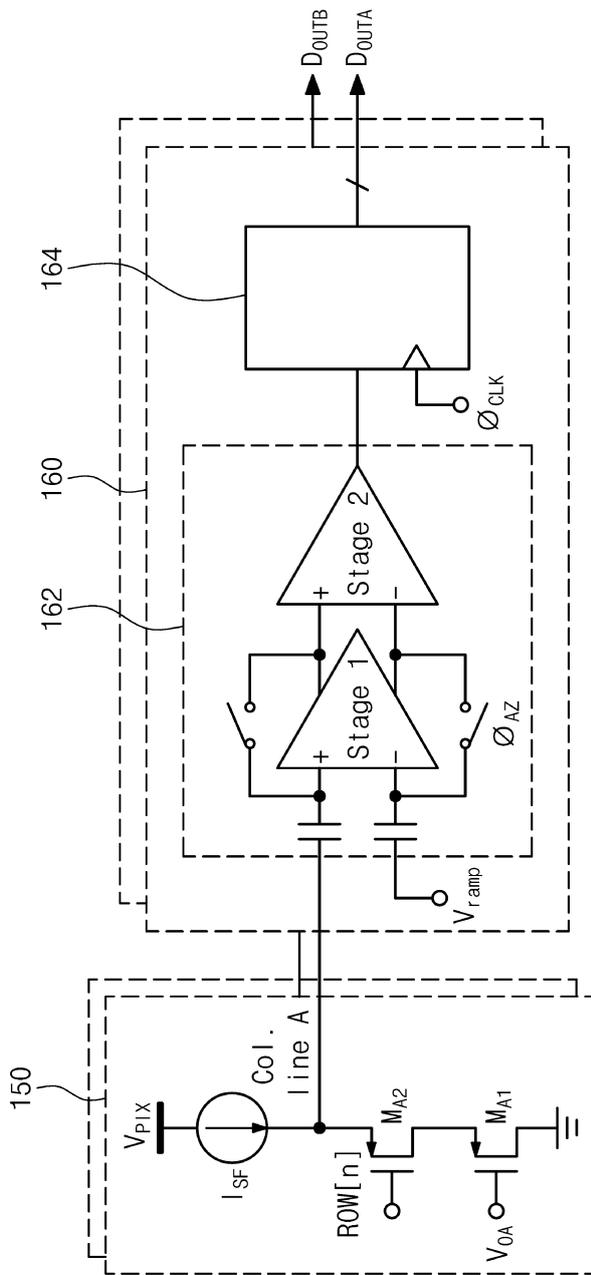
도면6



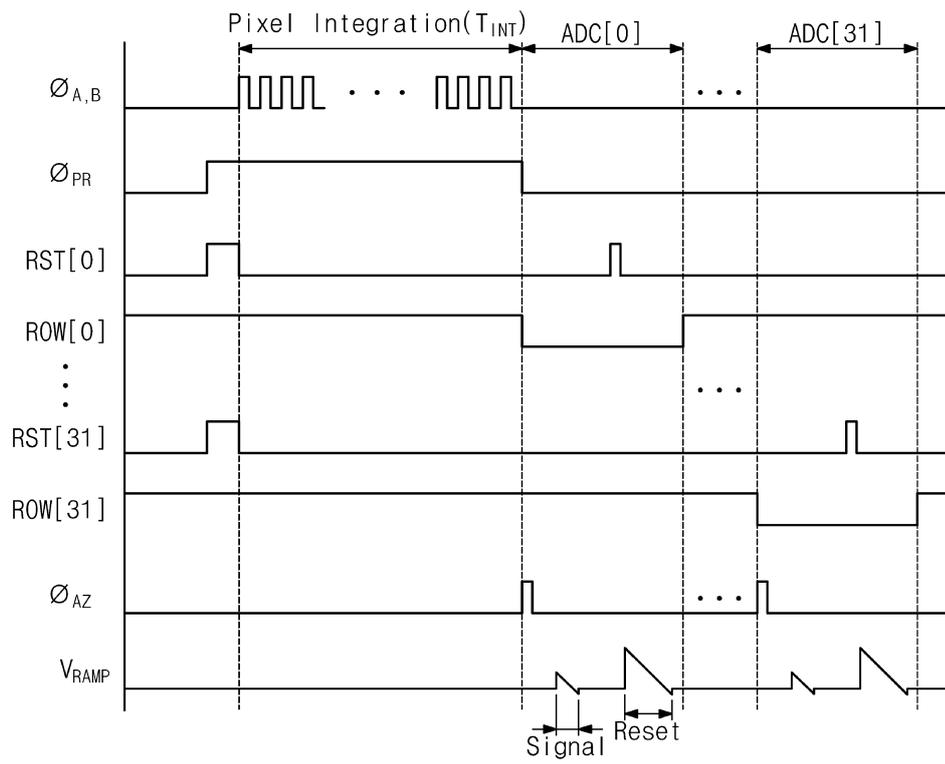
도면7



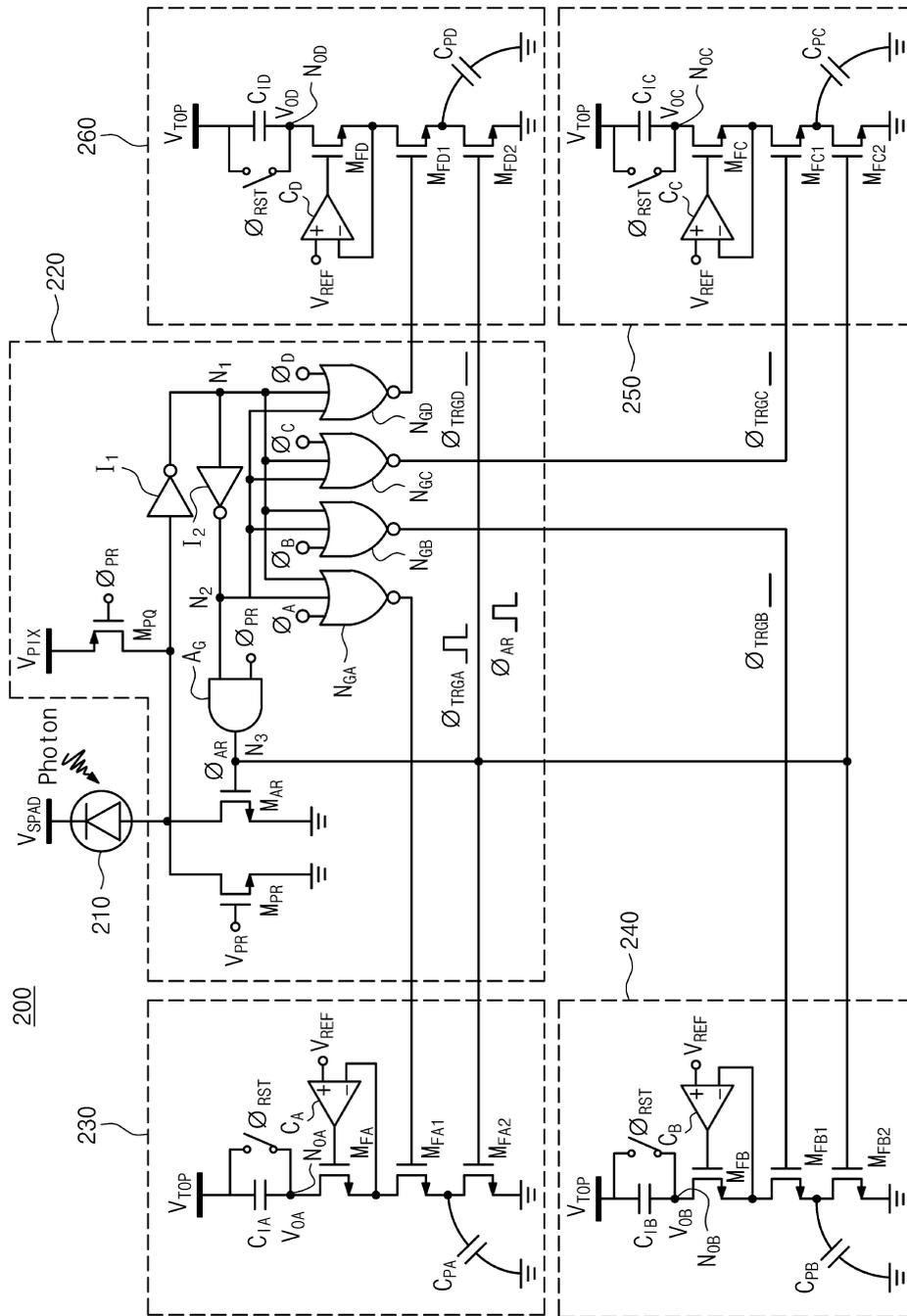
도면8



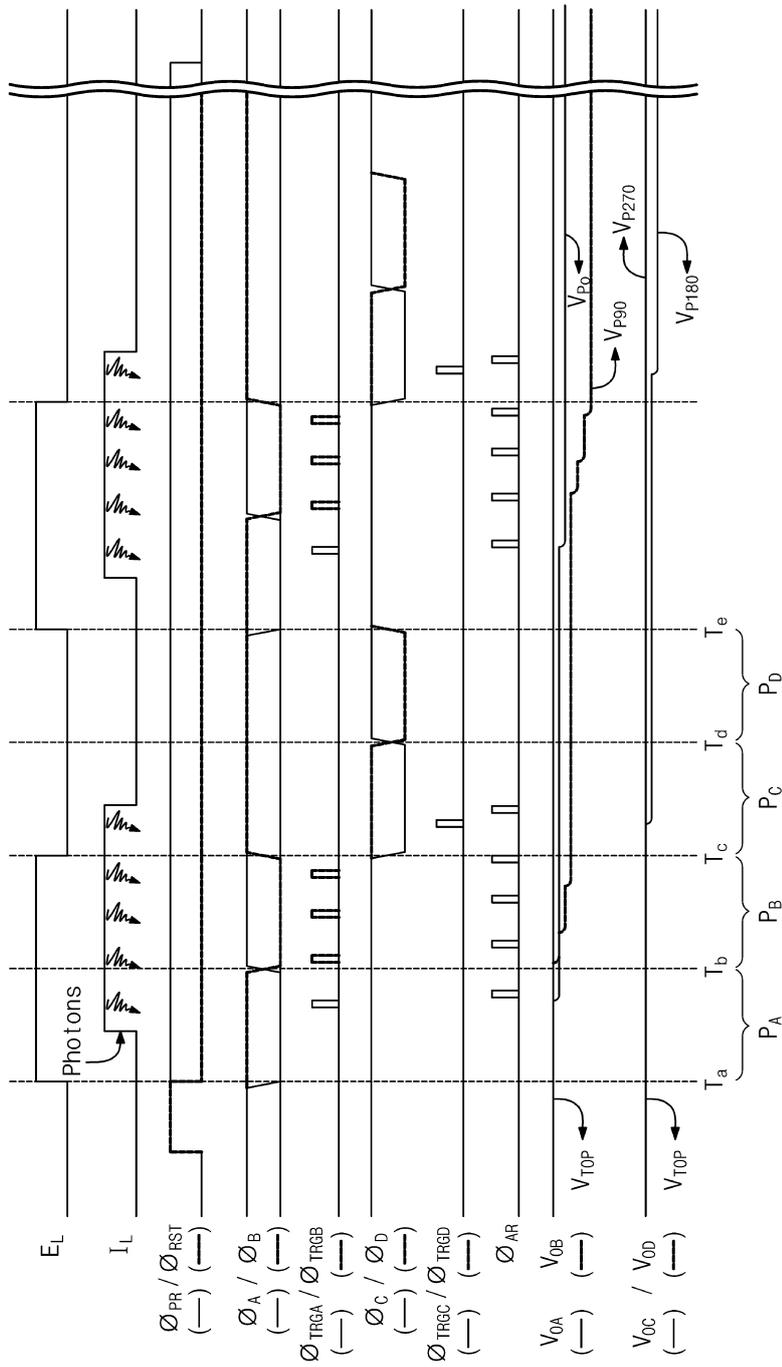
도면9



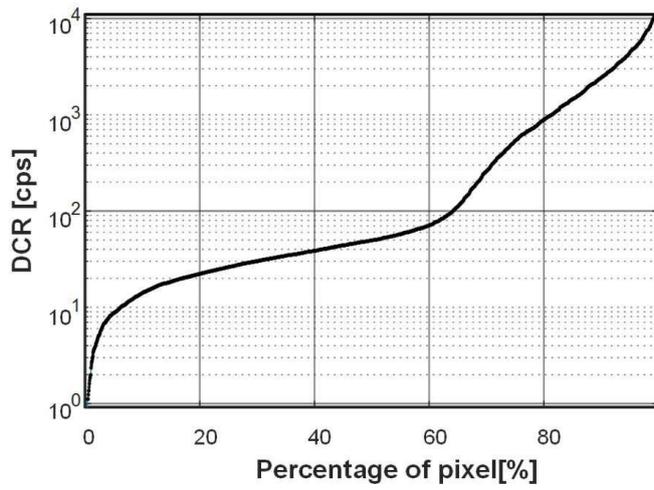
도면10



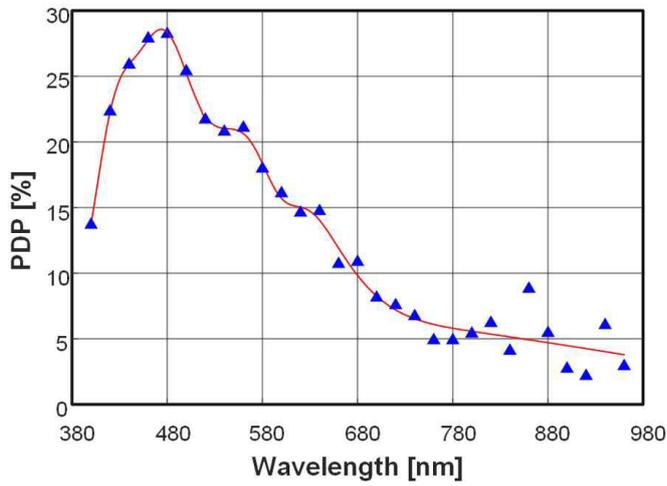
도면11



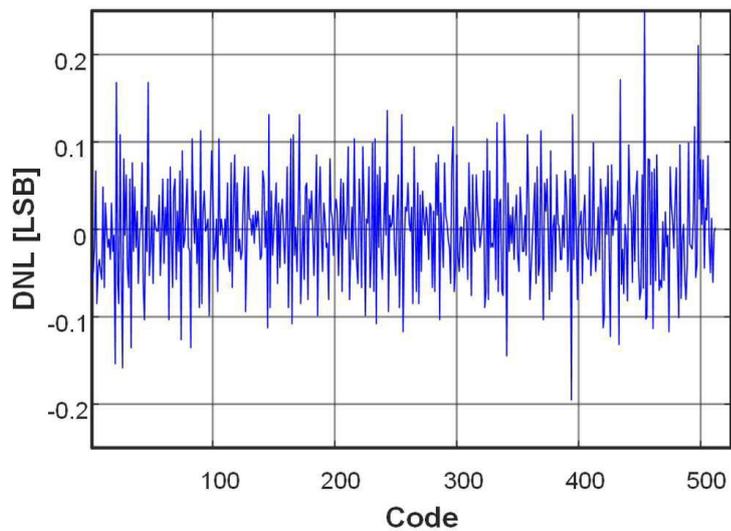
도면12



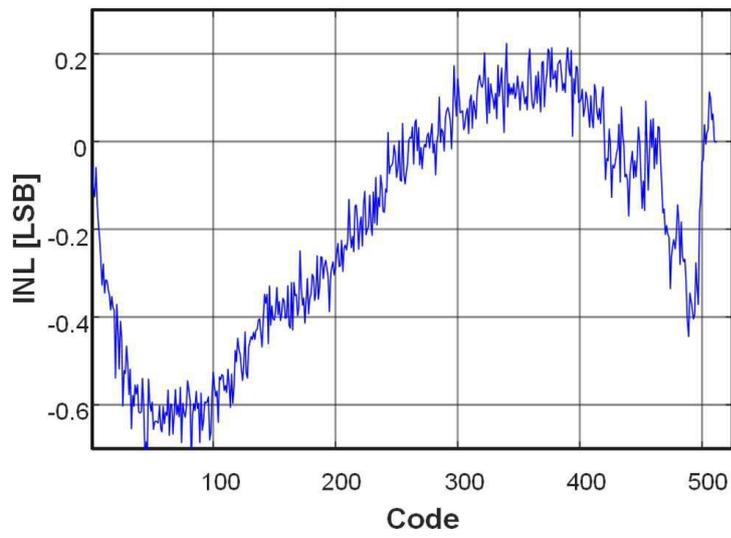
도면13



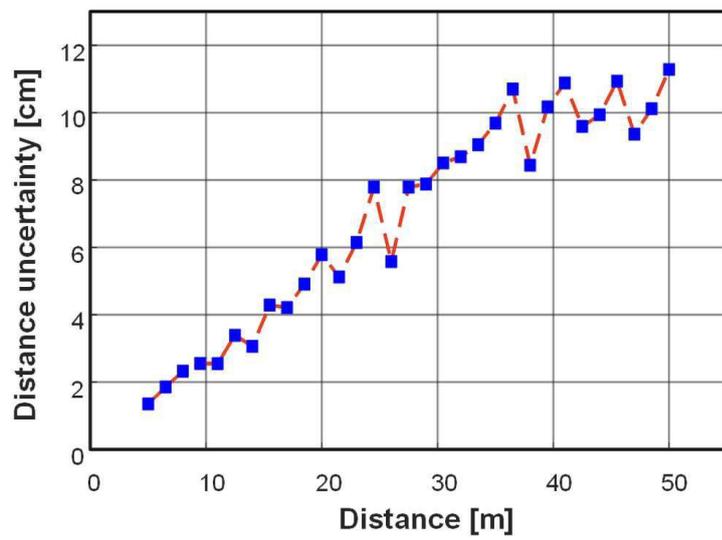
도면14



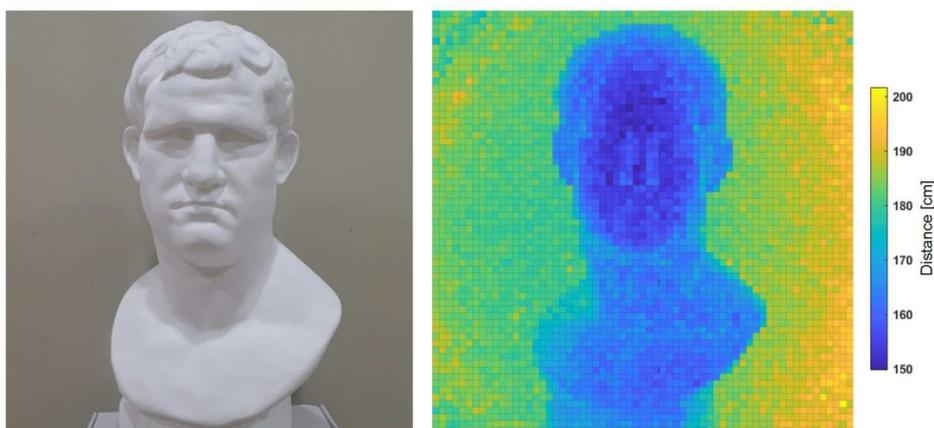
도면15



도면16



도면17



도면18

