



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년09월02일

(11) 등록번호 10-2439133

(24) 등록일자 2022년08월29일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/02 (2006.01)

H01L 27/32 (2006.01) H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 29/786 (2021.01)

H01L 21/02255 (2013.01)

(21) 출원번호 10-2017-0113555

(22) 출원일자 2017년09월05일

심사청구일자 2020년07월08일

(65) 공개번호 10-2019-0027059

(43) 공개일자 2019년03월14일

(56) 선행기술조사문헌

KR1020150056240 A*

KR1020000031244 A*

US20090298226 A1

KR1020010008453 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

김태상

서울특별시 송파구 동남로 225, 108동 1103호

김현재

서울특별시 마포구 마포대로 195, 402동 1101호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 18 항

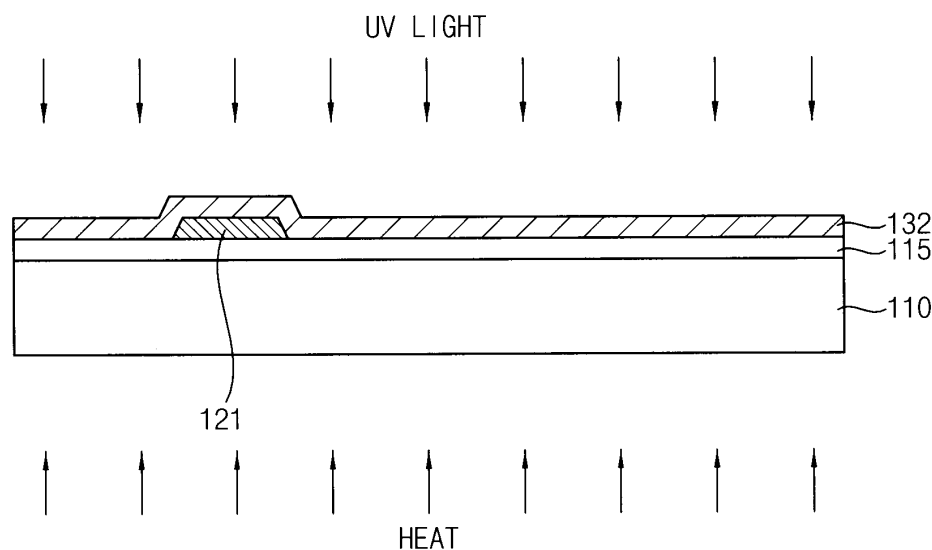
심사관 : 강필승

(54) 발명의 명칭 박막트랜지스터 기관, 이의 제조 방법 및 이를 포함하는 표시 장치의 제조 방법

(57) 요약

박막트랜지스터 기관의 제조 방법은 베이스 기관 상에 게이트 전극을 형성하고, 베이스 기관 상에 게이트 전극을 덮는 게이트 절연막을 형성하며, 게이트 절연막에 자외선을 조사하는 동시에 게이트 절연막을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행하고, 게이트 절연막 상에 게이트 전극과 중첩하는 액티브 패턴을 형성하며, 그리고 게이트 절연막 상에 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하는 것을 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

H01L 21/0231 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

임준형

서울특별시 서초구 방배중앙로 207-10, 104동 250
1호

탁영준

서울특별시 서대문구 연희로8길 26, 504호

명세서

청구범위

청구항 1

베이스 기판 상에 게이트 전극을 형성하는 단계;

상기 베이스 기판 상에 상기 게이트 전극을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막에 자외선을 조사하는 동시에 상기 게이트 절연막을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행하는 단계;

상기 게이트 절연막 상에 상기 게이트 전극과 중첩하는 액티브 패턴을 형성하는 단계;

상기 게이트 절연막 상에 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하는 단계;

상기 베이스 기판 상에 제1 전극을 형성하는 단계; 및

상기 게이트 절연막 상에 상기 제1 전극과 중첩하는 제2 전극을 형성하는 단계를 포함하고,

상기 제1 전극, 상기 게이트 절연막 및 상기 제2 전극에 의해 저항 변화 메모리가 정의되는, 박막트랜지스터 기판의 제조 방법.

청구항 2

제1항에 있어서,

상기 자외선 조사 및 열처리 동시 공정은 상기 게이트 절연막을 형성한 후 및 상기 액티브 패턴을 형성하기 전에 수행되는, 박막트랜지스터 기판의 제조 방법.

청구항 3

제1항에 있어서,

상기 게이트 전극, 상기 게이트 절연막, 상기 액티브 패턴, 상기 소스 전극 및 상기 드레인 전극은 스퍼터링 공정으로 형성되는, 박막트랜지스터 기판의 제조 방법.

청구항 4

제1항에 있어서,

상기 게이트 절연막은 서로 대향하는 제1 면 및 제2 면을 포함하고,

상기 제1 면에 대해 자외선이 조사되고, 상기 제2 면에 대해 열이 공급되는, 박막트랜지스터 기판의 제조 방법.

청구항 5

제1항에 있어서,

상기 자외선 조사 및 열처리 동시 공정은 100 °C 내지 250 °C의 온도에서 수행되는, 박막트랜지스터 기판의 제조 방법.

청구항 6

제1항에 있어서,

상기 자외선 조사 및 열처리 동시 공정은 185 nm 내지 370 nm의 파장을 갖는 자외선을 사용하여 수행되는, 박막트랜지스터 기판의 제조 방법.

청구항 7

제1항에 있어서,

상기 자외선 조사 및 열처리 동시 공정은 1 분 내지 3 시간 동안 수행되는, 박막트랜지스터 기관의 제조 방법.

청구항 8

제1항에 있어서,

상기 자외선 조사 및 열처리 동시 공정은 산소 또는 수분 분위기에서 수행되는, 박막트랜지스터 기관의 제조 방법.

청구항 9

제1항에 있어서,

상기 소스 전극 및 상기 드레인 전극을 형성하기 전에 상기 액티브 패턴 상에 식각 방지막을 형성하는 단계를 더 포함하는, 박막트랜지스터 기관의 제조 방법.

청구항 10

삭제

청구항 11

제1항에 있어서,

상기 게이트 절연막은 상기 게이트 전극과 상기 액티브 패턴 사이에 위치하는 제1 영역 및 상기 제1 전극과 상기 제2 전극 사이에 위치하는 제2 영역을 포함하고,

상기 자외선 조사 및 열처리 동시 공정은 상기 제1 영역에만 수행되고 상기 제2 영역에는 수행되지 않는, 박막트랜지스터 기관의 제조 방법.

청구항 12

제11항에 있어서,

상기 제1 영역에는 자외선이 조사되고, 상기 제2 영역에는 자외선이 조사되지 않는, 박막트랜지스터 기관의 제조 방법.

청구항 13

제1항에 있어서,

상기 제1 전극은 상기 게이트 전극과 동시에 형성되고,

상기 제2 전극은 상기 소스 전극 및 상기 드레인 전극과 동시에 형성되는, 박막트랜지스터 기관의 제조 방법.

청구항 14

베이스 기관;

상기 베이스 기관 상에 배치되는 게이트 전극;

상기 베이스 기관 상에 배치되며 상기 게이트 전극을 덮는 게이트 절연막;

상기 게이트 절연막 상에 배치되며 상기 게이트 전극과 중첩하는 액티브 패턴;

상기 게이트 절연막 상에 배치되며 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극;

상기 베이스 기관 상에 배치되는 제1 전극; 및

상기 게이트 절연막 상에 배치되며 상기 제1 전극과 중첩하는 제2 전극을 포함하고,

상기 게이트 절연막은 제1 영역 및 제2 영역을 포함하고, 상기 제1 영역은 상기 게이트 전극과 상기 액티브 패턴 사이에 위치하며,

상기 제1 전극, 상기 게이트 절연막의 상기 제2 영역 및 상기 제2 전극에 의해 저항 변화 메모리가 정의되는, 박막트랜지스터 기관.

청구항 15

삭제

청구항 16

제14항에 있어서,

상기 제1 영역의 물방울 접촉각은 상기 제2 영역의 물방울 접촉각보다 작은, 박막트랜지스터 기관.

청구항 17

제14항에 있어서,

상기 제1 영역의 산소 함량은 상기 제2 영역의 산소 함량보다 큰, 박막트랜지스터 기관.

청구항 18

베이스 기관 상에 게이트 전극을 형성하는 단계;

상기 베이스 기관 상에 상기 게이트 전극을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막에 자외선을 조사하는 동시에 상기 게이트 절연막을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행하는 단계;

상기 게이트 절연막 상에 상기 게이트 전극과 중첩하는 액티브 패턴을 형성하는 단계;

상기 게이트 절연막 상에 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하는 단계;

상기 드레인 전극에 전기적으로 연결되는 화소 전극을 형성하는 단계;

상기 화소 전극 상에 상기 화소 전극의 일부를 노출시키는 화소 정의막을 형성하는 단계;

상기 노출된 화소 전극 상에 유기 발광층을 형성하는 단계;

상기 유기 발광층 및 상기 화소 정의막 상에 공통 전극을 형성하는 단계;

상기 베이스 기관 상에 제1 전극을 형성하는 단계; 및

상기 게이트 절연막 상에 상기 제1 전극과 중첩하는 제2 전극을 형성하는 단계를 포함하고,

상기 제1 전극, 상기 게이트 절연막 및 상기 제2 전극에 의해 저항 변화 메모리가 정의되는, 표시 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 자외선 조사 및 열처리 동시 공정은 상기 게이트 절연막을 형성한 후 및 상기 액티브 패턴을 형성하기 전에 수행되는, 표시 장치의 제조 방법.

청구항 20

제18항에 있어서,

상기 게이트 전극, 상기 게이트 절연막, 상기 액티브 패턴, 상기 소스 전극 및 상기 드레인 전극은 스퍼터링 공정으로 형성되는, 표시 장치의 제조 방법.

발명의 설명

기술 분야

- [0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 박막트랜지스터 기판, 박막트랜지스터 기판의 제조 방법 및 박막트랜지스터 기판을 포함하는 표시 장치의 제조 방법에 관한 것이다.

배경 기술

- [0002] 표시 장치에 포함되는 박막트랜지스터 기판은 절연층, 도전층, 반도체층 등의 박막들을 포함할 수 있다. 이러한 박막들을 형성하기 위하여 화학 기상 증착(chemical vapor deposition: CVD) 공정 등이 사용될 수 있다. 화학 기상 증착 공정으로 박막들을 형성하는 경우, 상대적으로 높은 공정 온도가 요구되어 베이스 기판의 선택이 제한되거나 베이스 기판이 변형 및 손상되어 표시 장치의 품질이 저하될 수 있다.

발명의 내용

해결하려는 과제

- [0003] 본 발명의 일 목적은 박막트랜지스터의 특성을 향상시키는 박막트랜지스터 기판 및 표시 장치의 제조 방법들을 제공하는 것이다.
- [0004] 본 발명의 일 목적은 박막트랜지스터의 특성이 향상된 박막트랜지스터 기판을 제공하는 것이다.
- [0005] 다만, 본 발명의 목적이 이와 같은 목적들에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 전술한 본 발명의 일 목적을 달성하기 위하여, 일 실시예에 따른 박막트랜지스터 기판의 제조 방법은 베이스 기판 상에 게이트 전극을 형성하고, 상기 베이스 기판 상에 상기 게이트 전극을 덮는 게이트 절연막을 형성하며, 상기 게이트 절연막에 자외선을 조사하는 동시에 상기 게이트 절연막을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행하고, 상기 게이트 절연막 상에 상기 게이트 전극과 중첩하는 액티브 패터를 형성하며, 그리고 상기 게이트 절연막 상에 상기 액티브 패터와 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하는 것을 포함할 수 있다.
- [0007] 일 실시예에 있어서, 상기 자외선 조사 및 열처리 동시 공정은 상기 게이트 절연막을 형성한 후 및 상기 액티브 패터를 형성하기 전에 수행될 수 있다.
- [0008] 일 실시예에 있어서, 상기 게이트 전극, 상기 게이트 절연막, 상기 액티브 패터, 상기 소스 전극 및 상기 드레인 전극은 스퍼터링 공정으로 형성될 수 있다.
- [0009] 일 실시예에 있어서, 상기 게이트 절연막은 서로 대향하는 제1 면 및 제2 면을 포함할 수 있다. 상기 제1 면에 대해 자외선이 조사되고, 상기 제2 면에 대해 열이 공급될 수 있다.
- [0010] 일 실시예에 있어서, 상기 자외선 조사 및 열처리 동시 공정은 약 100 °C 내지 약 250 °C의 온도에서 수행될 수 있다.
- [0011] 일 실시예에 있어서, 상기 자외선 조사 및 열처리 동시 공정은 약 185 nm 내지 약 370 nm의 파장을 갖는 자외선을 사용하여 수행될 수 있다.
- [0012] 일 실시예에 있어서, 상기 자외선 조사 및 열처리 동시 공정은 약 1 분 내지 약 3 시간 동안 수행될 수 있다.
- [0013] 일 실시예에 있어서, 상기 자외선 조사 및 열처리 동시 공정은 산소 또는 수분 분위기에서 수행될 수 있다.
- [0014] 일 실시예에 있어서, 상기 박막트랜지스터 기판의 제조 방법은 상기 소스 전극 및 상기 드레인 전극을 형성하기 전에 상기 액티브 패터 상에 식각 방지막을 형성하는 것을 더 포함할 수 있다.
- [0015] 일 실시예에 있어서, 상기 박막트랜지스터 기판의 제조 방법은 상기 베이스 기판 상에 제1 전극을 형성하고, 상기 게이트 절연막 상에 상기 제1 전극과 중첩하는 제2 전극을 형성하는 것을 더 포함할 수 있다. 상기 제1 전극, 상기 게이트 절연막 및 상기 제2 전극에 의해 저항 변화 메모리가 정의될 수 있다.
- [0016] 일 실시예에 있어서, 상기 게이트 절연막은 상기 게이트 전극과 상기 액티브 패터 사이에 위치하는 제1 영역 및

상기 제1 전극과 상기 제2 전극 사이에 위치하는 제2 영역을 포함할 수 있다. 상기 자외선 조사 및 열처리 동시 공정은 상기 제1 영역에만 수행되고 상기 제2 영역에는 수행되지 않을 수 있다.

[0017] 일 실시예에 있어서, 상기 제1 영역에는 자외선이 조사되고, 상기 제2 영역에는 자외선이 조사되지 않을 수 있다.

[0018] 일 실시예에 있어서, 상기 제1 전극은 상기 게이트 전극과 동시에 형성되고, 상기 제2 전극은 상기 소스 전극 및 상기 드레인 전극과 동시에 형성될 수 있다.

[0019] 전술한 본 발명의 일 목적을 달성하기 위하여, 일 실시예에 따른 박막트랜지스터 기판은 베이스 기판, 상기 베이스 기판 상에 배치되는 게이트 전극, 상기 베이스 기판 상에 배치되며 상기 게이트 전극을 덮는 게이트 절연막, 상기 게이트 절연막 상에 배치되며 상기 게이트 전극과 중첩하는 액티브 패턴, 그리고 상기 게이트 절연막 상에 배치되며 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함할 수 있다. 상기 게이트 절연막은 제1 영역 및 제2 영역을 포함하고, 상기 제1 영역은 상기 게이트 전극과 상기 액티브 패턴 사이에 위치할 수 있다. 상기 제1 영역의 물방울 접촉각은 약 1 도 내지 약 40 도일 수 있다.

[0020] 일 실시예에 있어서, 상기 박막트랜지스터 기판은 상기 베이스 기판 상에 배치되는 제1 전극 및 상기 게이트 절연막 상에 배치되며 상기 제1 전극과 중첩하는 제2 전극을 더 포함할 수 있다. 상기 제1 전극, 상기 게이트 절연막의 상기 제2 영역 및 상기 제2 전극에 의해 저항 변화 메모리가 정의될 수 있다.

[0021] 일 실시예에 있어서, 상기 제1 영역의 물방울 접촉각은 상기 제2 영역의 물방울 접촉각보다 작을 수 있다.

[0022] 일 실시예에 있어서, 상기 제1 영역의 산소 함량은 상기 제2 영역의 산소 함량보다 클 수 있다.

[0023] 전술한 본 발명의 일 목적을 달성하기 위하여, 일 실시예에 따른 표시 장치의 제조 방법은 베이스 기판 상에 게이트 전극을 형성하고, 상기 베이스 기판 상에 상기 게이트 전극을 덮는 게이트 절연막을 형성하며, 상기 게이트 절연막에 자외선을 조사하는 동시에 상기 게이트 절연막을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행하고, 상기 게이트 절연막 상에 상기 게이트 전극과 중첩하는 액티브 패턴을 형성하며, 상기 게이트 절연막 상에 상기 액티브 패턴과 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하고, 상기 드레인 전극에 전기적으로 연결되는 화소 전극을 형성하며, 상기 화소 전극 상에 상기 화소 전극의 일부를 노출시키는 화소 정의막을 형성하고, 상기 노출된 화소 전극 상에 유기 발광층을 형성하며, 그리고 상기 유기 발광층 및 상기 화소 정의막 상에 공통 전극을 형성하는 것을 포함할 수 있다.

[0024] 일 실시예에 있어서, 상기 자외선 조사 및 열처리 동시 공정은 상기 게이트 절연막을 형성한 후 및 상기 액티브 패턴을 형성하기 전에 수행될 수 있다.

[0025] 일 실시예에 있어서, 상기 게이트 전극, 상기 게이트 절연막, 상기 액티브 패턴, 상기 소스 전극 및 상기 드레인 전극은 스퍼터링 공정으로 형성될 수 있다.

발명의 효과

[0026] 본 발명의 일 실시예에 따른 박막트랜지스터 기판 및 표시 장치의 제조 방법들에 의하면, 게이트 절연막에 자외선을 조사하는 동시에 게이트 절연막을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행함으로써, 박막트랜지스터의 특성을 향상시킬 수 있다.

[0027] 본 발명의 일 실시예에 따른 박막트랜지스터 기판은 절연 특성이 개선된 게이트 절연막을 포함함으로써, 박막트랜지스터 기판의 특성을 향상시킬 수 있다.

[0028] 다만, 본 발명의 효과가 전술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0029] 도 1, 도 2, 도 3, 도 4, 도 5 및 도 6은 본 발명의 일 실시예에 따른 박막트랜지스터 기판의 제조 방법을 순차적으로 나타내는 단면도들이다.

도 7, 도 8 및 도 9는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 순차적으로 나타내는 단면도들이다.

도 10, 도 11, 도 12 및 도 13은 본 발명의 다른 실시예에 따른 박막트랜지스터 기판의 제조 방법을 순차적으로

나타내는 단면도들이다.

도 14, 도 15, 도 16, 도 17 및 도 18은 본 발명의 또 다른 실시예에 따른 박막트랜지스터 기관의 제조 방법을 순차적으로 나타내는 단면도들이다.

도 19는 박막트랜지스터 기관의 게이트 절연막의 절연 특성을 나타내는 그래프이다.

도 20은 박막트랜지스터 기관의 박막트랜지스터의 전달 특성을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들에 따른 박막트랜지스터 기관들, 박막트랜지스터 기관의 제조 방법들 및 표시 장치의 제조 방법들을 보다 상세하게 설명한다. 첨부된 도면들 상의 동일한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0031] 이하, 도 1, 도 2, 도 3, 도 4, 도 5 및 도 6을 참조하여 본 발명의 일 실시예에 따른 박막트랜지스터 기관의 제조 방법 및 박막트랜지스터 기관을 설명한다.
- [0032] 도 1, 도 2, 도 3, 도 4, 도 5 및 도 6은 본 발명의 일 실시예에 따른 박막트랜지스터 기관의 제조 방법을 순차적으로 나타내는 단면도들이다.
- [0033] 도 1을 참조하면, 베이스 기관(110) 상에 게이트 전극(121)을 형성할 수 있다. 먼저, 베이스 기관(110)을 준비할 수 있다. 베이스 기관(110)은 플렉서블한 성질을 가질 수 있다. 일 실시예에 있어서, 베이스 기관(110)은 상대적으로 낮은 유리전이온도를 가지는 물질을 포함할 수 있다. 예를 들면, 베이스 기관(110)은 폴리카보네이트(polycarbonate: PC), 폴리아릴레이트(polyarylate: PAR), 폴리에테르술폰(polyethersulfone: PES) 등을 포함할 수 있다. 다른 실시예에 있어서, 베이스 기관(110)은 상대적으로 높은 유리전이온도를 가지는 물질을 포함할 수도 있다. 예를 들면, 베이스 기관(110)은 폴리이미드(polyimide: PI) 등을 포함할 수 있다.
- [0034] 그 다음, 베이스 기관(110) 상에 버퍼막(115)을 형성할 수 있다. 버퍼막(115)은 베이스 기관(110)으로 불순물이 확산되는 것을 방지할 수 있다. 또한, 버퍼막(115)은 베이스 기관(110) 전체의 평탄도를 향상시킬 수 있다. 다시 말해, 베이스 기관(110)의 상면이 상대적으로 불균일한 경우에도, 버퍼막(115)이 평탄한 상면을 가지면서 베이스 기관(110) 상에 배치될 수 있다. 일부 실시예에 있어서, 버퍼막(115)은 생략될 수도 있다.
- [0035] 그 다음, 버퍼막(115) 상에 게이트 패턴을 형성할 수 있다. 상기 게이트 패턴은 게이트 배선(미도시) 및 상기 게이트 배선으로부터 돌출되는 게이트 전극(121)을 포함할 수 있다. 예를 들면, 버퍼막(115) 상에 제1 도전층을 형성하고, 상기 제1 도전층을 식각하여 게이트 전극(121)을 형성할 수 있다.
- [0036] 도 2를 참조하면, 베이스 기관(110) 상에 게이트 전극(121)을 덮는 게이트 절연막(131)을 형성할 수 있다.
- [0037] 종래의 박막트랜지스터 기관의 제조 방법에 있어서, 게이트 절연막은 주로 화학 기상 증착(chemical vapor deposition: CVD) 공정(예를 들면, 플라스마 증대 화학 기상 증착(plasma enhanced chemical vapor deposition: PECVD) 공정)을 이용하여 형성될 수 있다. 화학 기상 증착 공정을 이용하여 게이트 절연막을 형성하는 경우에, 재료 선택의 제한, 상대적으로 높은 공정 온도의 필요성, 공정 이후 발생하는 부산물의 형성 등의 문제점들이 발생할 수 있다. 특히, 플렉서블 박막트랜지스터 기관을 구현함에 있어서, 상대적으로 높은 공정 온도로 인하여 상대적으로 높은 유리전이온도를 가지는 베이스 기관을 선택해야만 하는 제한사항이 있을 수 있다.
- [0038] 도 3을 참조하면, 게이트 절연막(131)에 자외선을 조사하는 동시에 게이트 절연막(131)을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행할 수 있다.
- [0039] 일 실시예에 있어서, 도 3에 도시된 바와 같이, 게이트 절연막(131)의 상면에 대해 자외선(UV LIGHT)을 조사하고, 게이트 절연막(131)의 저면에 대해 열(HEAT)을 공급할 수 있다. 예를 들면, 상기 자외선 조사 및 열처리 동시 공정은 약 100 °C 내지 약 250 °C의 온도에서, 약 185 nm 내지 약 370 nm의 파장을 갖는 자외선을 사용하여, 약 1 분 내지 약 3 시간 동안 수행될 수 있다. 여기서, 상기 자외선 조사 및 열처리 동시 공정은 자외선 램프 또는 단파장 LED로부터 방출되는 자외선을 이용할 수 있다. 또한, 상기 자외선 조사 및 열처리 동시 공정은 베이스 기관(110)을 핫 플레이트 상에 배치하거나 퍼니스 내에 로딩시킨 후에 수행될 수 있다. 예를 들면, 상기 자외선 조사 및 열처리 동시 공정은 산소 또는 수분 분위기에서 수행될 수 있다.
- [0040] 다른 실시예에 있어서, 게이트 절연막(131)의 저면에 대해 자외선(UV LIGHT)을 조사하고, 게이트 절연막(131)의 상면에 대해 열(HEAT)을 공급할 수도 있다. 또 다른 실시예에 있어서, 게이트 절연막(131)의 상면 및 저면에 대

해 자외선(UV LIGHT)을 조사하고, 열(HEAT)을 공급할 수도 있다.

- [0041] 게이트 절연막(131)에 상기 자외선 조사 및 열처리 동시 공정을 수행함으로써, 자외선 조사 및 열처리된 게이트 절연막(132)을 수득할 수 있다. 여기서, 도 2의 참조번호 131은 자외선 조사 및 열처리되기 전의 게이트 절연막을 나타내고, 도 3의 참조번호 132는 자외선 조사 및 열처리된 후의 게이트 절연막을 나타낸다. 게이트 절연막(131)에 상기 자외선 조사 및 열처리 동시 공정을 수행함에 따라, 상대적으로 낮은 온도(약 100 °C 내지 약 250 °C)에서 게이트 절연막(132)을 형성할 수 있다.
- [0042] 자외선 조사 및 열처리된 게이트 절연막(132)은 약 1 도 내지 약 40 도의 물방울 접촉각을 가질 수 있다. 접촉각이란 액체가 고체 표면 위에서 열역학적으로 평형을 이룰 때 이루는 각이고, 고체 표면의 습윤성(wettability)을 나타내는 척도를 의미한다. 또한, 물방울 접촉각이란 고체 표면과 물방울 사이의 접촉각을 의미한다. 물방울 접촉각이 상대적으로 작은 경우, 우수한 습윤성 및 높은 표면에너지를 나타내며 친수성의 특성을 갖는다. 물방울 접촉각이 상대적으로 큰 경우, 습윤성이 좋지 않고 낮은 표면에너지를 나타내며 소수성의 특성을 갖는다. 게이트 절연막(132)이 약 1 도 내지 약 40 도의 물방울 접촉각을 가짐으로써, 게이트 절연막(132)은 친수성의 특성을 가질 수 있다.
- [0043] 자외선 조사 및 열처리된 게이트 절연막(132)은 상대적으로 큰 산소 함량을 가질 수 있다. 상기 자외선 조사 및 열처리 동시 공정을 수행하는 경우에, 반응성이 높은 산소 라디칼(oxygen radical)들이 지속적으로 게이트 절연막(132)에 공급될 수 있다. 이에 따라, 게이트 절연막(132) 내에 다량의 산소가 존재할 수 있다.
- [0044] 도 4를 참조하면, 게이트 절연막(132) 상에 게이트 전극(121)과 중첩하는 액티브 패턴(140)을 형성할 수 있다. 예를 들면, 게이트 절연막(132) 상에 반도체층을 형성하고, 상기 반도체층을 식각하여 액티브 패턴(140)을 형성할 수 있다.
- [0045] 액티브 패턴(140)은 산화물 반도체, 비정질 실리콘, 다결정 실리콘 등을 포함할 수 있다. 여기서, 상기 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 및 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 예를 들면, 상기 산화물 반도체는 IGZO(Indium-Gallium-Zinc Oxide)를 포함할 수 있다.
- [0046] 도 5를 참조하면, 액티브 패턴(140) 상에 식각 방지막(150)을 형성할 수 있다. 예를 들면, 게이트 절연막(132) 상에 액티브 패턴(140)을 덮는 절연층을 형성하고, 상기 절연층을 식각하여 식각 방지막(150)을 형성할 수 있다. 여기서, 식각 방지막(150)은 액티브 패턴(140)의 채널 영역에 대응하도록 형성될 수 있다. 식각 방지막(150)은 액티브 패턴(140) 상에 위치하여 소스 전극(도 6의 161) 및 드레인 전극(도 6의 162)을 형성하는 과정에서 액티브 패턴(140)이 손상되는 것을 방지할 수 있다. 일부 실시예에 있어서, 식각 방지막(150)은 생략될 수도 있다.
- [0047] 버퍼막(115), 게이트 절연막(131, 132) 및 식각 방지막(150)은 실리콘 화합물, 금속 산화물 등으로 형성될 수 있다. 예를 들면, 버퍼막(115), 게이트 절연막(131, 132) 및 식각 방지막(150)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0048] 도 6을 참조하면, 게이트 절연막(132) 상에 데이터 패턴을 형성할 수 있다. 상기 데이터 패턴은 데이터 배선(미도시) 및 액티브 패턴(140)과 전기적으로 연결되는 소스 전극(161) 및 드레인 전극(162)을 포함할 수 있다. 예를 들면, 게이트 절연막(132) 상에 액티브 패턴(140) 및 식각 방지막(150)을 덮는 제2 도전층을 형성하고, 상기 제2 도전층을 식각하여 소스 전극(161) 및 드레인 전극(162)을 형성할 수 있다. 여기서, 소스 전극(161) 및 드레인 전극(162)은 각각 액티브 패턴(140)의 소스 영역 및 드레인 영역에 대응하도록 형성될 수 있다.
- [0049] 게이트 전극(121), 소스 전극(161) 및 드레인 전극(162)은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 몰리브덴, 티타늄, 백금, 탄탈륨, 루테튬 등과 같은 금속, 이들 금속들을 포함하는 합금들, 이들 금속들의 질화물들, 도전성 금속 산화물 등을 포함할 수 있다. 게이트 전극(121), 게이트 절연막(132), 액티브 패턴(140), 소스 전극(161) 및 드레인 전극(162)에 의해 박막트랜지스터가 정의될 수 있다.
- [0050] 일 실시예에 있어서, 게이트 전극(121), 게이트 절연막(132), 액티브 패턴(140), 소스 전극(161) 및 드레인 전극(162)은 스퍼터링(sputtering) 공정을 이용하여 형성될 수 있다. 예를 들면, 스퍼터링 챔버(미도시) 내에 베이스 기판(110)을 배치하고, 베이스 기판(110) 상에 게이트 전극(121), 게이트 절연막(132), 액티브 패턴(140), 소스 전극(161) 및 드레인 전극(162)을 순차적으로 형성할 수 있다.
- [0051] 종래의 박막트랜지스터 기판의 제조 방법에 있어서, 게이트 전극, 액티브 패턴, 소스 전극 및 드레인 전극은 주

로 스퍼터링 공정을 이용하여 형성되고, 게이트 절연막은 주로 화학 기상 증착 공정을 이용하여 형성될 수 있다. 이 경우, 스퍼터링 챔버 내에서 게이트 전극을 형성한 후에, 베이스 기판을 화학 기상 증착 챔버 내로 이동하여 게이트 절연막을 형성하고, 다시 베이스 기판을 스퍼터링 챔버 내로 이동하여 액티브 패턴, 소스 전극 및 드레인 전극을 형성함에 따라, 박막트랜지스터 기판의 제조 공정이 복잡해질 수 있다.

[0052] 그러나, 전술한 바와 같이, 본 발명의 일 실시예에 있어서, 스퍼터링 공정을 이용하여 게이트 전극(121), 게이트 절연막(132), 액티브 패턴(140), 소스 전극(161) 및 드레인 전극(162)을 형성할 수 있고, 스퍼터링 챔버 내에서 게이트 전극(121), 게이트 절연막(132), 액티브 패턴(140), 소스 전극(161) 및 드레인 전극(162)을 형성함에 따라, 박막트랜지스터 기판의 제조 공정이 단순해질 수 있다.

[0053] 이하, 도 7, 도 8 및 도 9를 참조하여 본 발명의 일 실시예에 따른 표시 장치의 제조 방법 및 표시 장치를 설명한다.

[0054] 본 발명의 일 실시예에 따른 표시 장치는 본 발명의 일 실시예에 따른 박막트랜지스터 기판과 실질적으로 동일하거나 유사한 박막트랜지스터 기판을 포함할 수 있다. 이에 따라, 본 발명의 일 실시예에 따른 표시 장치의 제조 방법은 도 1 내지 도 6을 참조하여 예시된 본 발명의 일 실시예에 따른 박막트랜지스터 기판의 제조 방법과 실질적으로 동일하거나 유사한 제조 방법을 포함할 수 있다. 이에 따라, 중복되는 제조 방법의 구성에 관한 설명은 생략한다.

[0055] 도 7, 도 8 및 도 9는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 순차적으로 나타내는 단면도들이다.

[0056] 도 7을 참조하면, 게이트 절연막(132) 상에 소스 전극(161) 및 드레인 전극(162)을 덮는 보호막(165)을 형성할 수 있다. 예를 들면, 게이트 절연막(132) 상에 상기 박막트랜지스터를 덮는 보호막(165)을 형성하고, 보호막(165)을 부분적으로 식각하여 드레인 전극(162)의 일부를 노출시키는 접촉 구멍을 형성할 수 있다. 여기서, 상기 접촉 구멍은 포토리소그래피(photolithography) 공정을 통해 수득될 수 있다. 보호막(165)은 투명 절연 물질 등을 포함할 수 있다.

[0057] 도 8을 참조하면, 보호막(165) 상에 화소 전극(170) 및 화소 정의막(175)을 형성할 수 있다. 먼저, 드레인 전극(162)에 전기적으로 연결되는 화소 전극(170)을 형성할 수 있다. 보호막(165) 상에 화소 전극층이 형성될 수 있다. 상기 화소 전극층은 보호막(165)의 상기 접촉 구멍을 채우며 형성될 수 있다. 상기 화소 전극층은 투명 도전성 물질, 반투과형 도전성 물질, 반사형 도전성 물질 등을 포함할 수 있다. 상기 화소 전극층을 패터닝하여 드레인 전극(162)에 전기적으로 연결되는 화소 전극(170)을 형성할 수 있다.

[0058] 그 다음, 보호막(165)과 화소 전극(170) 상에 화소 정의막(175)을 형성할 수 있다. 화소 정의막(175)은 투명 절연 물질 등을 포함할 수 있다. 예를 들면, 화소 정의막(175)은 폴리아크릴계 수지, 폴리이미드계 수지 등의 유기 물질 또는 실리카 계열의 무기 물질을 포함할 수 있다.

[0059] 그 다음, 화소 정의막(175)을 부분적으로 식각하여 화소 전극(170)을 노출시키는 개구를 형성할 수 있다. 화소 정의막(175)의 상기 개구는 베이스 기판(110)에 대하여 소정의 각도로 경사진 측벽을 가질 수 있다. 이러한 개구의 측벽 경사에 따라 후속하여 유기 발광층(도 9의 180) 및/또는 공통 전극(도 9의 190)을 용이하게 형성할 수 있다.

[0060] 도 9를 참조하면, 화소 전극(170) 상에 유기 발광층(180) 및 공통 전극(190)을 순차적으로 형성할 수 있다.

[0061] 먼저, 화소 전극(170), 상기 개구의 측벽 및 화소 정의막(175) 상에 유기 발광층(180)을 형성할 수 있다. 유기 발광층(180)은 상기 개구의 프로파일을 따라 노출된 화소 전극(170), 상기 개구의 측벽 및 화소 정의막(175) 상에 실질적으로 균일하게 형성될 수 있다. 유기 발광층(180)은 적색 광, 녹색 광 및 청색 광을 각각 발생시키는 저분자 유기 물질들, 고분자 유기 물질들 등을 사용하여 형성될 수 있다. 또한, 유기 발광층(180)은 발광층, 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층 등을 포함하는 다층 구조로 형성될 수 있다.

[0062] 그 다음, 유기 발광층(180) 상에 공통 전극(190)을 형성할 수 있다. 공통 전극(190)은 투명 도전성 물질, 반투과형 도전성 물질, 반사형 도전성 물질 등을 포함할 수 있다. 공통 전극(190)은 유기 발광층(180) 상에 실질적으로 균일하게 형성될 수 있다.

[0063] 이하, 도 10, 도 11, 도 12 및 도 13을 참조하여 본 발명의 다른 실시예에 따른 박막트랜지스터 기판의 제조 방법 및 박막트랜지스터 기판을 설명한다. 도 10 내지 도 13을 참조하여 설명하는 본 발명의 다른 실시예에 따른 박막트랜지스터 기판의 제조 방법에 있어서, 도 1 내지 도 6을 참조하여 설명한 본 발명의 일 실시예에 따른 박

막 트랜지스터 기관의 제조 방법과 실질적으로 동일하거나 유사한 구성에 대한 설명은 생략한다.

- [0064] 도 10, 도 11, 도 12 및 도 13은 본 발명의 다른 실시예에 따른 박막트랜지스터 기관의 제조 방법을 순차적으로 나타내는 단면도들이다.
- [0065] 도 10을 참조하면, 베이스 기관(210) 상에 게이트 전극(221) 및 제1 전극(222)을 덮는 게이트 절연막(231)을 형성할 수 있다. 먼저, 베이스 기관(210)을 준비할 수 있다. 베이스 기관(210)은 박막트랜지스터 영역(TFT) 및 저항 변화 메모리 영역(RRAM)을 포함할 수 있다. 박막트랜지스터 영역(TFT)은 박막트랜지스터가 배치되는 영역일 수 있고, 저항 변화 메모리 영역(RRAM)은 저항 변화 메모리가 배치되는 영역일 수 있다.
- [0066] 그 다음, 베이스 기관(210) 상에 버퍼막(215)을 형성하고, 버퍼막(215) 상에 게이트 패턴을 형성할 수 있다. 상기 게이트 패턴은 게이트 전극(221) 및 제1 전극(222)을 포함할 수 있다. 게이트 전극(221)은 박막트랜지스터 영역(TFT)에 위치하고, 제1 전극(222)은 저항 변화 메모리 영역(RRAM)에 위치할 수 있다.
- [0067] 일 실시예에 있어서, 게이트 전극(221)과 제1 전극(222)은 동시에 형성될 수 있다. 예를 들면, 버퍼막(215) 상에 제1 도전층을 형성하고, 상기 제1 도전층을 식각하여 게이트 전극(221) 및 제1 전극(222)을 동시에 형성할 수 있다.
- [0068] 그 다음, 버퍼막(215) 상에 게이트 전극(221) 및 제1 전극(222)을 덮는 게이트 절연막(231)을 형성할 수 있다.
- [0069] 도 11을 참조하면, 게이트 절연막(231)에 자외선을 조사하는 동시에 게이트 절연막(231)을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행할 수 있다.
- [0070] 상기 자외선 조사 및 열처리 동시 공정은 게이트 절연막(231, 232)의 제1 영역(232)에만 수행되고, 게이트 절연막(231, 232)의 제2 영역(231)에는 수행되지 않을 수 있다. 여기서, 제1 영역(232)은 박막트랜지스터 영역(TFT)에 대응하고, 제2 영역(231)은 저항 변화 메모리 영역(RRAM)에 대응할 수 있다.
- [0071] 일 실시예에 있어서, 제1 영역(232)에는 자외선이 조사되고, 제2 영역(231)에는 자외선이 조사되지 않을 수 있다. 예를 들면, 게이트 절연막(231, 232) 상에 개구부 및 차단부를 포함하는 마스크(미도시)를 배치하고, 상기 마스크를 통해 게이트 절연막(231, 232)에 자외선을 조사할 수 있다. 여기서, 상기 개구부는 제1 영역(232)에 대응하도록 위치하고, 상기 차단부는 제2 영역(231)에 대응하도록 위치할 수 있다. 이 경우, 상기 개구부를 통해 상기 제1 영역(232)에 자외선이 조사되고, 상기 차단부를 통해 상기 제2 영역(231)에 자외선이 차단될 수 있다.
- [0072] 제1 영역(232)의 산소 함량은 제2 영역(231)의 산소 함량보다 클 수 있다. 박막에 상기 자외선 조사 및 열처리 동시 공정이 수행되는 경우에 상기 박막에 산소 라디칼들이 지속적으로 공급될 수 있다. 이에 따라, 상기 자외선 조사 및 열처리 동시 공정이 수행된 제1 영역(232)에 산소 라디칼들이 공급되어, 제1 영역(232)의 산소 함량이 증가할 수 있다.
- [0073] 제1 영역(232)의 물방울 접촉각은 제2 영역(231)의 물방울 접촉각보다 작을 수 있다. 박막의 산소 함량이 증가하는 경우에 상기 박막의 표면이 친수성을 가질 수 있다. 이에 따라, 상기 자외선 조사 및 열처리 동시 공정이 수행된 제1 영역(232)이 상대적으로 친수성을 가지게 되어, 제1 영역(232)의 물방울 접촉각이 감소할 수 있다. 예를 들면, 제1 영역(232)의 물방울 접촉각은 약 1 도 내지 약 40 도일 수 있고, 제2 영역(231)의 물방울 접촉각은 약 40 도 내지 약 90 도일 수 있다.
- [0074] 도 12를 참조하면, 게이트 절연막(231, 232) 상에 게이트 전극(221)과 중첩하는 액티브 패턴(240)을 형성할 수 있다. 액티브 패턴(240)은 박막트랜지스터 영역(TFT)에 위치할 수 있다. 이에 따라, 제1 영역(232)은 게이트 전극(221)과 액티브 패턴(240) 사이에 위치할 수 있다.
- [0075] 도 13을 참조하면, 게이트 절연막(231, 232) 상에 데이터 패턴을 형성할 수 있다. 상기 데이터 패턴은 액티브 패턴(240)과 전기적으로 연결되는 소스 전극(261) 및 드레인 전극(262), 그리고 제1 전극(221)과 중첩하는 제2 전극(263)을 포함할 수 있다. 소스 전극(261) 및 드레인 전극(262)은 박막트랜지스터 영역(TFT)에 위치하고, 제2 전극(263)은 저항 변화 메모리 영역(RRAM)에 위치할 수 있다. 이에 따라, 제2 영역(231)은 제1 전극(222)과 제2 전극(263) 사이에 위치할 수 있다.
- [0076] 일 실시예에 있어서, 소스 전극(261), 드레인 전극(262) 및 제2 전극(263)은 동시에 형성될 수 있다. 예를 들면, 게이트 절연막(231, 232) 상에 제2 도전층을 형성하고, 상기 제2 도전층을 식각하여 소스 전극(261), 드레인 전극(262) 및 제2 전극(263)을 동시에 형성할 수 있다. 게이트 전극(221), 게이트 절연막(232), 액티브 패턴(240), 소스 전극(261) 및 드레인 전극(262)에 의해 박막트랜지스터가 정의될 수 있다. 또한, 제1 전극(222),

게이트 절연막(231) 및 제2 전극(263)에 의해 저항 변화 메모리가 정의될 수 있다.

- [0077] 일 실시예에 있어서, 상기 저항 변화 메모리는 박막트랜지스터 기관의 화소부 내에 위치하여 상기 박막트랜지스터와 함께 화소 회로를 구성할 수 있다. 이 경우, 화소가 박막트랜지스터 및 메모리를 포함함으로써, 표시 장치가 정지 화면에서 상대적으로 적은 소비 전력으로 구동될 수 있다. 다른 실시예에 있어서, 상기 저항 변화 메모리는 화소를 구동시키는 구동 회로를 포함하는 박막트랜지스터 기관의 구동부에 위치할 수도 있다.
- [0078] 이하, 도 14, 도 15, 도 16, 도 17 및 도 18을 참조하여 본 발명의 또 다른 실시예에 따른 박막트랜지스터 기관의 제조 방법 및 박막트랜지스터 기관을 설명한다. 도 14 내지 도 18을 참조하여 설명하는 본 발명의 또 다른 실시예에 따른 박막트랜지스터 기관의 제조 방법에 있어서, 도 1 내지 도 6을 참조하여 설명한 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 제조 방법과 실질적으로 동일하거나 유사한 구성에 대한 설명은 생략한다.
- [0079] 도 14, 도 15, 도 16, 도 17 및 도 18은 본 발명의 또 다른 실시예에 따른 박막트랜지스터 기관의 제조 방법을 순차적으로 나타내는 단면도들이다.
- [0080] 도 14를 참조하면, 베이스 기관(310) 상에 액티브 패턴(340)을 형성할 수 있다. 먼저, 베이스 기관(310)을 준비할 수 있다. 그 다음, 베이스 기관(310) 상에 버퍼막(315)을 형성할 수 있다. 그 다음, 버퍼막(315) 상에 액티브 패턴(340)을 형성할 수 있다. 예를 들면, 버퍼막(315) 상에 반도체층을 형성하고, 상기 반도체층을 식각하여 액티브 패턴(340)을 형성할 수 있다.
- [0081] 도 15를 참조하면, 베이스 기관(310) 상에 액티브 패턴(340)을 덮는 게이트 절연막(331)을 형성할 수 있다.
- [0082] 도 16을 참조하면, 게이트 절연막(331)에 자외선을 조사하는 동시에 게이트 절연막(331)을 열처리하는, 자외선 조사 및 열처리 동시 공정을 수행할 수 있다. 게이트 절연막(331)에 상기 자외선 조사 및 열처리 동시 공정을 수행함으로써, 자외선 조사 및 열처리된 게이트 절연막(332)을 수득할 수 있다.
- [0083] 도 17을 참조하면, 게이트 절연막(332) 상에 액티브 패턴(340)과 중첩하는 게이트 전극(321)을 형성할 수 있다. 예를 들면, 게이트 절연막(332) 상에 제1 도전층을 형성하고, 상기 제1 도전층을 식각하여 게이트 전극(321)을 형성할 수 있다.
- [0084] 도 18을 참조하면, 게이트 절연막(332) 상에 액티브 패턴(340)과 전기적으로 연결되는 소스 전극(361) 및 드레인 전극(362)을 형성할 수 있다. 먼저, 게이트 절연막(332) 상에 게이트 전극(321)을 덮는 층간 절연막(350)을 형성할 수 있다. 층간 절연막(350)은 전술한 식각 방지막(150)과 실질적으로 동일하거나 유사한 물질을 포함할 수 있다.
- [0085] 그 다음, 층간 절연막(350) 및 게이트 절연막(332)을 부분적으로 식각하여 액티브 패턴(340)의 일부들을 각각 노출시키는 접촉 구멍들을 형성할 수 있다. 그 다음, 층간 절연막(350) 상에 액티브 패턴(340)과 전기적으로 연결되는 소스 전극(361) 및 드레인 전극(362)을 형성할 수 있다. 예를 들면, 층간 절연막(350) 상에 상기 접촉 구멍들을 채우는 제2 도전층을 형성하고, 상기 제2 도전층을 식각하여 소스 전극(361) 및 드레인 전극(362)을 형성할 수 있다.
- [0086] 이하, 도 19, 도 20 및 표 1을 참조하여 본 발명의 일 실시예에 따른 박막트랜지스터 기관의 특성을 설명한다.
- [0087] 도 19는 박막트랜지스터 기관의 게이트 절연막의 절연 특성을 나타내는 그래프이다. 도 19(a)는 게이트 절연막에 열처리만을 한 경우에 공정 온도에 따른 박막트랜지스터의 전압(voltage)과 전류밀도(current density)의 관계를 나타내고, 도 19(b)는 게이트 절연막에 자외선 조사 및 열처리를 동시에 한 경우에 공정 온도에 따른 박막트랜지스터의 전압(voltage)과 전류밀도(current density)의 관계를 나타낸다.
- [0088] 도 19를 참조하면, 게이트 절연막에 열처리만을 한 경우에 대비하여 게이트 절연막에 자외선 조사 및 열처리를 동시에 한 경우에 박막트랜지스터의 파괴(항복) 전압(breakdown voltage)이 상대적으로 높은 것을 확인할 수 있다. 또한, 게이트 절연막에 자외선 조사 및 열처리를 동시에 한 경우 400 °C의 온도에서 파괴 전압이 낮아지는 것을 확인할 수 있다. 따라서, 게이트 절연막에 자외선 조사 및 열처리를 동시에 한 경우에 박막트랜지스터의 절연 특성이 개선되고, 자외선 조사 및 열처리의 공정 온도는 약 100 °C 내지 약 300 °C, 바람직하게는 약 100 °C 내지 약 250 °C, 가 적합할 수 있다.
- [0089] 도 20은 박막트랜지스터 기관의 박막트랜지스터의 전달 특성을 나타내는 그래프이다. 도 20(a)는 게이트 절연막에 열처리만을 한 경우에 공정 온도에 따른 박막트랜지스터의 전압(V_G)과 전류(I_D)의 관계를 나타내고, 도 20(b)는 게이트 절연막에 자외선 조사 및 열처리를 동시에 한 경우에 공정 온도에 따른 박막트랜지스터의 전압(V

ϕ)과 전류(I_D)의 관계를 나타낸다. 또한, 아래의 표 1은 박막트랜지스터 기판의 박막트랜지스터의 전달 특성을 나타낸다.

표 1

| | 전하이동도(cm^2/Vs) | 서브문턱 스윙(V/dec) | 온/오프 비율 |
|--------------------|----------------------------------|----------------|--------------------|
| 열처리만(300℃) | 6.24 | 0.44 | 2.56×10^7 |
| 자외선 조사 및 열처리(150℃) | 32.72 | 0.42 | 7.76×10^7 |
| 자외선 조사 및 열처리(200℃) | 15.41 | 0.45 | 3.18×10^7 |

도 20을 참조하면, 게이트 절연막에 열처리만을 한 경우에 대비하여 게이트 절연막에 자외선 조사 및 열처리를 동시에 한 경우에 박막트랜지스터의 전달 특성이 향상되는 것을 확인할 수 있다. 또한, 표 1을 참조하면, 게이트 절연막에 300℃의 온도로 열처리만을 한 경우에 대비하여 게이트 절연막에 150℃ 또는 200℃의 온도로 자외선 조사 및 열처리를 동시에 한 경우에 박막트랜지스터의 전하이동도 및 온/오프 비율이 상대적으로 높고 박막트랜지스터의 서브문턱 스윙이 상대적으로 낮은 것을 확인할 수 있다. 따라서, 게이트 절연막에 자외선 조사 및 열처리를 동시에 한 경우에 박막트랜지스터의 전달 특성이 개선되고, 자외선 조사 및 열처리의 공정 온도는 약 100℃ 내지 약 250℃가 적합할 수 있다.

산업상 이용가능성

본 발명의 예시적인 실시예들에 따른 박막트랜지스터 기판과 표시 장치의 제조 방법 및 박막트랜지스터 기판은 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 펌프(PMP), 피디에이(PDA), MP3 플레이어 등에 포함되는 표시 장치에 적용될 수 있다.

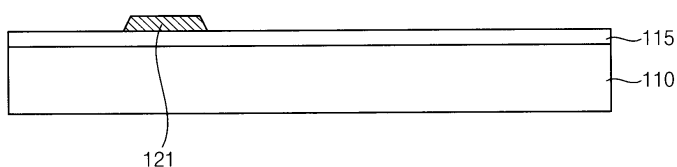
이상, 본 발명의 예시적인 실시예들에 따른 박막트랜지스터 기판들 박막트랜지스터 기판의 제조 방법들 및 표시 장치의 제조 방법들에 대하여 도면들을 참조하여 설명하였지만, 실시한 실시예들은 예시적인 것으로서 하기의 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다.

부호의 설명

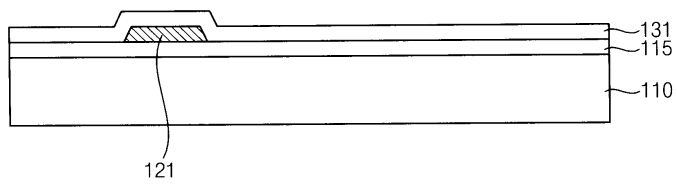
| | |
|-----------------------|------------------------|
| 110, 210, 310: 베이스 기판 | 121, 221, 321: 게이트 전극 |
| 222: 제1 전극 | 132, 232, 332: 게이트 절연막 |
| 140, 240, 340: 액티브 패턴 | 150, 250: 식각 방지막 |
| 161, 261, 361: 소스 전극 | 162, 262, 362: 드레인 전극 |
| 263: 제2 전극 | 170: 화소 전극 |
| 175: 화소 정의막 | 180: 유기 발광층 |
| 190: 공통 전극 | |

도면

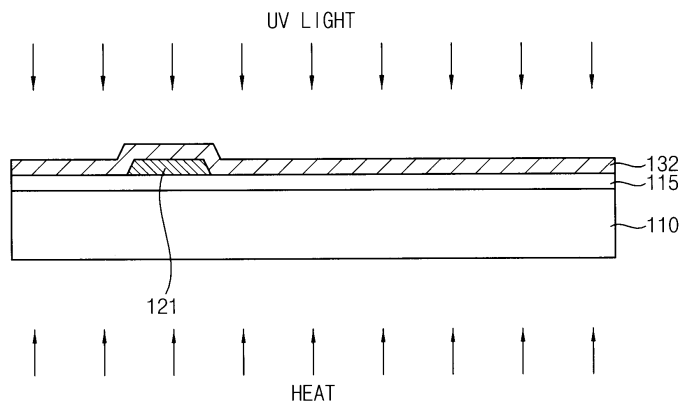
도면1



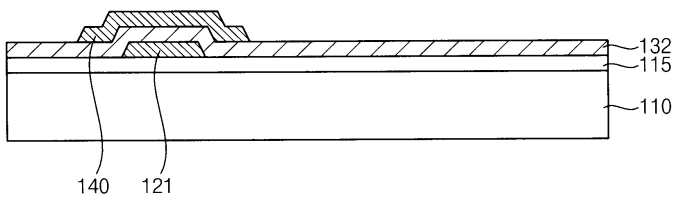
도면2



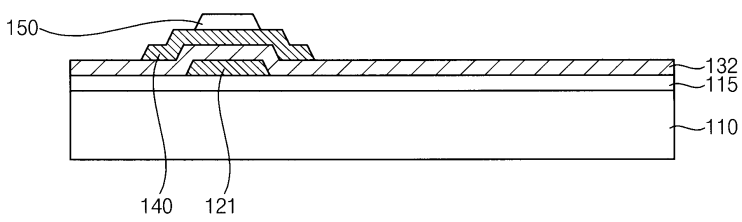
도면3



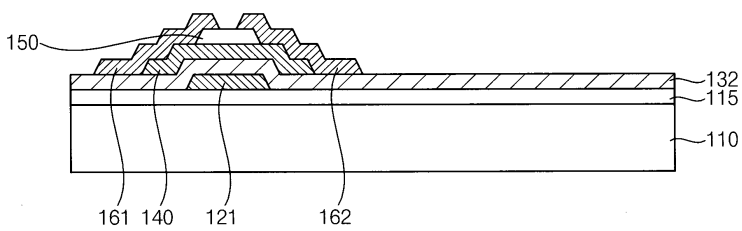
도면4



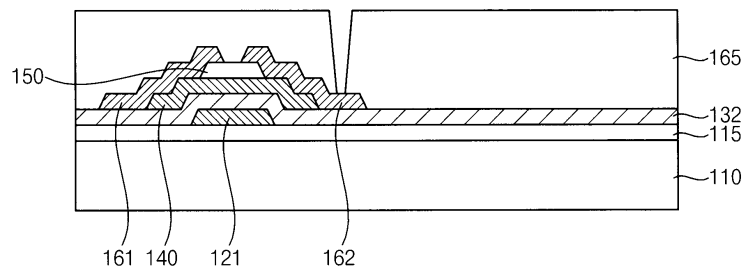
도면5



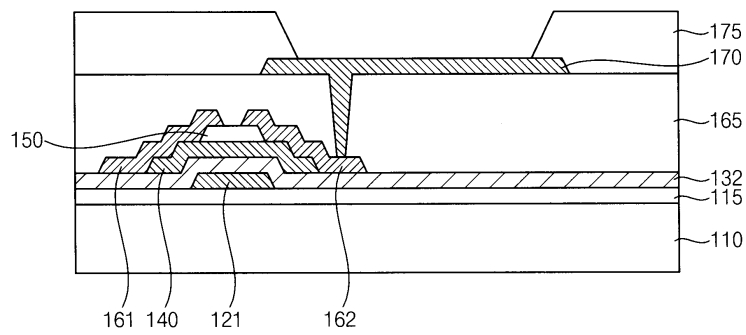
도면6



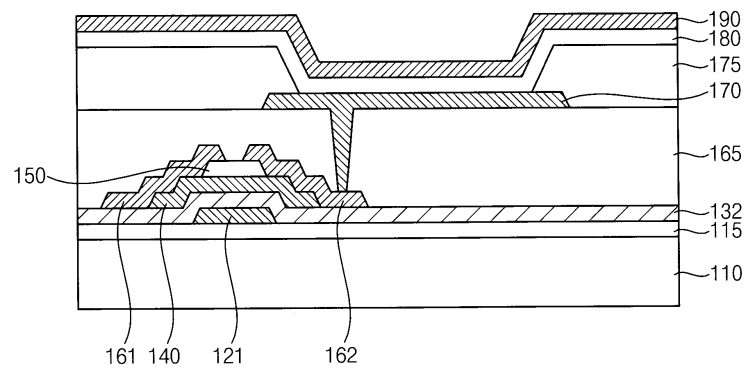
도면7



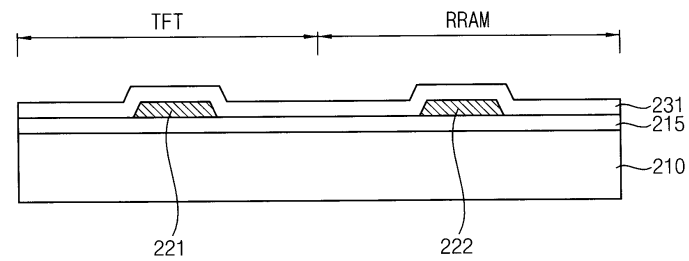
도면8



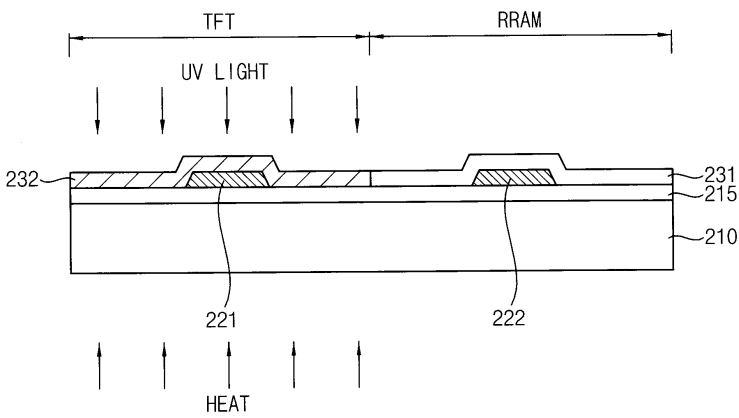
도면9



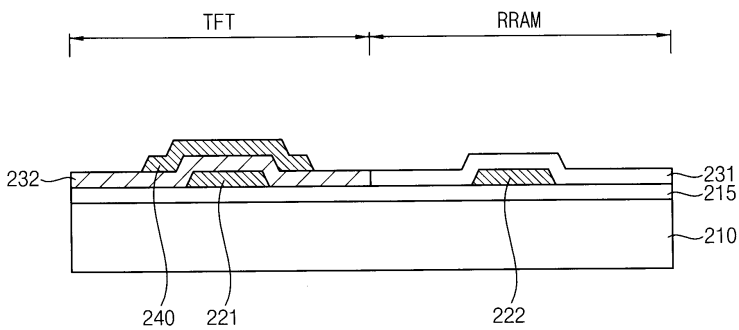
도면10



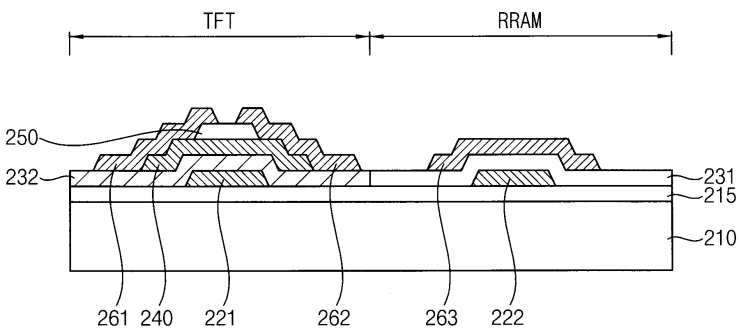
도면11



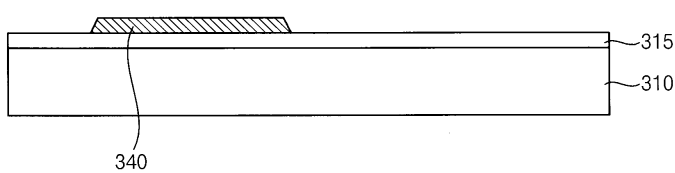
도면12



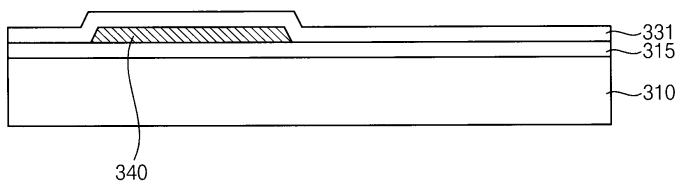
도면13



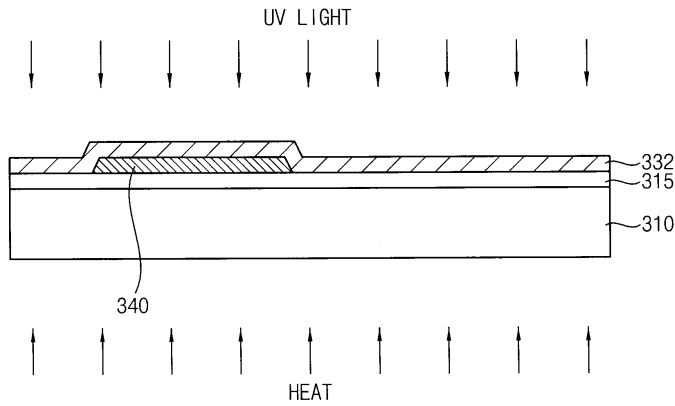
도면14



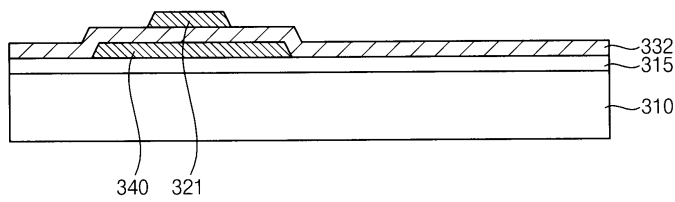
도면15



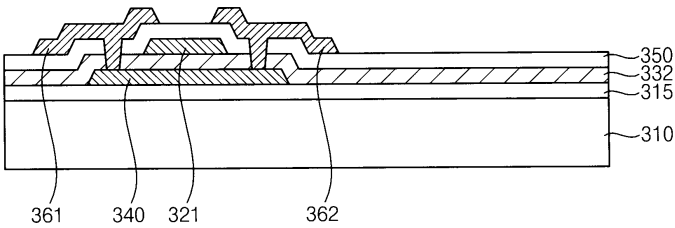
도면16



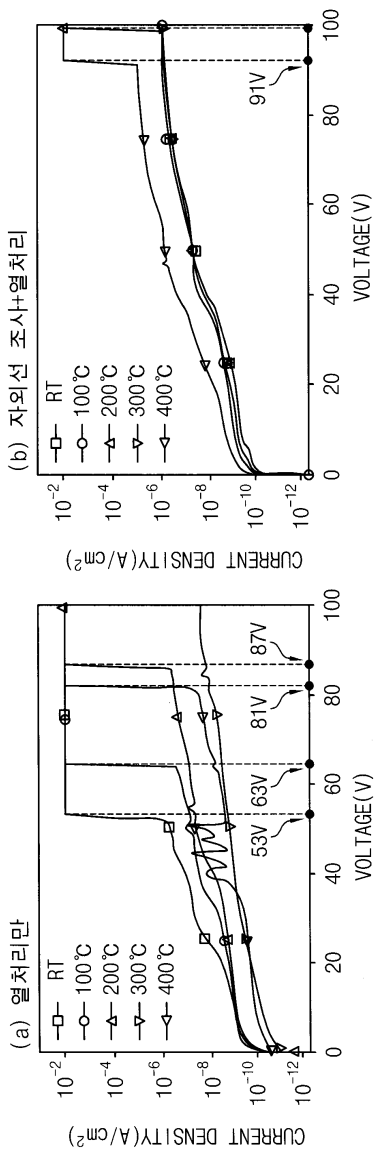
도면17



도면18



도면19



도면20

