



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년08월31일

(11) 등록번호 10-2439286

(24) 등록일자 2022년08월29일

(51) 국제특허분류(Int. Cl.)
G11C 5/02 (2006.01) *G11C 11/00* (2006.01)
G11C 5/06 (2006.01) *G11C 7/10* (2021.01)
 (52) CPC특허분류
G11C 5/025 (2013.01)
G11C 11/005 (2021.01)
 (21) 출원번호 10-2020-0169602
 (22) 출원일자 2020년12월07일
 심사청구일자 2020년12월07일
 (65) 공개번호 10-2022-0080469
 (43) 공개일자 2022년06월14일
 (56) 선행기술조사문헌
 KR1020170092083 A*
 (뒷면에 계속)

(73) 특허권자
 연세대학교 산학협력단
 서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
 (72) 발명자
 정의영
 서울특별시 강남구 도곡로43길 20, 203동 604호(역삼동, 래미안그레이트아파트)
 김도현
 서울특별시 영등포구 영신로55길 8, 102동 203호(당산동4가, 브라운스톤 당산)
 (뒷면에 계속)
 (74) 대리인
 민영준

전체 청구항 수 : 총 13 항

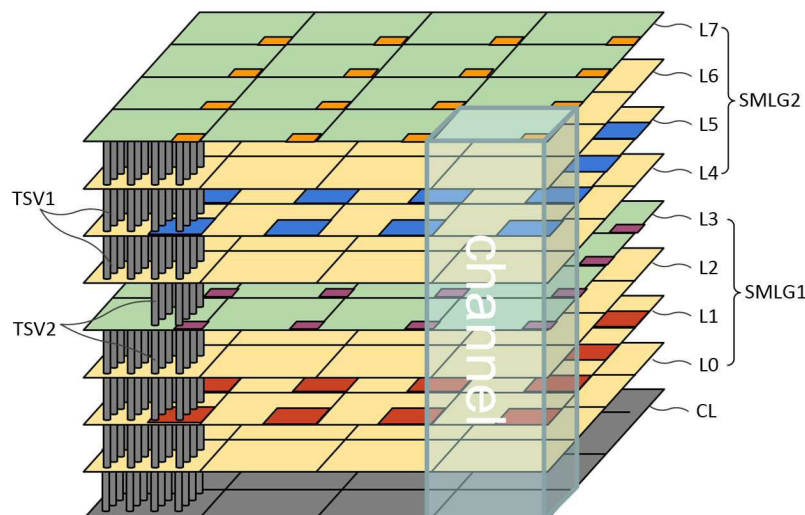
심사관 : 박소정

(54) 발명의 명칭 스택형 하이브리드 메모리 장치 및 이의 데이터 스왑 방법

(57) 요약

본 발명은 메모리 장치의 동작을 제어하는 컨트롤 로직 레이어, 적층되는 다수의 메모리 레이어를 각각 포함하고, 컨트롤 로직 레이어 상에 적층되는 다수의 메모리 레이어 그룹, 다수의 메모리 레이어 그룹 내의 적층된 다수의 메모리 레이어를 관통하여 형성되는 다수의 제1 TSV 및 컨트롤 로직 레이어로부터 적층된 다수의 메모리 레이어 그룹의 다수의 메모리 레이어를 관통하여 형성되는 다수의 제2 TSV를 포함하여, 스왑 처리 성능을 개선하여, 동작 속도를 향상시킬 수 있는 스택형 하이브리드 메모리 장치 및 이의 데이터 스왑 방법을 제공할 수 있다.

대표도 - 도2



(52) CPC특허분류

G11C 5/06 (2013.01)

G11C 7/1078 (2013.01)

(72) 발명자

박영민

서울특별시 성북구 솔샘로6가길 46-18, 1층(정릉동)

이상협

경상북도 경주시 광충길 73-16, 104동 705호(황성동, 현진에버빌)

(56) 선행기술조사문헌

US20120051152 A1*

J. Li et al. STT-RAM based Energy-Efficiency Hybrid Cache for CMPs. 2011 IEEE/IFIP 19th International Conference on VLSI and System-on-Chip. 2011, pp. 31-36 (2011.11.18.)*

US20120059984 A1

US20190272100 A1

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 1711116046

과제번호 10080722

부처명 과학기술정보통신부

과제관리(전문)기관명 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 클라우드 컴퓨팅 향 통합형 Server on Chip 시스템 연구

기 여 율 1/1

과제수행기관명 연세대학교 산학협력단

연구기간 2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

메모리 장치의 동작을 제어하는 컨트롤 로직 레이어;

적층되는 다수의 메모리 레이어를 각각 포함하고, 상기 컨트롤 로직 레이어 상에 적층되는 다수의 메모리 레이어 그룹;

상기 다수의 메모리 레이어 그룹 각각을 구분하여, 각 메모리 레이어 그룹 내에 포함된 다수의 메모리 레이어를 관통하여 형성되는 다수의 제1 TSV; 및

상기 다수의 메모리 레이어 그룹을 구분하지 않고, 상기 컨트롤 로직 레이어로부터 적층된 다수의 메모리 레이어를 관통하여 형성되는 다수의 제2 TSV를 포함하되,

상기 다수의 메모리 레이어 그룹은

동일한 메모리 레이어 그룹 내의 다수의 메모리 레이어에 저장된 데이터를 스왑하는 경우, 상기 다수의 제1 TSV를 통해 데이터를 전송하고,

서로 다른 메모리 레이어 그룹에 포함된 메모리 레이어에 저장된 데이터를 스왑하는 경우, 상기 다수의 제2 TSV를 통해 데이터를 전송하는 스택형 하이브리드 메모리 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 다수의 메모리 레이어 그룹 각각은

적층되어 포함되는 상기 다수의 메모리 레이어 중 기지정된 메모리 레이어에 형성되어 스왑되는 데이터가 임시 저장되는 다수의 스왑 버퍼를 더 포함하는 스택형 하이브리드 메모리 장치.

청구항 5

제4항에 있어서, 상기 다수의 메모리 레이어 그룹 각각은

상기 다수의 메모리 레이어 중 데이터를 스왑하는 제1 및 제2 메모리 레이어는 스왑될 데이터를 각각 선택하고, 제1 및 제2 메모리 레이어 중 상기 다수의 스왑 버퍼가 형성되지 않는 제2 메모리 레이어가 우선 선택된 데이터를 상기 다수의 제1 TSV를 통해 상기 제1 메모리 레이어의 상기 다수의 스왑 버퍼 중 하나로 전송하여 저장하며, 상기 제1 메모리 레이어는 상기 다수의 스왑 버퍼를 거치지 않고 상기 다수의 제1 TSV를 통해 상기 제2 메모리 레이어로 전송하여 저장하며, 상기 다수의 스왑 버퍼 중 하나에 저장된 데이터가 상기 제1 메모리 레이어에 저장되어 데이터 스왑이 수행되는 스택형 하이브리드 메모리 장치.

청구항 6

제5항에 있어서, 상기 다수의 메모리 레이어 그룹 각각은

상기 다수의 스왑 버퍼 중 하나에 저장된 데이터가 상기 제1 메모리 레이어에 저장되는 동안, 상기 제2 메모리 레이어에서 선택된 다른 데이터가 상기 다수의 제1 TSV를 통해 상기 제1 메모리 레이어의 다른 스왑 버퍼에 전송되어 저장되는 스택형 하이브리드 메모리 장치.

청구항 7

제6항에 있어서, 상기 다수의 메모리 레이어 그룹 각각은

휘발성 메모리가 형성된 적어도 하나의 휘발성 메모리 레이어와 비휘발성 메모리가 형성된 적어도 하나의 비휘발성 메모리 레이어가 포함되는 스택형 하이브리드 메모리 장치.

청구항 8

제7항에 있어서, 상기 다수의 스왑 버퍼는

상기 적어도 하나의 비휘발성 메모리 레이어에 형성되는 스택형 하이브리드 메모리 장치.

청구항 9

메모리 장치의 동작을 제어하는 컨트롤 로직 레이어 상에 각각 다수의 메모리 레이어를 각각 포함하여 적층되는 다수의 메모리 레이어 그룹과 상기 다수의 메모리 레이어 그룹 각각을 구분하여, 각 메모리 레이어 그룹 내에 포함된 다수의 메모리 레이어를 관통하여 형성되는 다수의 제1 TSV 및 상기 다수의 메모리 레이어 그룹을 구분하지 않고, 상기 컨트롤 로직 레이어로부터 적층된 다수의 메모리 레이어를 관통하여 형성되는 다수의 제2 TSV를 포함하는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법에 있어서,

다수의 메모리 레이어 중 스왑할 데이터가 저장된 제1 및 제2 메모리 레이어를 선택하는 단계;

선택된 제1 및 제2 메모리 레이어 각각에서 스왑할 데이터를 선택하는 단계; 및

선택된 제1 및 제2 메모리 레이어가 동일 메모리 레이어 그룹 내의 메모리 레이어이면, 제1 및 제2 메모리 레이어 각각에서 선택된 데이터를 기지정된 순서로 상기 다수의 제1 TSV를 통해 전송하여 저장하는 단계를 포함하는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법.

청구항 10

제9항에 있어서, 상기 데이터 스왑 방법은

선택된 제1 및 제2 메모리 레이어가 서로 다른 메모리 레이어 그룹 내의 메모리 레이어이면, 제1 및 제2 메모리 레이어 각각에서 선택된 데이터를 기지정된 순서로 상기 다수의 제2 TSV를 통해 전송하여 저장하는 단계를 더 포함하는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법.

청구항 11

제10항에 있어서, 상기 제1 메모리 레이어는

스왑되는 데이터가 임시 저장되는 다수의 스왑 버퍼가 형성되는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법.

청구항 12

제11항에 있어서, 상기 다수의 제1 TSV를 통해 전송하여 저장하는 단계는

상기 제2 메모리 레이어에서 선택된 데이터가 상기 다수의 제1 TSV를 통해 상기 제1 메모리 레이어의 상기 다수의 스왑 버퍼 중 하나로 전송되어 저장되는 단계;

상기 제1 메모리 레이어의 데이터가 상기 다수의 스왑 버퍼를 거치지 않고 상기 다수의 제1 TSV를 통해 상기 제2 메모리 레이어로 전송되어 저장되는 단계; 및

상기 다수의 스왑 버퍼 중 하나에 저장된 데이터가 상기 제1 메모리 레이어에 저장되는 단계를 포함하는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법.

청구항 13

제12항에 있어서, 상기 다수의 제1 TSV를 통해 전송하여 저장하는 단계는

상기 다수의 스왑 버퍼 중 하나에 저장된 데이터가 상기 제1 메모리 레이어에 저장되는 동안, 상기 제2 메모리 레이어에서 선택된 다른 데이터가 상기 다수의 제1 TSV를 통해 상기 제1 메모리 레이어의 다른 스왑 버퍼에 전송되어 저장되는 단계를 더 포함하는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법.

청구항 14

제11항에 있어서, 상기 다수의 메모리 레이어 그룹 각각은

휘발성 메모리가 형성된 적어도 하나의 휘발성 메모리 레이어와 비휘발성 메모리가 형성된 적어도 하나의 비휘발성 메모리 레이어가 포함되는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법.

청구항 15

제14항에 있어서, 상기 다수의 스왑 버퍼는

상기 적어도 하나의 비휘발성 메모리 레이어에 형성되는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법.

발명의 설명

기술 분야

[0001] 본 발명은 하이브리드 메모리 장치 및 이의 데이터 스왑 방법에 관한 것으로, 스택형 하이브리드 메모리 장치 및 이의 데이터 스왑 방법에 관한 것이다.

배경 기술

[0002] 정보 통신 기기와 컴퓨터 그래픽 기술의 발전에 따라 고속 대용량의 고성능 메모리에 대한 요구는 항상 증가되어 왔다. 그리고 이러한 메모리 성능 향상 기법의 하나로 다수의 메모리 레이어가 적층되는 구조를 갖는 스택형 메모리 장치(Stacked memory device)(또는 3D 메모리 장치라고도 함)가 제안되었다.

[0003] 스택형 메모리 장치는 각각 적어도 하나의 메모리 칩을 포함하는 다수의 레이어가 수직 방향에서 적층되는 구조를 가지며, 적층된 다수의 레이어 사이에는 수직 방향으로 레이어를 관통하는 다수의 관통 전극(Through Silicon Via: 이하 TSV)이 형성되어 데이터 전송이 이루어진다.

[0004] 이와 같은 스택형 메모리 장치를 이용하여 DRAM과 같은 휘발성 메모리(Volatile Memory: VM)를 대체하기 위해 하이브리드 메모리 큐브(Hybrid Memory Cube: HMC)와 고대역폭 메모리(High-bandwidth Memory: HBM) 등에 대한 연구가 활발하게 이루어지고 있다.

[0005] 한편 비휘발성 메모리는 전원이 인가되지 않으면 저장된 데이터가 소실되며, 최근 비휘발성 메모리(Non-Volatile Memory: NVM)의 집적도가 휘발성 메모리보다 높아짐에 따라 휘발성 메모리를 비휘발성 메모리로 대체하고자 하는 연구도 진행되고 있다. 그러나 비휘발성 메모리 또한 쓰기 속도가 휘발성 메모리에 비해 매우 느리다는 한계가 있다. 따라서 현재는 비휘발성 메모리의 고집적도와 데이터 저장 능력과 휘발성 메모리의 빠른 쓰기 속도를 모두 활용할 수 있도록 비휘발성 메모리와 휘발성 메모리를 모두 포함하여 구성되는 하이브리드 메모리가 주목받고 있다.

[0006] 도 1은 기존의 스택형 하이브리드 메모리 장치의 일 예를 나타낸다.

[0007] 도 1에서는 일 예로 컨트롤 로직 레이어(CL) 상에 8개의 메모리 레이어(L0 ~ L7)가 적층된 스택형 메모리 장치를 도시하였으며, 8개의 메모리 레이어(L0 ~ L7) 중 하부 4개의 메모리 레이어(L0 ~ L3) 각각은 휘발성 메모리가 배치된 휘발성 메모리 레이어(VML)이고, 나머지 4개의 메모리 레이어(L4 ~ L7) 각각은 비휘발성 메모리가 배치된 비휘발성 메모리 레이어(NVML)이다. 즉 도 1은 휘발성 메모리 레이어와 비휘발성 메모리 레이어가 함께 적층되어 구성된 스택형 하이브리드 메모리 장치를 나타낸다.

[0008] 그리고 컨트롤 로직 레이어(CL)와 다수의 메모리 레이어(L0 ~ L7)는 TSV(TSV)를 통해 데이터를 상호 전달할 수 있다. 또한 최하위에 배치된 컨트롤 로직 레이어(CL)는 하부에 형성되는 마이크로 범프(Micro bump)등을 통해 외부의 CPU 또는 GPU로부터 저장할 데이터를 인가받거나, 메모리 레이어에 저장된 데이터를 외부의 CPU 또는 GPU로 전달할 수 있다. 이때 컨트롤 로직 레이어(CL)는 다수의 메모리 레이어(L0 ~ L7)에서 인가된 데이터가 저장될 위치를 지정하여 쓰기 명령을 인가하거나, 외부로 출력해야 할 데이터가 저장된 위치를 판별하여 다수의 메모리 레이어(L0 ~ L7) 중 해당 데이터가 저장된 메모리 레이어에 읽기 명령을 인가할 수 있다.

[0009] 한편, 상기한 바와 같이 하이브리드 메모리는 일반적으로 비휘발성 메모리의 고집적도와 비휘발성이라는 장점과 휘발성 메모리의 빠른 쓰기 속도라는 장점을 함께 이용하기 위해 구성되므로, 저장될 데이터가 인가되면 우선 인가된 데이터가 휘발성 메모리에 우선 저장되고 이후, 휘발성 메모리에 저장된 데이터를 비휘발성 메모리로 전

달하여 다시 저장하게 된다.

[0010] 그리고 이 과정에서 휘발성 메모리와 비휘발성 메모리 사이에 데이터 스왑(swap)이 빈번하게 발생하게 된다. 즉 휘발성 메모리 레이어(VML)의 메모리 레이어들(L0 ~ L3)과 비휘발성 메모리 레이어(NVML)의 메모리 레이어들(L4 ~ L7)사이에서 데이터가 서로 교환되어야 하는 상황이 빈번하게 발생하게 된다.

[0011] 이때 도 1과 같이, 다수의 메모리 레이어(L0 ~ L7)가 휘발성 메모리 레이어(VML)와 비휘발성 메모리 레이어(NVML)로 구분되어 순차적으로 적층된 구조에서는 TSV(TSV)를 다수의 메모리 레이어(L0 ~ L7)가 공통으로 공유하여 이용하므로, 데이터를 교환하는 휘발성 메모리 레이어(VML)의 다수의 메모리 레이어(L0 ~ L3) 중 하나의 메모리 레이어와 비휘발성 메모리 레이어(NVML)의 다수의 메모리 레이어(L4 ~ L7) 중 하나의 메모리 레이어가 TSV(TSV)를 점유하여, 나머지 메모리 레이어들은 데이터 스왑을 수행할 수 없어 대기해야만 한다.

[0012] 이와 같은 TSV 점유로 인한 문제는 단지 데이터 스왑의 경우 뿐만아니라 휘발성 메모리 레이어(VML)에 저장된 데이터를 비휘발성 메모리 레이어(NVML)에 저장하는 경우에도 동일하게 발생하게 되어 스택형 하이브리드 메모리 장치의 동작 속도를 향상시키기 어렵게 하는 문제가 있다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) 한국 공개 특허 제10-2013-0107282호 (2013.10.01 공개)

발명의 내용

해결하려는 과제

[0014] 본 발명의 목적은 스왑 처리 성능을 개선하여, 동작 속도를 향상시킬 수 있는 스택형 하이브리드 메모리 장치 및 이의 데이터 스왑 방법을 제공하는데 있다.

[0015] 본 발명의 다른 목적은 다수의 휘발성 메모리 레이어와 다수의 비휘발성 메모리 레이어가 기지정된 배치 방식에 따라 교대로 적층되어, 다수의 휘발성 메모리 레이어와 다수의 비휘발성 메모리 레이어가 동시에 병렬적으로 데이터 쓰기 또는 스왑 동작을 수행할 수 있는 스택형 하이브리드 메모리 장치 및 이의 데이터 스왑 방법을 제공하는데 있다.

과제의 해결 수단

[0016] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 스택형 하이브리드 메모리 장치는 메모리 장치의 동작을 제어하는 컨트롤 로직 레이어; 적층되는 다수의 메모리 레이어를 각각 포함하고, 상기 컨트롤 로직 레이어 상에 적층되는 다수의 메모리 레이어 그룹; 상기 다수의 메모리 레이어 그룹 내의 적층된 다수의 메모리 레이어를 관통하여 형성되는 다수의 제1 TSV; 및 상기 컨트롤 로직 레이어로부터 적층된 다수의 메모리 레이어 그룹의 다수의 메모리 레이어를 관통하여 형성되는 다수의 제2 TSV를 포함한다.

[0017] 상기 다수의 메모리 레이어 그룹 각각은 동일한 메모리 레이어 그룹 내의 다수의 메모리 레이어에 저장된 데이터를 스왑하는 경우, 상기 다수의 제1 TSV를 통해 데이터를 전송할 수 있다.

[0018] 상기 다수의 메모리 레이어 그룹은 서로 다른 메모리 레이어 그룹에 포함된 메모리 레이어에 저장된 데이터를 스왑하는 경우, 상기 다수의 제2 TSV를 통해 데이터를 전송할 수 있다.

[0019] 상기 다수의 메모리 레이어 그룹 각각은 적층되어 포함되는 상기 다수의 메모리 레이어 중 기지정된 메모리 레이어에 형성되어 스왑되는 데이터가 임시 저장되는 스왑 버퍼를 더 포함할 수 있다.

[0020] 상기 다수의 메모리 레이어 그룹 각각은 상기 다수의 메모리 레이어 중 데이터를 스왑하는 제1 및 제2 메모리 레이어는 스왑될 데이터를 각각 선택하고, 제1 및 제2 메모리 레이어 중 상기 스왑 버퍼가 형성되지 않는 제2 메모리 레이어가 우선 선택된 데이터를 상기 다수의 제1 TSV를 통해 상기 제1 메모리 레이어의 상기 스왑 버퍼로 전송하여 저장하며, 상기 제1 메모리 레이어는 상기 스왑 버퍼를 거치지 않고 상기 다수의 제1 TSV를 통해 상기 제2 메모리 레이어로 전송하여 저장하며, 상기 스왑 버퍼에 저장된 데이터가 상기 제1 메모리 레이어에 저장되어 데이터 스왑이 수행될 수 있다.

- [0021] 상기 다수의 메모리 레이어 그룹 각각은 상기 스왑 버퍼에 저장된 데이터가 상기 제1 메모리 레이어에 저장되는 동안, 상기 제2 메모리 레이어에서 선택된 다른 데이터가 상기 다수의 제1 TSV를 통해 상기 제1 메모리 레이어의 상기 스왑 버퍼에 전송되어 저장될 수 있다.
- [0022] 상기 다수의 메모리 레이어 그룹 각각은 휘발성 메모리가 형성된 적어도 하나의 휘발성 메모리 레이어와 비휘발성 메모리가 형성된 적어도 하나의 비휘발성 메모리 레이어가 포함될 수 있다.
- [0023] 상기 스왑 버퍼는 상기 적어도 하나의 비휘발성 메모리 레이어에 형성될 수 있다.
- [0024] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 스택형 하이브리드 메모리 장치의 데이터 스왑 방법은 메모리 장치의 동작을 제어하는 컨트롤 로직 레이어 상에 각각 다수의 메모리 레이어를 각각 포함하여 적층되는 다수의 메모리 레이어 그룹과 상기 다수의 메모리 레이어 그룹 내의 적층된 다수의 메모리 레이어를 관통하여 형성되는 다수의 제1 TSV 및 상기 컨트롤 로직 레이어로부터 적층된 다수의 메모리 레이어 그룹의 다수의 메모리 레이어를 관통하여 형성되는 다수의 제2 TSV를 포함하는 스택형 하이브리드 메모리 장치의 데이터 스왑 방법에 있어서, 다수의 메모리 레이어 중 스왑할 데이터가 저장된 제1 및 제2 메모리 레이어를 선택하는 단계; 선택된 제1 및 제2 메모리 레이어 각각에서 스왑할 데이터를 선택하는 단계; 및 선택된 제1 및 제2 메모리 레이어가 동일 메모리 레이어 그룹 내의 메모리 레이어이면, 제1 및 제2 메모리 레이어 각각에서 선택된 데이터를 기지정된 순서로 상기 다수의 제1 TSV를 통해 전송하여 저장하는 단계를 포함한다.

발명의 효과

- [0025] 따라서, 본 발명의 실시예에 따른 스택형 하이브리드 메모리 장치 및 이의 데이터 스왑 방법은 기지정된 개수의 휘발성 메모리 레이어와 적어도 하나의 비휘발성 메모리 레이어를 포함하는 다수의 메모리 레이어 그룹 단위로 적층 배치하여, 다수의 메모리 레이어 그룹이 독립적으로 상호 데이터를 전송할 수 있도록 한다. 그러므로 다수의 메모리 레이어 그룹이 동시에 병렬로 데이터를 스왑하거나, 휘발성 메모리 레이어에 저장된 데이터를 비휘발성 메모리 레이어에 쓰기할 수 있어 동작 속도를 크게 향상시킬 수 있다.

도면의 간단한 설명

- [0026] 도 1은 기존의 스택형 하이브리드 메모리 장치의 일 예를 나타낸다.
- 도 2는 본 발명의 일 실시예에 따른 스택형 하이브리드 메모리 장치의 일 예를 나타낸다.
- 도 3은 메모리 레이어의 상세 구성의 일 예를 나타낸다.
- 도 4는 도 2의 스택형 하이브리드 메모리 장치에서 다수의 메모리 레이어 그룹이 동시에 병렬로 데이터 스왑을 수행하는 개념을 설명하기 위한 도면이다.
- 도 5 내지 도 9는 메모리 레이어간 데이터 스왑 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0028] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.
- [0029] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0030] 도 2는 본 발명의 일 실시예에 따른 스택형 하이브리드 메모리 장치의 일 예를 나타내고, 도 3은 메모리 레이어의 상세 구성의 일 예를 나타낸다.
- [0031] 도 4는 도 2의 스택형 하이브리드 메모리 장치에서 다수의 메모리 레이어 그룹이 동시에 병렬로 데이터 스왑을

수행하는 개념을 설명하기 위한 도면이다.

- [0032] 도 2를 참조하면, 본 실시예에서 스택형 하이브리드 메모리 장치 또한 도 1의 스택형 하이브리드 반도체 메모리 장치와 마찬가지로 컨트롤 로직 레이어(CL)와 컨트롤 로직 레이어(CL) 상에 적층된 다수의 메모리 레이어(L0 ~ L7)를 포함한다.
- [0033] 컨트롤 로직 레이어(CL)는 적층된 다수의 메모리 레이어(L0 ~ L7)의 동작을 제어한다. 상기한 바와 같이, 컨트롤 로직 레이어(CL)는 마이크로 범프 등을 통해 외부의 CPU 또는 GPU로 데이터를 전달하거나 인가받을 수 있으며, 다수의 TSV를 통해 다수의 메모리 레이어(L0 ~ L7)의 동작을 제어하여, 다수의 메모리 레이어(L0 ~ L7)에 저장된 데이터를 인가받거나, 다수의 메모리 레이어(L0 ~ L7)에 저장되어야 하는 데이터를 전달할 수 있다. 뿐만 아니라 컨트롤 로직 레이어(CL)는 적층된 다수의 메모리 레이어(L0 ~ L7) 중 스왑 되어야 하는 데이터가 저장된 메모리 레이어를 선택하여, 선택된 메모리 레이어가 해당 데이터를 스왑하도록 제어할 수 있다.
- [0034] 그러나 도 1의 스택형 하이브리드 반도체 메모리 장치의 경우, 다수의 메모리 레이어(L0 ~ L7) 중 휘발성 메모리 레이어(VML)에 해당하는 메모리 레이어(L0 ~ L3)는 모두 하부에 배치되고, 비휘발성 메모리 레이어(NVML)에 해당하는 메모리 레이어(L4 ~ L7)는 휘발성 메모리 레이어(VML)의 상부에 적층되는 반면, 도 2에 도시된 바와 같이, 본 실시예에 따른 스택형 하이브리드 반도체 메모리 장치에서는 휘발성 메모리 레이어((L0 ~ L2), (L4 ~ L6))와 비휘발성 메모리 레이어(L3, L7)가 기지정된 순서로 교대로 배치될 수 있다.
- [0035] 특히 본 실시예에서는 적어도 하나의 휘발성 메모리 레이어((L0 ~ L2), (L4 ~ L6))와 적어도 하나의 비휘발성 메모리 레이어(L3, L7)가 메모리 레이어 그룹(MLG1, MLG2)을 구성한다. 그리고 각각 적어도 하나의 휘발성 메모리 레이어((L0 ~ L2), (L4 ~ L6))와 적어도 하나의 비휘발성 메모리 레이어(L3, L7)를 포함하는 다수의 메모리 레이어 그룹(MLG1, MLG2) 단위로 컨트롤 로직 레이어(CL) 상에 적층 배치된다.
- [0036] 그리고 다수의 메모리 레이어(L0 ~ L7) 사이에는 적층된 메모리 레이어 사이에서 데이터를 전달하기 위한 다수의 TSV가 형성된다. 다만 도 1에 도시된 기존의 스택형 하이브리드 메모리 장치에서는 기본적으로 다수의 TSV(TSV)가 최하위에 위치하는 컨트롤 로직 레이어(CL)부터 최상위에 위치하는 메모리 레이어(L7)까지 다수의 메모리 레이어를 관통하여 형성된다.
- [0037] 반면, 본 실시예의 스택형 하이브리드 메모리 장치에서는 다수의 TSV가 도 1의 TSV(TSV)와 마찬가지로 컨트롤 로직 레이어(CL)부터 최상위 메모리 레이어(L7)까지 전기적으로 연결하는 다수의 제2 TSV(TSV2)와 다수의 메모리 레이어 그룹(MLG1, MLG2) 각각의 내부에 위치하는 메모리 레이어 사이를 전기적으로 연결하는 다수의 제1 TSV(TSV1)로 구분되어 형성될 수 있다.
- [0038] 한편 다수의 메모리 레이어(L0 ~ L7) 각각은 각각 적어도 하나의 메모리 셀 어레이(memory cell array)(MCA)를 포함하는 다수의 뱅크(Bank)가 배치되는 뱅크 영역(BA)과 다수의 뱅크(Bank)에 저장된 데이터를 컨트롤 로직 레이어(CL)나 다른 메모리 레이어로 전송하기 위한 다수의 TSV가 형성되는 인터커넥트(Interconnect) 영역(IA)으로 구성되는 다수의 채널 영역(CA)을 포함할 수 있다. 여기서 도 2에 도시된 바와 같이, 다수의 메모리 레이어(L0 ~ L7) 각각에서 서로 대응하는 위치의 채널 영역(CA)은 서로 공통의 TSV를 이용하여 데이터를 전송할 수 있는 채널(Channel)을 형성할 수 있다.
- [0039] 그리고 다수의 뱅크(Bank) 각각에 포함되는 적어도 하나의 메모리 셀 어레이는 로우(row)를 구성하는 다수의 워드 라인(미도시)과 칼럼(column)을 구성하는 다수의 비트 라인(미도시)이 형성되고, 다수의 워드 라인과 다수의 비트 라인이 교차하는 위치에 데이터를 저장하는 다수의 메모리 셀(MC)이 배치된다. 또한 다수의 뱅크(Bank)에는 메모리 셀 어레이에서 선택된 로우의 메모리 셀에 저장된 데이터 또는 선택된 로우의 메모리 셀에 저장되어야 하는 데이터를 임시 저장하는 로우 버퍼(RB)가 더 배치된다.
- [0040] 도 2에서는 메모리 레이어(L0 ~ L7)의 일 예로 다수의 휘발성 메모리 레이어((L0 ~ L2), (L4 ~ L6)) 중 하나를 도시하였으며, 비휘발성 메모리 레이어(L3, L7)의 경우, 각각 다수의 메모리 셀을 포함하는 다수의 메모리 블록으로 구성되는 다수의 다이(Die)가 뱅크(Bank)를 대체하는 구조로 구성될 수 있으나, 대략적 구성에 있어서는 유사성이 있다. 또한 비휘발성 메모리 레이어(L3, L7)에서도 일부 영역에 휘발성 메모리가 형성될 수도 있다.
- [0041] 도 2 및 도 4에서는 설명의 편의를 위하여 하나의 채널에 형성된 제1 및 제2 TSV(TSV1, TSV2)를 도시하였으나, 제1 및 제2 TSV(TSV1, TSV2)는 모든 채널, 즉 각 메모리 레이어의 전 영역에서 지정된 위치에 형성될 수 있다.
- [0042] 상기한 본 실시예의 스택형 하이브리드 메모리 장치에서 본 실시예에 따른 스택형 하이브리드 메모리 장치에서 다수의 휘발성 메모리 레이어(L0 ~ L2, L4 ~ L6)와 다수의 비휘발성 메모리 레이어(L3, L7)가 다수의 메모리 레

이어 그룹(MLG1, MLG2)으로 구분되어 메모리 레이어 그룹(MLG1, MLG2) 단위로 적층되고, 다수의 TSV가 제1 TSV(TSV1)와 제2 TSV(TSV2)로 구분되어 형성되는 것은 상기한 바와 같이 다수의 메모리 레이어 중 일부 메모리 레이어가 데이터 스왑을 수행하는 동안 TSV를 점유하여 다른 메모리 레이어가 TSV를 통해 데이터를 전송하지 못하고 대기해야 하는 문제를 해결하기 위해서이다.

[0043] 즉 본 실시예에서는 다수의 제1 TSV(TSV1)가 각 메모리 레이어 그룹(MLG1, MLG2) 내에 구분되어 형성되므로, 각 메모리 레이어 그룹(MLG1, MLG2)의 다수의 메모리 레이어((L0 ~ L3), (L4 ~ L7))는 다른 메모리 레이어 그룹의 데이터 전송 상태에 무관하게, 해당 메모리 레이어 그룹(MLG1, MLG2) 내에 형성된 다수의 제1 TSV(TSV1)를 이용하여 데이터 스왑을 수행할 수 있다.

[0044] 따라서 본 실시예의 스택형 하이브리드 메모리 장치에서는 메모리 레이어 그룹(MLG1, MLG2) 각각이 병렬로 동시에 휘발성 메모리 레이어((L0 ~ L2), (L4 ~ L6))와 비휘발성 메모리 레이어(L3, L7) 사이의 데이터 스왑을 수행할 수 있게 된다. 도 4에서는 이에 대한 일 예로서 제1 메모리 레이어 그룹(MLG1)의 하나의 휘발성 메모리 레이어(L0)와 비휘발성 메모리 레이어(L3)가 데이터 스왑하는 동안, 제2 메모리 레이어 그룹(MLG2)의 하나의 휘발성 메모리 레이어(L0)와 비휘발성 메모리 레이어(L3)가 데이터 스왑을 함께 수행할 수 있음을 나타낸다.

[0045] 이때 다수의 메모리 레이어 그룹(MLG1, MLG2)는 컨트롤 로직 레이어의 제어에 따라 다수의 메모리 레이어 중 스왑할 데이터가 저장된 제1 및 제2 메모리 레이어를 선택하고, 선택된 제1 및 제2 메모리 레이어 각각에서 스왑할 데이터를 선택하며, 선택된 제1 및 제2 메모리 레이어가 동일 메모리 레이어 그룹 내의 메모리 레이어이면, 제1 및 제2 메모리 레이어 각각에서 선택된 데이터를 기지정된 순서로 다수의 제1 TSV(TSV1)를 통해 전송하고 전송된 데이터를 저장하여 데이터 스왑 동작을 수행할 수 있다. 이때 다른 메모리 레이어 그룹 또한 내부의 메모리 레이어 사이에서 데이터를 스왑할 수 있다.

[0046] 따라서 스택형 하이브리드 메모리 장치의 동작 속도를 향상시켜 성능을 크게 개선할 수 있다.

[0047] 그러나 선택된 제1 및 제2 메모리 레이어가 서로 다른 메모리 레이어 그룹 내의 메모리 레이어이면, 제1 및 제2 메모리 레이어 각각에서 선택된 데이터를 기지정된 순서로 다수의 제2 TSV(TSV2)를 통해 전송하고 전송된 데이터를 저장하여 데이터 스왑 동작을 수행할 수 있다.

[0048] 도 5 내지 도 9는 메모리 레이어간 데이터 스왑 방법을 설명하기 위한 도면이다.

[0049] 도 5 내지 도 9에서는 2개의 메모리 레이어(L1, L2) 사이의 데이터 스왑을 도시하였다. 여기는 설명의 편의를 위하여, 동일한 휘발성 메모리 레이어 사이의 데이터 스왑을 도시하였으나, 비휘발성 메모리 레이어와 휘발성 메모리 레이어 사이의 데이터 스왑도 동일한 방식으로 수행될 수 있다.

[0050] 또한 데이터 스왑이 수행되는 2개의 메모리 레이어(L1, L2) 중 하나의 메모리 레이어(여기서는 일 예로 제1 메모리 레이어(L1))의 인터커넥트 영역(IA)에만 데이터 스왑을 위한 스왑 버퍼(SB0, SB1)가 더 형성된 경우를 도시하였다. 여기서는 다수의 제1 TSV(TSV1)를 통해 한번에 전송 가능한 스왑 데이터의 크기에 대응하여 스왑 버퍼(SB0, SB1)를 2개로 구분되어 표시하였으나, 스왑 버퍼는 단일 버퍼 장치로 구현될 수 있다. 이때, 한번에 전송 가능한 스왑 데이터의 크기는 로우 버퍼의 크기보다 작다.

[0051] 그리고 다수의 메모리 레이어(L0 ~ L7) 각각에 스왑 버퍼(SB0, SB1)가 구비될 수도 있으나, 데이터를 스왑해야 하는 메모리 레이어(L1, L2) 중 하나의 메모리 레이어(L1)에만 스왑 버퍼(SB0, SB1)를 구비하여도 데이터 스왑이 수행될 수 있어, 제조 비용을 저감할 수 있다는 장점이 있다. 특히 스택형 하이브리드 메모리 장치에서는 상기한 바와 같이, 휘발성 메모리 레이어 사이에서 데이터 스왑이 요구되는 경우가 거의 없어, 현실적으로 데이터 스왑은 휘발성 메모리 레이어와 비휘발성 메모리 레이어 상에서 발생되는 것으로 볼 수 있으므로, 스왑 버퍼(SB0, SB1)는 메모리 레이어 그룹(MLG1, MLG2) 내에서 휘발성 메모리 레이어((L0 ~ L2), (L4 ~ L6)) 또는 비휘발성 메모리 레이어(L3, L7) 중 하나에만 형성될 수 있다.

[0052] 또한 도 5 내지 도 9의 메모리 레이어간 데이터 스왑 방법은 단지 2개의 메모리 레이어(L1, L2) 사이의 데이터 스왑을 설명하므로, 2개의 메모리 레이어(L1, L2)가 반드시 동일한 메모리 레이어 그룹(MLG1, MLG2)내에 배치된 메모리 레이어가 아니어도 무방하다. 다만, 2개의 메모리 레이어가 데이터 스왑을 수행하고 있는 동안 또 다른 메모리 레이어들에서 데이터 스왑이 요구되는 경우, 데이터를 스왑하는 메모리 레이어들은 동일한 메모리 레이어 그룹(MLG1, MLG2)내에 배치된 메모리 레이어이어야 한다.

[0053] 도 6 내지 도 9에서 하단은 데이터 스왑 시에 각 단계별로 소요되는 시간을 나타낸다.

[0054] 도 5 내지 도 9를 참조하면, 우선 도 5에서 ①로 표시된 바와 같이, 2개의 메모리 레이어(L1, L2) 사이의 데이

터 스왑 동작시에는 2개의 메모리 레이어(L1, L2) 각각에서 뱅크의 메모리 셀 어레이(MCA) 중 스왑되어야 하는 데이터가 저장된 로우가 선택(ACT)되고, 선택된 로우의 데이터가 각각 대응하는 로우 버퍼(RB)로 전달된다. 여기서 로우가 선택되어 선택된 로우의 데이터가 로우 버퍼(RB)에 전달되어 저장되는 시간을 tRCD로 표시하였다.

[0055] 그리고 도 6에서 ②로 표시된 바와 같이, 스왑 버퍼(SB0, SB1)가 형성되지 않은 제2 메모리 레이어(L2)의 로우 버퍼(RB)에 저장된 데이터가 제1 TSV(TSV1)를 통해 제1 메모리 레이어(L1)의 스왑 버퍼(SB0)로 인가되어 저장된다. 제2 메모리 레이어(L2)의 로우 버퍼(RB)의 데이터가 스왑 버퍼(SB0)로 이동하였으므로, 제1 메모리 레이어(L1)의 로우 버퍼(RB)에 저장된 데이터는 도 7의 ③으로 표시된 바와 같이, 스왑 버퍼(SB0, SB1)를 거치지 않고 곧바로 제2 메모리 레이어(L2)의 로우 버퍼(RB)에 전달되어 저장된다.

[0056] 이후, 도 8에서 ④로 표시된 바와 같이, 스왑 버퍼(SB0)에 저장된 데이터가 제1 메모리 레이어(L1)의 로우 버퍼(RB)에 전달되어 저장되며, 이때, ⑤로 표시된 바와 같이, 제2 메모리 레이어(L2)의 로우 버퍼(RB)에 저장된 전송되지 않은 데이터가 제1 TSV(TSV1)를 통해 제1 메모리 레이어(L1)의 다른 스왑 버퍼(SB1)로 인가되어 저장될 수 있다. 즉 스왑 버퍼(SB0)에 저장된 데이터가 제1 메모리 레이어(L1)의 로우 버퍼(RB)에 저장되는 동작과 제2 메모리 레이어(L2)의 로우 버퍼(RB)에 저장된 데이터가 스왑 버퍼(SB1)로 인가되어 저장되는 동작은 함께 수행될 수 있다. 그리고 ⑤로 표시된 동작은 도 6의 ②와 동일한 동작으로, 이후로는 도 9에 도시된 바와 같이, 제1 및 제2 메모리 레이어(L1, L2)의 로우 버퍼(RB)에 저장된 데이터가 모두 스왑될 때까지 도 6 내지 도 8의 동작을 반복하여 수행한다.

[0057] 결과적으로 초기 1회를 제외하면, 제2 메모리 레이어(L2)의 로우 버퍼(RB)에 저장된 데이터가 제1 TSV(TSV1)를 통해 제1 메모리 레이어(L1)의 스왑 버퍼(SB0, SB1)로 인가되어 저장되는 동작과 이전 스왑 버퍼(SB0, SB1)인가되어 저장된 데이터가 제1 메모리 레이어(L1)의 로우 버퍼(RB)에 전달되어 저장되는 동작이 함께 수행될 수 있어, 데이터 스왑 시간을 크게 저감시킬 수 있다.

[0058] 뿐만 아니라 상기한 데이터 스왑 동작은 다수의 메모리 레이어 그룹(MLG1, MLG2) 각각에서 독립적으로 수행될 수 있으므로, 데이터 스왑 시간을 더욱 크게 줄일 수 있어, 스택형 하이브리드 메모리 장치의 성능을 개선할 수 있다.

[0059] 본 발명에 따른 방법은 컴퓨터에서 실행시키기 위한 매체에 저장된 컴퓨터 프로그램으로 구현될 수 있다. 여기서 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 또한 컴퓨터 저장 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함하며, ROM(판독 전용 메모리), RAM(랜덤 액세스 메모리), CD(컴팩트 디스크)-ROM, DVD(디지털 비디오 디스크)-ROM, 자기 테이프, 플로피 디스크, 광데이터 저장장치 등을 포함할 수 있다.

[0060] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

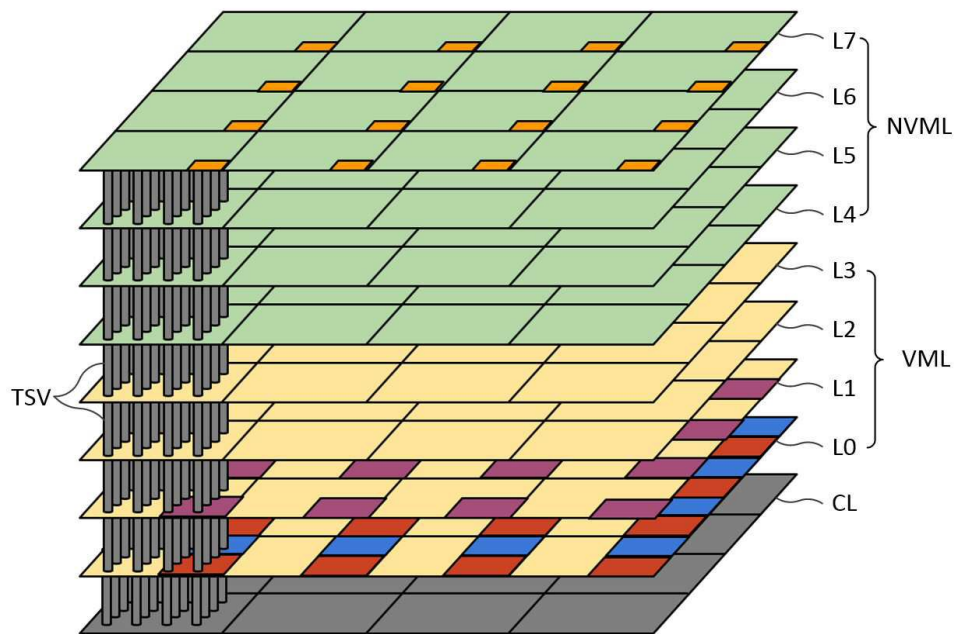
[0061] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

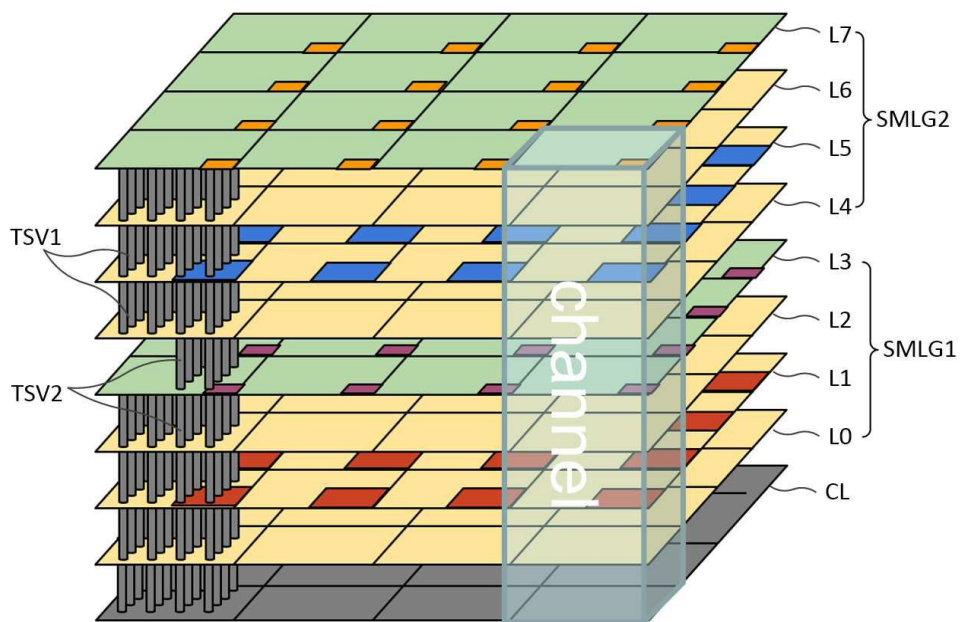
[0062] CL: 컨트롤 로직 레이어	L0 ~ L7: 메모리 레이어
VML: 휘발성 메모리 레이어	NVML: 비휘발성 메모리 레이어
TSV1, TSV2: 제1 및 제2 TSV	CA: 채널 영역
BA: 뱅크 영역	IA: 인터커넥트 영역
MCA: 메모리 셀 어레이	RB: 로우 버퍼
SB0, SB1: 스왑 버퍼	

도면

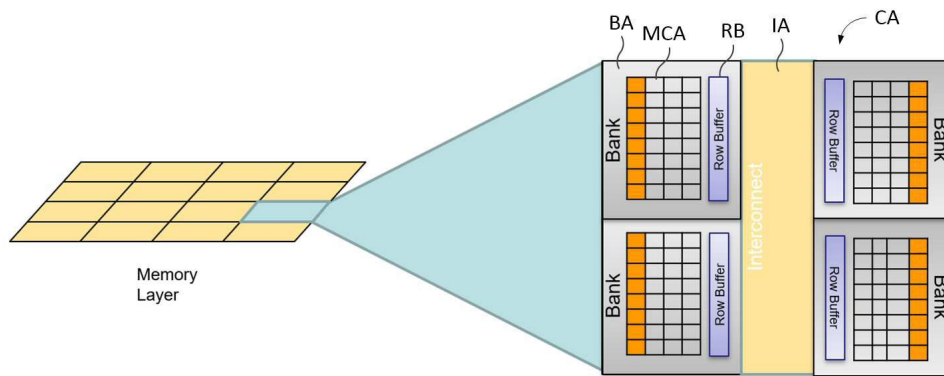
도면1



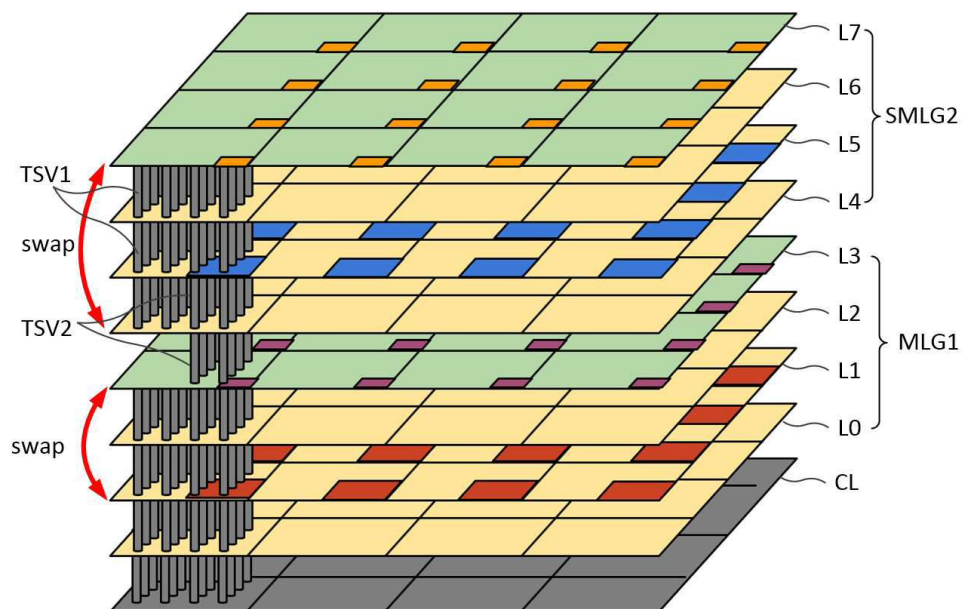
도면2



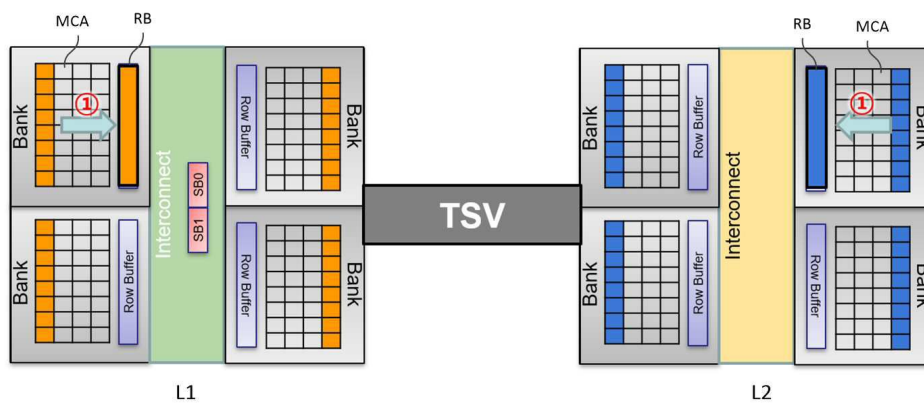
도면3



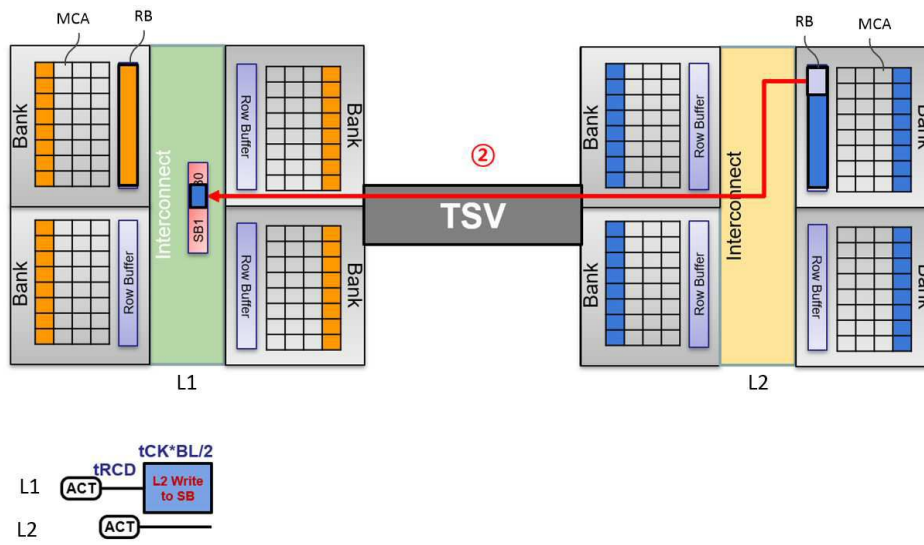
도면4



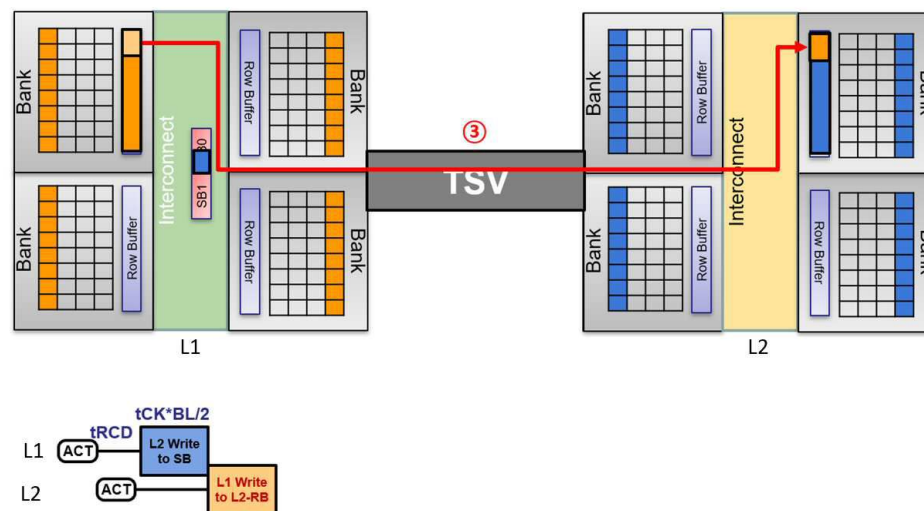
도면5



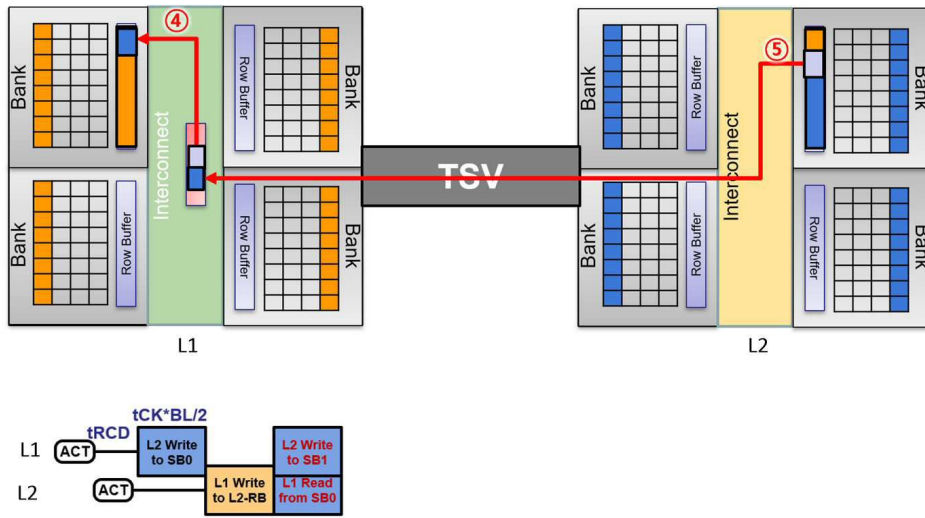
도면6



도면7



도면8



도면9

