



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년12월16일

(11) 등록번호 10-2478757

(24) 등록일자 2022년12월14일

(51) 국제특허분류(Int. Cl.)

G11C 11/4091 (2006.01) G11C 11/408 (2006.01)

G11C 11/4094 (2006.01) G11C 7/06 (2021.01)

(52) CPC특허분류

G11C 11/4091 (2013.01)

G11C 11/408 (2013.01)

(21) 출원번호 10-2021-0098739

(22) 출원일자 2021년07월27일

심사청구일자 2021년07월27일

(56) 선행기술조사문헌

KR1020190001769 A

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)

정인준

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C421(신촌동)

김태현

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C421(신촌동)

(74) 대리인

민영준

전체 청구항 수 : 총 17 항

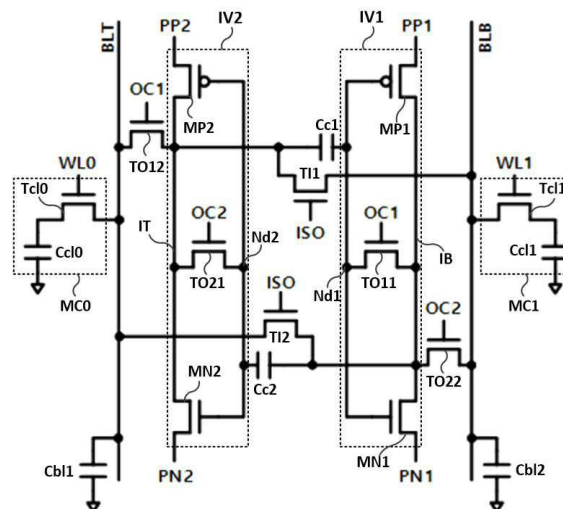
심사관 : 손윤식

(54) 발명의 명칭 비트라인 센스 앰프 회로 및 이를 이용한 반도체 메모리 장치

(57) 요약

본 발명은 센스 앰프 오프셋을 제거함으로써 센싱 마진을 증가시키고, 차지 셰어링 기간 동안 오프셋이 제거되도록 하여 오프셋 제거로 인한 센싱 시간이 증가되지 않도록 할 뿐만 아니라, 이중 센싱 마진 구조를 적용하여 센싱 마진을 대폭 향상시킬 수 있으며, 별도의 프리차지 회로를 필요로 하지 않으므로 크기 및 비용 증가를 억제할 수 있는 비트라인 센스 앰프 회로 및 이를 이용한 반도체 메모리 장치를 제공한다.

대표도 - 도2



(52) CPC특허분류

G11C 11/4094 (2013.01)

G11C 7/065 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711134619
과제번호	2021-0-00871-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송연구개발사업
연구과제명	DRAM 기반 DNN 연산기 통합 PIM DRAM 칩 개발
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2021.04.01 ~ 2021.12.31

명세서

청구범위

청구항 1

제1 풀업 전원단과 제1 풀다운 전원단 사이에 연결되고, 입력단이 제1 센싱 노드에 연결되며, 출력단이 제2 이너 비트라인에 연결되는 제1 인버터;

제2 풀업 전원단과 제2 풀다운 전원단 사이에 연결되고, 입력단이 제2 센싱 노드에 연결되고, 출력단이 제1 이너 비트라인에 연결되는 제2 인버터;

상기 제1 센싱 노드와 상기 제1 이너 비트라인 사이에 연결되는 제1 캐패시터;

상기 제2 센싱 노드와 상기 제2 이너 비트라인 사이에 연결되는 제2 캐패시터;

차지 셰어링 구간에서 상기 제1 이너 비트라인과 제2 비트라인 사이의 연결을 차단하고, 상기 제2 이너 비트라인과 제1 비트라인 사이의 연결을 차단하는 격리부; 및

상기 차지 셰어링 구간 내에 포함되는 오프셋 제거 구간에서 상기 제1 센싱 노드와 상기 제2 이너 비트라인 및 상기 제1 이너 비트라인과 상기 제1 비트라인을 각각 연결하고, 상기 제2 센싱 노드와 상기 제1 이너 비트라인 및 상기 제2 이너 비트라인과 상기 제2 비트라인을 각각 연결하는 오프셋 제거부를 포함하는 비트라인 센스 앰프 회로.

청구항 2

제1항에 있어서, 상기 오프셋 제거부는

상기 오프셋 제거 구간에서 제1 오프셋 제거 구간에 활성화되는 제1 오프셋 신호에 응답하여, 상기 제1 센싱 노드와 상기 제2 이너 비트라인을 연결하고, 상기 제1 이너 비트라인과 상기 제1 비트라인을 연결하는 제1 오프셋 제거부; 및

상기 오프셋 제거 구간에서 상기 제1 오프셋 제거 구간과 구분되는 제2 오프셋 제거 구간에 활성화되는 제2 오프셋 신호에 응답하여, 상기 제2 센싱 노드와 상기 제1 이너 비트라인을 연결하고, 상기 제2 이너 비트라인과 상기 제2 비트라인을 연결하는 제2 오프셋 제거부를 포함하는 비트라인 센스 앰프 회로.

청구항 3

제2항에 있어서, 상기 제1 및 제2 오프셋 신호 각각은

상기 차지 셰어링 구간 이전 프리차지 구간에 추가로 활성화되는 비트라인 센스 앰프 회로.

청구항 4

제3항에 있어서, 상기 제1 오프셋 제거부는

상기 제1 센싱 노드와 상기 제2 이너 비트라인 사이에 연결되고 게이트로 상기 제1 오프셋 신호가 인가되는 제11 오프셋 제거 트랜지스터; 및

상기 제1 이너 비트라인과 상기 제1 비트라인 사이에 연결되고 게이트로 상기 제1 오프셋 신호가 인가되는 제12 오프셋 제거 트랜지스터를 포함하는 비트라인 센스 앰프 회로.

청구항 5

제4항에 있어서, 상기 제2 오프셋 제거부는

상기 제2 센싱 노드와 상기 제1 이너 비트라인 사이에 연결되고 게이트로 상기 제2 오프셋 신호가 인가되는 제21 오프셋 제거 트랜지스터; 및

상기 제2 이너 비트라인과 상기 제2 비트라인 사이에 연결되고 게이트로 상기 제2 오프셋 신호가 인가되는 제22

오프셋 제거 트랜지스터를 포함하는 비트라인 센스 앰프 회로.

청구항 6

제3항에 있어서, 상기 제1 풀업 전원단은

상기 제1 오프셋 제거 구간과 상기 차지 쉐어링 구간 이후 메인 센싱 구간 각각에 기지정된 전압 레벨의 코어 전압이 인가되고 나머지 구간에서는 프리차지 전압이 인가되며,

상기 제1 풀다운 전원단은

상기 제1 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 기지정된 접지 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가되는 비트라인 센스 앰프 회로.

청구항 7

제6항에 있어서, 상기 제2 풀업 전원단은

상기 제2 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 상기 코어 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가되며,

상기 제2 풀다운 전원단은

상기 제2 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 상기 접지 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가되는 비트라인 센스 앰프 회로.

청구항 8

제3항에 있어서, 상기 격리부는

상기 제1 이너 비트라인과 상기 제2 비트라인 사이에 연결되고, 상기 차지 쉐어링 구간 동안 비활성화되는 격리 신호를 게이트로 인가받아 턴 오프되는 제1 격리 트랜지스터; 및

상기 제2 이너 비트라인과 상기 제1 비트라인 사이에 연결되고, 상기 격리 신호를 게이트로 인가받아 턴 오프되는 제2 격리 트랜지스터를 포함하는 비트라인 센스 앰프 회로.

청구항 9

다수의 워드라인과 다수의 비트라인에 의해 정의되는 다수의 메모리 셀을 포함하는 메모리 셀 어레이; 및

상기 다수의 워드라인 중 활성화된 워드라인에 의해 선택되는 메모리 셀에 저장된 데이터 값에 따라 나타나는 상기 메모리 셀에 대응하는 제1 비트라인과 선택되지 않은 메모리 셀에 대응하는 제2 비트라인 사이의 전압차를 감지 증폭하는 다수의 비트라인 센스 앰프를 포함하고,

상기 다수의 비트라인 센스 앰프 각각은

제1 풀업 전원단과 제1 풀다운 전원단 사이에 연결되고, 입력단이 제1 센싱 노드에 연결되며, 출력단이 제2 이너 비트라인에 연결되는 제1 인버터;

제2 풀업 전원단과 제2 풀다운 전원단 사이에 연결되고, 입력단이 제2 센싱 노드에 연결되고, 출력단이 제1 이너 비트라인에 연결되는 제2 인버터;

상기 제1 센싱 노드와 상기 제1 이너 비트라인 사이에 연결되는 제1 캐패시터;

상기 제2 센싱 노드와 상기 제2 이너 비트라인 사이에 연결되는 제2 캐패시터;

차지 쉐어링 구간에서 상기 제1 이너 비트라인과 상기 제2 비트라인 사이의 연결을 차단하고, 상기 제2 이너 비트라인과 상기 제1 비트라인 사이의 연결을 차단하는 격리부; 및

상기 차지 쉐어링 구간 내에 포함되는 오프셋 제거 구간에서 상기 제1 센싱 노드와 상기 제2 이너 비트라인 및 상기 제1 이너 비트라인과 상기 제1 비트라인을 각각 연결하고, 상기 제2 센싱 노드와 상기 제1 이너 비트라인 및 상기 제2 이너 비트라인과 상기 제2 비트라인을 각각 연결하는 오프셋 제거부를 포함하는 반도체 메모리 장치.

청구항 10

제9항에 있어서, 상기 오프셋 제거부는

상기 오프셋 제거 구간에서 제1 오프셋 제거 구간에 활성화되는 제1 오프셋 신호에 응답하여, 상기 제1 센싱 노드와 상기 제2 이너 비트라인을 연결하고, 상기 제1 이너 비트라인과 상기 제1 비트라인을 연결하는 제1 오프셋 제거부; 및

상기 오프셋 제거 구간에서 상기 제1 오프셋 제거 구간과 구분되는 제2 오프셋 제거 구간에 활성화되는 제2 오프셋 신호에 응답하여, 상기 제2 센싱 노드와 상기 제1 이너 비트라인을 연결하고, 상기 제2 이너 비트라인과 상기 제2 비트라인을 연결하는 제2 오프셋 제거부를 포함하는 반도체 메모리 장치.

청구항 11

제10항에 있어서, 상기 제1 및 제2 오프셋 신호 각각은

상기 차지 셰어링 구간 이전 프리차지 구간에 추가로 활성화되는 반도체 메모리 장치.

청구항 12

제11항에 있어서, 상기 제1 오프셋 제거부는

상기 제1 센싱 노드와 상기 제2 이너 비트라인 사이에 연결되고 게이트로 상기 제1 오프셋 신호가 인가되는 제1 오프셋 제거 트랜지스터; 및

상기 제1 이너 비트라인과 상기 제1 비트라인 사이에 연결되고 게이트로 상기 제1 오프셋 신호가 인가되는 제12 오프셋 제거 트랜지스터를 포함하는 반도체 메모리 장치.

청구항 13

제12항에 있어서, 상기 제2 오프셋 제거부는

상기 제2 센싱 노드와 상기 제1 이너 비트라인 사이에 연결되고 게이트로 상기 제2 오프셋 신호가 인가되는 제21 오프셋 제거 트랜지스터; 및

상기 제2 이너 비트라인과 상기 제2 비트라인 사이에 연결되고 게이트로 상기 제2 오프셋 신호가 인가되는 제22 오프셋 제거 트랜지스터를 포함하는 반도체 메모리 장치.

청구항 14

제11항에 있어서, 상기 제1 풀업 전원단은

상기 제1 오프셋 제거 구간과 상기 차지 셰어링 구간 이후 메인 센싱 구간 각각에 기지정된 전압 레벨의 코어 전압이 인가되고 나머지 구간에서는 프리차지 전압이 인가되며,

상기 제1 풀다운 전원단은

상기 제1 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 기지정된 접지 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가되는 반도체 메모리 장치.

청구항 15

제14항에 있어서, 상기 제2 풀업 전원단은

상기 제2 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 상기 코어 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가되며,

상기 제2 풀다운 전원단은

상기 제2 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 상기 접지 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가되는 반도체 메모리 장치.

청구항 16

제11항에 있어서, 상기 격리부는

상기 제1 이너 비트라인과 상기 제2 비트라인 사이에 연결되고, 상기 차지 웨어링 구간 동안 비활성화되는 격리 신호를 게이트로 인가받아 턴 오프되는 제1 격리 트랜지스터; 및

상기 제2 이너 비트라인과 상기 제1 비트라인 사이에 연결되고, 상기 격리 신호를 게이트로 인가받아 턴 오프되는 제2 격리 트랜지스터를 포함하는 반도체 메모리 장치.

청구항 17

제15항에 있어서, 상기 메모리 셀 어레이는

로우 어드레스에 대응하는 워드라인이 상기 차지 웨어링 구간과 상기 메인 센싱 구간 동안 활성화되는 반도체 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 비트라인 센스 앰프 회로 및 이를 이용한 반도체 메모리 장치에 관한 것으로, 비트라인 오프셋을 제거하고 센싱 정확도를 향상시키면서 고속으로 센싱 동작을 수행할 수 있는 로우 레이턴시 비트라인 센스 앰프 회로 및 이를 이용한 반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치, 특히 DRAM(Dynamic Random Access Memory)의 경우, 비약적인 발전으로 인해 고속화, 저전력 소비 및 고집적화를 달성하였다. 이로 인해 최근 수십년 동안, DRAM의 메모리 용량은 100배 이상 증가하였으나, DRAM의 액세스 레이턴시(access latency: tRC(Row Cycle Time))와 액티베이션 레이턴시(activation latency: tRCD(Row Address to Column Address Delay))는 각각 23.75%와 31.25% 밖에 감소하지 못하였다. 이로 인해 프로세서가 DRAM에 저장된 데이터에 액세스 하기 위해서는 수백 클럭 사이클을 대기하여야 하므로, 이러한 DRAM의 레이턴시는 시스템 전체 성능에서 큰 병목 현상을 야기하는 요인이 되고 있다.

[0003] 도 1은 센스 앰프의 동작에 따른 센싱 수율을 설명하기 위한 도면이다.

[0004] 도 1에 도시된 바와 같이, 센스 앰프는 데이터에 따라 메모리 셀(Cell)에 저장된 전압이 대응하는 비트라인(BLT)과 차지 웨어링되어, 비트라인(BLT)에 전압 변화량(ΔV) 만큼의 전압 변화가 발생되면, 이로 인한 비트라인쌍(BLT, BLB) 사이에 전압 차(ΔV_{BL})를 감지 증폭하여, 셀에 저장된 데이터를 판별할 수 있도록 한다.

[0005] 그리고 센스 앰프의 센싱 성공률을 나타내는 센싱 수율(Sensing Yield)은 수학적 식 1과 같이, 판별한 전체 데이터 샘플 수에 대한 정상 판별한 데이터 샘플 수로 나타난다.

수학적 식 1

$$\text{Sensing yield} = \frac{\# \text{ of correct samples}}{\# \text{ of total samples}} \times 100$$

[0006]

[0007] 센스 앰프가 메모리 셀의 데이터를 오판별하는 센싱 실패(sensing fail)는 크게 2가지 요인에 의해 발생한다. 도 1을 참조하면, 센싱 실패의 첫번째 요인은 센스 앰프의 트랜지스터(TR)들 사이의 문턱전압(V_{th}) 차이에 따른 오프셋(offset) 전압(V_{OS})에 의해 비트라인쌍(BLT, BLB)의 전압 차(ΔV_{BL})의 부호가 역전되는 오프셋 실패(Offset fail)이다. 그리고 두번째 요인은 비트라인쌍(BLT, BLB)의 전압 차(ΔV_{BL})가 정상적으로 감지되더라도 센스 앰프가 감지된 전압 차(ΔV_{BL})를 반도체 메모리 장치의 스펙에서 요구되는 시간(예를 들면 tRCD) 이내에 충분히 증폭시키지 못하여 발생하는 센싱 시간 실패(tSA fail)이다. 통상적으로 외부 장치가 데이터를 정상적으로 인지하기 위해서는 센스 앰프가 미리 지정된 시간(예를 들면 tRCD) 이내에 비트라인쌍(BLT, BLB)의 전압 차(ΔV_{BL})를 기지정된 코어 전압(V_{core})의 80% 이상까지 증폭시킬 수 있어야만 한다. 즉 센싱 시간 실패(tSA fai

1)를 방지하기 위해서는 센스 앰프가 빠르게 비트라인쌍(BL, BLB)의 전압 차(ΔV_{BL})를 증폭시키거나, 센스 앰프가 느리게 전압 차(ΔV_{BL})를 증폭시키더라도 충분히 증폭된 이후 데이터가 출력되도록 액티베이션 레이턴시(tRCD)가 증가되어야 한다.

[0008] 상기한 바와 같이, 레이턴시의 증가는 시스템 전체 성능에서 큰 병목 현상을 야기하므로, 메모리 시스템의 성능을 향상시키기 위해서는 센스 앰프가 전압 차(ΔV_{BL})를 빠르게 증폭시킬 수 있도록 하여, 레이턴시를 개선하는 것이 중요하다.

[0009] DRAM에서 레이턴시를 개선할 수 있는 가장 중요한 요소는 센스 앰프(bit line sense amp)의 센싱 마진(sensing margin)이다.

[0010] 센싱 마진은 기본적으로 선택된 셀(Cell)에 저장된 전압과 차지 셰어링하여 발생하는 비트라인(BL)의 전압 변화량(ΔV)에 기반하지만, 센스 앰프의 트랜지스터(TR)들 사이의 문턱전압(V_{th}) 차이에 따른 오프셋(offset) 전압(V_{os}) 및 오픈 비트라인(Open bitline) 구조에 따른 커플링 노이즈(coupling noise)에 의해 감소되므로 수학적 2와 같이 계산될 수 있다.

수학적 2

[0011]
$$\text{Sensing margin} = \Delta V_{BL} - (V_{os} + \text{coupling noise})$$

[0012] 수학적 2에서 비트라인쌍(BL, BLB)의 전압 차(ΔV_{BL})는 선택된 셀에 대응하는 비트라인(BLT)의 전압(V_{BL})과 선택된 셀이 데이터에 따라 저장된 전압을 비트라인(BLT)과 공유하여 발생하는 전압 변화량(ΔV)을 나타내는 차지 셰어링 전압(ΔV_{CS})의 합에 비트라인바 전압(V_{BLB})을 차감하는 값으로 수학적 3과 같이 나타난다.

수학적 3

[0013]
$$\Delta V_{BL} = (V_{BLT} + \Delta V_{CS}) - V_{BLB}$$

[0014] 그리고 차지 셰어링 전압(ΔV_{CS})은 셀 전압(V_{cell})과 비트라인 전압(V_{BLT}) 사이의 전압차($V_{cell} - V_{BLT}$)와 비트라인(BLT)의 캐패시턴스(C_{BL})와 셀 캐패시턴스(C_{cell})의 비에 따라 수학적 4와 같이 계산된다.

수학적 4

[0015]
$$\Delta V_{CS} = \frac{V_{cell} - V_{BLT}}{1 + (C_{BL}/C_{cell})}$$

[0016] 여기서 비트라인(BLT)의 캐패시턴스(C_{BL})는 오픈 비트라인 구조에서 비트라인(BL)에 연결된 셀의 개수(n)에 따른 캐패시턴스($C_{BL, cell} \propto n$)와 비트라인(BL)에 연결된 센스 앰프 캐패시턴스($C_{BL, SA}$)의 합으로 수학적 5와 같이 계산될 수 있다.

수학적 5

[0017]
$$C_{BL} = C_{BL, cell} \times n + C_{BL, SA}$$

[0018] 한편 반도체 메모리 장치의 공정 미세화에 따라 셀 캐패시턴스(C_{cell})가 감소(예를 들면 $C_{cell} < 10fF$)가 감소되고

오프셋 제거 구간에 활성화되는 제2 오프셋 신호에 응답하여, 상기 제2 센싱 노드와 상기 제1 이너 비트라인을 연결하고, 상기 제2 이너 비트라인과 상기 제2 비트라인을 연결하는 제2 오프셋 제거부를 포함할 수 있다.

- [0028] 상기 제1 및 제2 오프셋 신호 각각은 상기 차지 셰어링 구간 이전 프리차지 구간에 추가로 활성화될 수 있다.
- [0029] 상기 제1 오프셋 제거부는 상기 제1 센싱 노드와 상기 제2 이너 비트라인 사이에 연결되고 게이트로 상기 제1 오프셋 신호가 인가되는 제11 오프셋 제거 트랜지스터; 및 상기 제1 이너 비트라인과 상기 제1 비트라인 사이에 연결되고 게이트로 상기 제1 오프셋 신호가 인가되는 제12 오프셋 제거 트랜지스터를 포함할 수 있다.
- [0030] 상기 제2 오프셋 제거부는 상기 제2 센싱 노드와 상기 제1 이너 비트라인 사이에 연결되고 게이트로 상기 제2 오프셋 신호가 인가되는 제21 오프셋 제거 트랜지스터; 및 상기 제2 이너 비트라인과 상기 제2 비트라인 사이에 연결되고 게이트로 상기 제2 오프셋 신호가 인가되는 제22 오프셋 제거 트랜지스터를 포함할 수 있다.
- [0031] 상기 제1 풀업 전원단은 상기 제1 오프셋 제거 구간과 상기 차지 셰어링 구간 이후 메인 센싱 구간 각각에 기지정된 전압 레벨의 코어 전압이 인가되고 나머지 구간에서는 프리차지 전압이 인가되며, 상기 제1 풀다운 전원단은 상기 제1 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 기지정된 접지 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가될 수 있다.
- [0032] 상기 제2 풀업 전원단은 상기 제2 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 상기 코어 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가되며, 상기 제2 풀다운 전원단은 상기 제2 오프셋 제거 구간과 상기 메인 센싱 구간 각각에 상기 접지 전압이 인가되고 나머지 구간에서는 상기 프리차지 전압이 인가될 수 있다.
- [0033] 상기 격리부는 상기 제1 이너 비트라인과 상기 제2 비트라인 사이에 연결되고, 상기 차지 셰어링 구간 동안 비활성화되는 격리 신호를 게이트로 인가받아 턴 오프되는 제1 격리 트랜지스터; 및 상기 제2 이너 비트라인과 상기 제1 비트라인 사이에 연결되고, 상기 격리 신호를 게이트로 인가받아 턴 오프되는 제2 격리 트랜지스터를 포함할 수 있다.
- [0034] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 비트라인 센스 앰프 회로를 이용한 반도체 메모리 장치는 다수의 워드라인과 다수의 비트라인에 의해 정의되는 다수의 메모리 셀을 포함하는 메모리 셀 어레이; 및 상기 다수의 워드라인 중 활성화된 워드라인에 의해 선택되는 메모리 셀에 저장된 데이터 값에 따라 나타나는 상기 메모리 셀에 대응하는 제1 비트라인과 선택되지 않은 메모리 셀에 대응하는 제2 비트라인 사이의 전압차를 감지 증폭하는 다수의 비트라인 센스 앰프를 포함하고, 상기 다수의 비트라인 센스 앰프 각각은 제1 풀업 전원단과 제1 풀다운 전원단 사이에 연결되고, 입력단이 제1 센싱 노드에 연결되며, 출력단이 제2 이너 비트라인에 연결되는 제1 인버터; 제2 풀업 전원단과 제2 풀다운 전원단 사이에 연결되고, 입력단이 제2 센싱 노드에 연결되고, 출력단이 제1 이너 비트라인에 연결되는 제2 인버터; 상기 제1 센싱 노드와 상기 제1 이너 비트라인 사이에 연결되는 제1 캐패시터; 상기 제2 센싱 노드와 상기 제2 이너 비트라인 사이에 연결되는 제2 캐패시터; 차지 셰어링 구간에서 상기 제1 이너 비트라인과 상기 제2 비트라인 사이의 연결을 차단하고, 상기 제2 이너 비트라인과 상기 제1 비트라인 사이의 연결을 차단하는 격리부; 및 상기 차지 셰어링 구간 내에 포함되는 오프셋 제거 구간에서 상기 제1 센싱 노드와 상기 제2 이너 비트라인 및 상기 제1 이너 비트라인과 상기 제1 비트라인을 각각 연결하고, 상기 제2 센싱 노드와 상기 제1 이너 비트라인 및 상기 제2 이너 비트라인과 상기 제2 비트라인을 각각 연결하는 오프셋 제거부를 포함한다.

발명의 효과

- [0035] 따라서, 본 발명의 실시예에 따른 비트라인 센스 앰프 회로 및 이를 이용한 반도체 메모리 장치는 커플링 캐패시터와 적은 수의 트랜지스터를 추가하여 센스 앰프 오프셋을 제거함으로써 센싱 마진을 증가시키면서도, 차지 셰어링 기간 동안 오프셋이 제거되도록 하여 오프셋 제거로 인한 센싱 시간이 증가되지 않도록 한다. 뿐만 아니라 이중 센싱 마진 구조를 적용하여 센싱 마진을 대폭 향상시킬 수 있으며, 비트라인쌍을 프리차지하기 위한 별도의 프리차지 회로를 필요로 하지 않으므로 크기 및 비용 증가를 억제할 수 있다.

도면의 간단한 설명

- [0036] 도 1은 센스 앰프의 독작에 따른 센싱 수율을 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 비트라인 센스 앰프 회로를 나타낸다.

도 3은 도 2에 도시된 비트라인 센스 앰프 회로 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.

도 4는 도 2의 비트라인 센스 앰프 회로의 프리차지 구간에서의 동작을 설명하기 위한 도면이다.

도 5는 도 2의 비트라인 센스 앰프 회로의 제1 오프셋 제거 구간에서의 동작을 설명하기 위한 도면이다.

도 6은 도 2의 비트라인 센스 앰프 회로의 제2 오프셋 제거 구간에서의 동작을 설명하기 위한 도면이다.

도 7은 도 2의 비트라인 센스 앰프 회로의 메인 센싱 구간에서의 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0038] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.
- [0039] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0040] 도 2는 본 발명의 일 실시예에 따른 비트라인 센스 앰프 회로를 나타내고, 도 3은 도 2에 도시된 비트라인 센스 앰프 회로 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.
- [0041] 본 실시예에 따른 비트라인 센스 앰프 회로는 다수의 워드라인(WL)과 다수의 비트라인(BL)에 의해 정의되는 다수의 메모리 셀(MC)을 포함하는 메모리 셀 어레이에서 서로 인접한 2개의 비트라인 사이 각각에 구비된다. 그리고 다수의 센스 앰프 회로 각각은 다수의 워드라인(WL) 중 활성화된 워드라인(여기서는 일 예로 WL0)에 의해 선택되는 메모리 셀(MC0)에 저장된 데이터 값, 즉 메모리 셀(MC0)의 셀 캐패시터(Cc10)에 저장된 전압에 따라 나타나는 메모리 셀에 대응하는 제1 비트라인(BLT)과 선택되지 않은 메모리 셀(여기서는 일 예로 MC1)에 대응하는 제2 비트라인(BLB) 사이의 전압차를 감지 증폭한다.
- [0042] 도 2를 참조하면, 본 실시예에 따른 비트라인 센스 앰프 회로는 2개의 인버터(IV1, IV2), 2개의 캐패시터(Cc1, Cc2), 격리부 및 오프셋 제거부를 포함한다.
- [0043] 2개의 인버터(IV1, IV2) 중 제1 인버터(IV1)는 제1 풀업 전원단(PP1)과 제1 풀다운 전원단(PN1) 사이에 연결되고, 입력단이 제1 센싱 노드(Nd1)에 연결되며, 출력단이 제2 이너 비트라인(IB)에 연결된다. 제1 인버터(IV1)는 제1 풀업 전원단(PP1)과 제2 이너 비트라인(IB) 사이에 연결되는 제1 풀업 트랜지스터(MP1)와 제2 이너 비트라인(IB)과 제1 풀다운 전원단(PN1) 사이에 연결되는 제1 풀다운 트랜지스터(MN1)를 포함하고, 제1 풀업 트랜지스터(MP1)와 제1 풀다운 트랜지스터(MN1)의 게이트는 공통으로 제1 센싱 노드(Nd1)에 연결된다.
- [0044] 그리고 제2 인버터(IV2)는 제2 풀업 전원단(PP2)과 제2 풀다운 전원단(PN2) 사이에 연결되고, 입력단이 제2 센싱 노드(Nd2)에 연결되고, 출력단이 제1 이너 비트라인(IT)에 연결된다. 제2 인버터(IV1)는 제2 풀업 전원단(PP2)과 제1 이너 비트라인(IT) 사이에 연결되는 제2 풀업 트랜지스터(MP2)와 제1 이너 비트라인(IT)과 제2 풀다운 전원단(PN2) 사이에 연결되는 제2 풀다운 트랜지스터(MN2)를 포함하고, 제2 풀업 트랜지스터(MP2)와 제2 풀다운 트랜지스터(MN2)의 게이트는 공통으로 제2 센싱 노드(Nd2)에 연결된다.
- [0045] 따라서 제1 및 제2 인버터(IV1, IV2)는 각각 제1 센싱 노드(Nd1) 및 제2 센싱 노드(Nd2)의 전압 레벨을 감지하고 반전 증폭하여 제2 이너 비트라인(IB) 및 제1 이너 비트라인(IT)으로 인가하는 감지 증폭부로 동작한다.
- [0046] 2개의 캐패시터(Cc1, Cc2) 중 제1 캐패시터(Cc1)는 제1 인버터(IV1)의 입력단인 제1 센싱 노드(Nd1)와 제2 인버터(IV2)의 출력단인 제1 이너 비트라인(IT) 사이에 연결되고, 제2 캐패시터(Cc2)는 제2 인버터(IV2)의 입력단인 제2 센싱 노드(Nd2)와 제1 인버터(IV1)의 출력단인 제2 이너 비트라인(IB) 사이에 연결된다.
- [0047] 제1 및 제2 캐패시터(Cc1, Cc2) 각각은 후술하는 차지 셰어링 구간(CS)에 선택된 메모리 셀(MC0)의 셀 캐패시터(Cc10)와 대응하는 비트라인(BLT) 사이의 차지 셰어링을 통해 나타나는 전압 변화량(ΔV)을 충전하고, 이후 메인 센싱 구간(MS)에 충전된 전압 변화량(ΔV)을 방전함으로써, 제1 및 제2 인버터(IV1, IV2)의 제1 및 제2 풀업

트랜지스터(MP1, MP2)와 제1 및 제2 풀다운 트랜지스터(MN1, MN2) 사이에 문턱전압(V_{th}) 차로 인한 오프셋이 제거되도록 한다. 특히 오프셋 제거 시에 제1 센싱 노드(Nd1) 및 제2 센싱 노드(Nd2)에 발생하는 전압 변화가 비트라인(BLT, BLB)으로 전달되지 않도록 차단한다. 즉 오프셋 제거로 인해 차지 셰어링을 통해 나타난 비트라인(BLT) 사이의 전압 변화량(ΔV)이 변동되지 않도록 억제한다.

[0048] 또한 제1 및 제2 캐패시터(Cc1, Cc2)는 메인 센싱 구간(MS)에 형성되는 전류 경로에 따라 제1 및 제2 비트라인(BLT, BLB) 사이의 전압차가 전압 변화량(ΔV)의 2배로 증폭되도록 한다.

[0049] 격리부는 후술하는 프리차지 구간(EQ)에 및 메인 센싱 구간(MS) 제2 인버터(IV2)의 출력단인 제1 이너 비트라인(IT)과 제2 비트라인(BLB)을 연결하고, 제1 인버터(IV1)의 출력단인 제2 이너 비트라인과 제1 비트라인(BLT)을 연결한다. 즉 격리부는 차지 셰어링 구간(CS) 동안 제1 이너 비트라인(IT)과 제2 비트라인(BLB) 사이의 연결과 제2 이너 비트라인(IB)과 제1 비트라인(BLT)을 연결을 차단한다.

[0050] 격리부는 제1 이너 비트라인(IT)과 제2 비트라인(BLB) 사이에 연결되고, 격리 신호(ISO)를 게이트로 인가받는 제1 격리 트랜지스터(TI1)와 제2 이너 비트라인(IB)과 제1 비트라인(BLT) 사이에 연결되고, 격리 신호(ISO)를 게이트로 인가받는 제2 격리 트랜지스터(TI2)를 포함한다.

[0051] 한편, 오프셋 제거부는 차지 셰어링 구간(CS) 내에 포함되는 오프셋 제거 구간(OC)에서 제1 센싱 노드(Nd1)와 제2 이너 비트라인(IB) 및 제1 이너 비트라인(IT)과 제1 비트라인(BLT)을 각각 연결하고, 제2 센싱 노드(Nd2)와 제1 이너 비트라인(IT) 및 제2 이너 비트라인(IB)과 제2 비트라인(BLB)을 각각 연결한다.

[0052] 오프셋 제거부는 오프셋 제거 구간(OC) 중에서 제1 오프셋 제거 구간(t_{OC1})에 활성화되는 제1 오프셋 신호(OC1)에 응답하여, 제1 센싱 노드(Nd1)와 제2 이너 비트라인(IB)을 연결하고, 제1 이너 비트라인(IT)과 제1 비트라인(BLT)을 연결하는 제1 오프셋 제거부와 오프셋 제거 구간(OC)에서 제1 오프셋 제거 구간(t_{OC1})과 구분되는 제2 오프셋 제거 구간(t_{OC2})에 활성화되는 제2 오프셋 신호(OC2)에 응답하여, 제2 센싱 노드(Nd2)와 제1 이너 비트라인(IT)을 연결하고, 제2 이너 비트라인(IB)과 제2 비트라인(BLB)을 연결하는 제2 오프셋 제거부를 포함한다.

[0053] 여기서 제1 오프셋 제거부는 제1 센싱 노드(Nd1)와 제2 이너 비트라인(IB) 사이에 연결되고 게이트로 제1 오프셋 신호(OC1)가 인가되는 제11 오프셋 제거 트랜지스터(TO11) 및 제1 이너 비트라인(IT)과 제1 비트라인(BLT) 사이에 연결되고 게이트로 제1 오프셋 신호(OC1)가 인가되는 제12 오프셋 제거 트랜지스터(TO12)를 포함한다. 그리고 제2 오프셋 제거부는 제2 센싱 노드(Nd2)와 제1 이너 비트라인(IT) 사이에 연결되고 게이트로 제2 오프셋 신호(OC2)가 인가되는 제21 오프셋 제거 트랜지스터(TO21) 및 제2 이너 비트라인(IB)과 제2 비트라인(BLB) 사이에 연결되고 게이트로 제2 오프셋 신호(OC2)가 인가되는 제22 오프셋 제거 트랜지스터(TO22)를 포함한다.

[0054] 도 2에서 비트라인 캐패시턴스(Cb11, Cb12)는 단순히 제1 비트라인(BLT)과 제2 비트라인(BLB)의 캐패시턴스를 회로적으로 표현한 것으로 본 실시예의 반도체 메모리 장치에 포함되는 구성은 아니다.

[0055] 본 실시예에 따른 반도체 메모리 장치의 리드 동작, 즉 데이터 액세스 동작 시, 센스 앰프 회로의 동작은 도 3에 도시된 바와 같이, 프리차지 구간(EQ)과 차지 셰어링 구간(CS) 및 메인 센싱 구간(MS)의 3구간으로 구분될 수 있다.

[0056] 프리차지 구간(EQ)에서는 워드라인(WL)이 비활성화된 상태이고, 제1 및 제2 오프셋 제거 신호(OC1, OC2)와 격리 신호(ISO)는 활성화된 상태이다. 그리고 제1 및 제2 풀업 전원단(PP1, PP2)와 제1 및 제2 풀다운 전원단(PN1, PN2)으로는 각각 기지정된 전압 레벨의 프리차지 전압(V_{BQ})이 인가된다.

[0057] 그리고 차지 셰어링 구간(CS)에는 반도체 메모리 장치로 인가된 로우 어드레스에 대응하는 워드라인(WL0)이 선택되어 활성화되고, 격리 신호(ISO)는 비활성화된다.

[0058] 한편, 본 실시예의 센스 앰프 회로에서는 차지 셰어링 구간(CS) 내에 오프셋 제거 구간(OC)이 포함되며, 오프셋 제거 구간(OC)은 다시 제1 오프셋 제거 구간(t_{OC1}) 및 제2 오프셋 제거 구간(t_{OC2})으로 구분될 수 있다.

[0059] 제1 오프셋 제거 구간(t_{OC1}) 동안 제1 오프셋 제거 신호(OC1)는 활성화되는 반면, 제2 오프셋 제거 신호(OC2)는 비활성화된다. 이때 제1 인버터(IV1)에 연결된 제1 풀업 전원단(PP1)에는 기지정된 전압 레벨(예를 들면 1.1V)의 코어 전압(V_{core})이 인가되고, 제1 풀다운 전원단(PN1)에는 기지정된 전압 레벨(예를 들면 0V)의 접지 전압(V_{ss})이 인가된다. 이때, 제2 풀업 전원단(PP2)과 제2 풀다운 전원단(PN2)에는 프리차지 전압(V_{BQ})이 그대로 인

가된다. 여기서 코어 전압(V_{core})은 반도체 메모리 장치의 전원 전압(V_{DD}) 이하의 전압 레벨을 가질 수 있다.

- [0060] 그리고 제2 오프셋 제거 구간(t_{OC2}) 동안 제2 오프셋 제거 신호(OC2)는 활성화되고, 제1 오프셋 제거 신호(OC1)가 비활성화된다. 제2 오프셋 제거 구간(t_{OC2}) 동안 제2 인버터(IV2)에 연결된 제2 풀업 전원단(PP2)에는 코어 전압(V_{core})이 인가되고, 제2 풀다운 전원단(PN2)에는 접지 전압(V_{SS})이 인가되며, 제1 풀업 전원단(PP1)과 제1 풀다운 전원단(PN1)에는 다시 프리차지 전압(V_{EQ})이 인가된다.
- [0061] 차지 셰어링 구간(CS) 중에서 제1 및 제2 오프셋 제거 구간(t_{OC1} , t_{OC2})을 제외한 구간에서는 제1 및 제2 오프셋 제거 신호(OC1, OC2)가 모두 비활성화되고, 제1 및 제2 풀업 전원단(PP1, PP2)와 제1 및 제2 풀다운 전원단(PN1, PN2) 각각으로는 다시 프리차지 전압(V_{EQ})이 인가된다.
- [0062] 메인 센싱 구간(MS)에서 선택된 워드라인(WL0)은 활성화 상태를 유지하고, 차지 셰어링 구간(CS) 동안 비활성화된 격리 신호(ISO)는 다시 활성화된다. 그리고 제1 및 제2 오프셋 제거 신호(OC1, OC2)는 비활성화 상태를 유지한다. 한편 제1 및 제2 풀업 전원단(PP1, PP2)에는 모두 코어 전압(V_{core})이 인가되고, 제1 및 제2 풀다운 전원단(PN1, PN2)에는 접지 전압(V_{SS})이 인가된다.
- [0063] 메인 센싱 구간(MS) 이후에는 다시 프리차지 구간(EQ)이 반복된다.
- [0064] 도 4는 도 2의 비트라인 센스 앰프 회로의 프리차지 구간에서의 동작을 설명하기 위한 도면이다.
- [0065] 프리차지 구간(EQ) 동안 워드라인(WL)이 비활성화된 상태이므로, 도 4에서는 등가 회로적 표현으로 메모리 셀(MC0, MC1)을 생략하였다. 또한 프리차지 구간(EQ) 동안 제1 및 제2 오프셋 제거 신호(OC1, OC2)와 격리 신호(ISO)가 활성화된 상태로, 제11 및 제12 오프셋 제거 트랜지스터(TO11, TO12), 제21 및 제22 오프셋 제거 트랜지스터(TO21, TO22), 그리고 제1 및 제2 격리 트랜지스터(TI1, TI2)가 턴온되므로, 도 4에서는 등가적으로 턴온된 트랜지스터들(TO11, TO12, TO21, TO22, TI1, TI2)을 연결 선로로 표현하였다.
- [0066] 따라서 도 4에 도시된 바와 같이, 제1 인버터(IV1)의 입력단과 출력단인 제1 센싱 노드(Nd1)와 제2 이너 비트라인(IB), 제2 인버터(IV2)의 입력단과 출력단인 제2 센싱 노드(Nd2)와 제1 이너 비트라인(IT)이 서로 전기적으로 연결될 뿐만 아니라 제1 및 제2 이너 비트라인(IT, IB) 각각이 제1 및 제2 비트라인(BLT, BLB) 각각과 상호 연결된다. 즉 제1 및 제2 센싱 노드(Nd1, Nd2), 제1 및 제2 이너 비트라인(IT, IB) 및 제1 및 제2 비트라인(BLT, BLB)이 모두 서로 연결된다.
- [0067] 그리고 제1 및 제2 풀업 전원단(PP1, PP2)와 제1 및 제2 풀다운 전원단(PN1, PN2)으로는 각각 기지정된 전압 레벨의 프리차지 전압(V_{EQ})이 인가되고 있으므로, 제1 및 제2 인버터(IV1, IV2)에 의해 제1 및 제2 센싱 노드(Nd1, Nd2)과 제1 및 제2 이너 비트라인(IT, IB)이 프리차지 전압(V_{EQ})으로 프리차지되고, 전기적으로 연결된 제1 및 제2 비트라인(BLT, BLB) 또한 프리차지 전압(V_{EQ})으로 프리차지된다.
- [0068] 따라서 본 실시예의 센스 앰프 회로는 비트라인(BLT, BLB)을 프리차지하기 위한 별도의 프리차지 회로를 구비하지 않고서도, 프리차지 구간(EQ) 동안 제1 및 제2 오프셋 제거 신호(OC1, OC2)와 격리 신호(ISO)를 활성화함으로써, 비트라인(BLT, BLB)을 프리차지 전압(V_{EQ})으로 프리차지할 수 있다.
- [0069] 도 5는 도 2의 비트라인 센스 앰프 회로의 제1 오프셋 제거 구간에서의 동작을 설명하기 위한 도면이다.
- [0070] 제1 오프셋 제거 구간(t_{OC1})은 차지 셰어링 구간(CS)에 포함되며, 차지 셰어링 구간(CS)에 격리 신호(ISO)는 비활성화되므로, 도 5에 도시된 바와 같이, 제2 이너 비트라인(IB)과 제1 비트라인(BLT) 사이의 연결과 제1 이너 비트라인(IT)과 제2 비트라인(BLB) 사이의 연결이 차단된다.
- [0071] 한편, 제1 오프셋 제거 구간(t_{OC1})에서는 제1 오프셋 제거 신호(OC1)는 활성화 상태인 반면, 제2 오프셋 제거 신호(OC2)는 비활성화 상태가 된다. 따라서 제11 및 제12 오프셋 제거 트랜지스터(TO11, TO12)는 턴 온 상태를 유지하고, 제21 및 제22 오프셋 제거 트랜지스터(TO21, TO22)는 턴 오프된다.
- [0072] 이에 도 5와 같이, 제1 센싱 노드(Nd1)와 제2 이너 비트라인(IB) 사이의 연결과 제1 이너 비트라인(IT)과 제1 비트라인(BLT)사이의 연결은 유지되는 반면, 제2 센싱 노드(Nd2)와 제1 이너 비트라인(IT) 사이의 연결과 제2 이너 비트라인(IB)과 제2 비트라인(BLB) 사이의 연결은 차단된다.
- [0073] 한편, 차지 셰어링 구간(CS)에서는 로우 어드레스에 따라 선택된 워드라인(WL0)이 활성화되어, 메모리 셀(MC0)

의 셀 캐패시터(Cc10)에 축적된 전하가 프리차지 전압(V_{EQ})으로 프리차지된 제1 비트라인(BLT)과 공유된다. 이에 제1 비트라인(BLT)은 프리차지 전압(V_{EQ})에서 차지 셰어링으로 인한 전압 변화량(ΔV)만큼 변화된 전압 레벨($V_{EQ} + \Delta V$)을 갖게 되고, 제1 비트라인(BLT)과 연결된 제1 이너 비트라인(IT) 또한 제1 비트라인(BLT)과 동일한 전압 레벨($V_{EQ} + \Delta V$)을 갖게 된다.

[0074] 이때 제1 오프셋 제거 구간(t_{OC1}) 동안 제2 풀업 전원단(PP2)과 제2 풀다운 전원단(PN2)에는 프리차지 전압(V_{EQ})이 그대로 인가되는 반면, 제1 인버터(IV1)에 연결된 제1 풀업 전원단(PP1)에는 코어 전압(V_{core})이 인가되고, 제1 풀다운 전원단(PN1)에는 접지 전압(V_{SS})이 인가된다. 그리고 제1 인버터(IV1)의 입력단은 제1 캐패시터($Cc1$)를 통해 제1 비트라인(BLT) 및 제1 이너 비트라인(IT)과 연결되고, 제1 인버터(IV1)의 입력단과 출력단이 서로 연결되므로, 제1 인버터(IV1)의 입력단은 제1 인버터(IV1)의 제1 풀업 트랜지스터(MP1)와 제1 풀다운 트랜지스터(MN1)의 문턱전압(V_{th}) 차이에 따른 오프셋이 제거된 제1 오프셋 전압(V_{T1}) 레벨을 갖게 된다. 이에 제1 캐패시터($Cc1$)의 양단에는 차지 셰어링된 제1 비트라인(BLT)의 전압($V_{EQ} + \Delta V$)과 제1 인버터(IV1)의 제1 오프셋 전압(V_{T1})이 인가되어, 양단의 전압차에 대응하는 전압($V_{c1} = (V_{EQ} + \Delta V) - V_{T1}$)이 저장된다. 즉 제1 캐패시터($Cc1$)에는 제1 인버터(IV1)의 오프셋 전압(V_{T1})이 고려된 차지 셰어링 제1 비트라인(BLT)의 전압($V_{c1} = (V_{EQ} + \Delta V) - V_{T1}$)이 저장되어 제1 인버터(IV1)의 오프셋이 제거된다.

[0075] 도 6은 도 2의 비트라인 센스 앰프 회로의 제2 오프셋 제거 구간에서의 동작을 설명하기 위한 도면이다.

[0076] 제2 오프셋 제거 구간(t_{OC2}) 또한 차지 셰어링 구간(CS)에 포함되지만, 제1 오프셋 제거 구간(t_{OC1})과 상이한 시간 구간으로 구분된다. 제2 오프셋 제거 구간(t_{OC2}) 또한 차지 셰어링 구간(CS)에 포함되므로, 격리 신호(ISO)가 비활성화되어 제2 이너 비트라인(IB)과 제1 비트라인(BLT) 사이의 연결과 제1 이너 비트라인(IT)과 제2 비트라인(BLB) 사이의 연결이 차단된 상태로 유지된다.

[0077] 그리고 제2 오프셋 제거 구간(t_{OC2})에서 제1 오프셋 제거 신호(OC1)가 비활성화되고, 제2 오프셋 제거 신호(OC2)는 활성화 상태가 되어, 제21 및 제22 오프셋 제거 트랜지스터(TO21, TO22)는 턴 온되고, 제11 및 제12 오프셋 제거 트랜지스터(TO11, TO12)는 턴 오프된다.

[0078] 따라서 도 6에 도시된 바와 같이, 제2 센싱 노드($Nd2$)와 제1 이너 비트라인(IT)과 제2 이너 비트라인(IB)과 제2 비트라인(BLB)은 연결되고, 제1 센싱 노드($Nd1$)와 제2 이너 비트라인(IB) 사이의 연결과 제1 이너 비트라인(IT)과 제1 비트라인(BLT)사이의 연결은 차단된다.

[0079] 제2 오프셋 제거 구간(t_{OC2}) 또한 차지 셰어링 구간(CS)에 포함되므로, 제1 비트라인(BLT)은 프리차지 전압(V_{EQ})에서 차지 셰어링으로 인한 전압 변화량(ΔV)만큼 변화된 전압 레벨($V_{EQ} + \Delta V$)을 그대로 갖게 된다. 제1 센싱 노드($Nd1$)는 제1 오프셋 제거 구간(t_{OC1})에 제1 인버터(IV1)의 제1 오프셋 전압(V_{T1})을 갖지만, 제1 캐패시터($Cc1$)에 의해 제1 센싱 노드($Nd1$)의 제1 오프셋 전압(V_{T1})은 제1 비트라인(BLT)에 거의 영향을 미치지 못한다. 따라서 제1 비트라인(BLT)은 제2 오프셋 제거 구간(t_{OC2})에서도 차지 셰어링된 전압 레벨($V_{EQ} + \Delta V$)을 그대로 유지하게 된다.

[0080] 그리고 제1 비트라인(BLT)과 제1 이너 비트라인(IT) 사이의 연결이 차단되고, 대신 제2 이너 비트라인(IB)과 제2 비트라인(BLB)이 연결된 상태이므로, 제2 이너 비트라인(IB)과 제2 비트라인(BLB)은 프리차지 전압(V_{EQ})을 갖는다.

[0081] 한편, 제2 오프셋 제거 구간(t_{OC2})에서 제2 인버터(IV2)에 연결된 제2 풀업 전원단(PP2)과 제2 풀다운 전원단(PN2)에는 각각 코어 전압(V_{core})과 접지 전압(V_{SS})이 인가되고, 제1 인버터(IV1)에 연결된 제1 풀업 전원단(PP1) 및 제1 풀다운 전원단(PN1)에는 프리차지 전압(V_{EQ})이 인가된다. 제2 인버터(IV2)의 입력단은 제2 캐패시터($Cc2$)를 통해 제2 비트라인(BLB) 및 제2 이너 비트라인(IB)과 연결되고, 제2 인버터(IV2)의 입력단과 출력단이 서로 연결되므로, 제2 인버터(IV2)의 입력단은 제2 인버터(IV2)의 제2 풀업 트랜지스터(MP2)와 제2 풀다운 트랜지스터(MN2)의 문턱전압(V_{th}) 차이에 따른 오프셋이 제거된 제2 오프셋 전압(V_{T2}) 레벨을 갖게 된다. 이에 제2 캐패시터($Cc2$)의 양단에는 제2 비트라인(BLB)의 전압(V_{EQ})과 제2 인버터(IV2)의 제2 오프셋 전압(V_{T1})이 인가되

어, 양단의 전압차에 대응하는 전압($V_{c2} = V_{EQ} - V_{T2}$)이 저장된다. 즉 제2 캐패시터(Cc2)에는 제2 인버터(IV2)의 오프셋 전압(V_{T2})이 고려된 제2 비트라인(BLT)의 전압($V_{c2} = V_{EQ} - V_{T2}$)이 저장되어 제2 인버터(IV2)의 오프셋이 제거된다.

[0082] 그리고 도 3에 도시된 바와 같이, 차지 셰어링 구간(CS)은 제1 및 제2 오프셋 제거 구간(t_{OC1} , t_{OC2}) 이후에도 일정 기간 유지될 수 있으나, 제1 및 제2 캐패시터(Cc1, Cc2)에 의해 제1 센싱 노드(Nd1)의 제1 오프셋 전압(V_{T1})과 제2 센싱 노드(Nd2)의 제2 오프셋 전압(V_{T2})은 제1 및 제2 비트라인(BLT, BLB)에 거의 영향을 미치지 못하므로, 제1 비트라인(BLT)은 차지 셰어링된 전압 레벨($V_{EQ} + \Delta V$)을 유지하고, 제2 비트라인(BLB)은 프리차지 전압(V_{EQ})을 유지한다.

[0083] 도 7은 도 2의 비트라인 센스 앰프 회로의 메인 센싱 구간에서의 동작을 설명하기 위한 도면이다.

[0084] 메인 센싱 구간(MS)에서 선택된 워드라인(WL0)과 격리 신호(ISO)는 활성화 상태를 유지한다. 그러나 제1 및 제2 오프셋 제거 신호(OC1, OC2)는 비활성화된 상태를 유지한다.

[0085] 따라서 도 7에 도시된 바와 같이, 제1 이너 비트라인(IT)과 제2 비트라인(BLB) 및 제2 이너 비트라인(IB)과 제1 비트라인(BLT)은 서로 연결된 상태를 유지하는 반면, 제1 센싱 노드(Nd1)와 제2 이너 비트라인(IB) 사이의 연결과 제2 센싱 노드(Nd2)와 제1 이너 비트라인(IT) 사이의 연결, 제1 이너 비트라인(IT)과 제1 비트라인(BLT) 사이의 연결과 제2 이너 비트라인(IB)과 제2 비트라인(BLB) 사이의 연결은 차단된다. 그리고 제1 및 제2 풀업 전원단(PP1, PP2)에는 모두 코어 전압(V_{core})이 인가되고, 제1 및 제2 풀다운 전원단(PN1, PN2)에는 접지 전압(V_s)이 인가된다.

[0086] 제1 비트라인(BLT)과 제2 이너 비트라인(IB)이 연결되어 있고, 제1 비트라인(BLT)은 프리차지 전압(V_{EQ})에서 전압 변화량(ΔV)만큼 변화된 전압 레벨($V_{EQ} + \Delta V$)을 갖는 반면, 제2 이너 비트라인(IB)은 프리차지 전압(V_{EQ})을 유지하고 있으므로, 전압 변화량(ΔV)만큼의 전압차가 발생하게 된다. 그리고 제2 캐패시터(Cc2)에는 프리차지 전압(V_{EQ})에서 제2 인버터(IV2)의 제2 오프셋 전압(V_{T2})이 차감된 전압($V_{c2} = V_{EQ} - V_{T2}$)이 저장되어 있어, 제2 인버터(IV2)의 입력단인 제2 센싱 노드(Nd2)는 제2 오프셋 전압(V_{T2})에서 전압 변화량(ΔV)이 반영된 전압 레벨($V_{T2} + \Delta V$)를 갖게 된다.

[0087] 제2 인버터(IV2)의 입력단인 제2 센싱 노드(Nd2)의 전압이 제2 풀업 트랜지스터(MP2)와 제2 풀다운 트랜지스터(MN2)가 서로 균형을 이루는 제2 오프셋 전압(V_{T2})에서 전압 변화량(ΔV)이 반영된 전압 레벨($V_{T2} + \Delta V$)를 갖게 되면, 제2 인버터(IV2)의 제2 풀다운 트랜지스터(MN2)가 턴온되어 제2 풀다운 전원단(PN2)으로 전류가 흐르게 되며, 이에 제1 이너 비트라인(IT)의 전압 레벨이 하강한다. 그리고 제1 이너 비트라인(IT)과 제2 비트라인(BLB)이 연결되어 있으므로 제2 비트라인(BLB)의 전압 레벨이 접지 전압(V_{ss})까지 하강하게 된다.

[0088] 한편, 제2 비트라인(BLB)과 제1 이너 비트라인(IT)이 연결되어 있고, 제1 이너 비트라인(IT)은 제1 오프셋 제거 구간(t_{OC1})에 제1 비트라인(BLT)과 연결되어 프리차지 전압(V_{EQ})에서 전압 변화량(ΔV)만큼 변화된 전압 레벨($V_{EQ} + \Delta V$)을 갖고 있으므로, 제2 비트라인(BLB)의 전압 레벨에는 프리차지 전압(V_{EQ})에 전압 변화량(ΔV)이 추가로 반영된다. 그리고 제1 캐패시터(Cc1)에는 제1 인버터(IV1)의 오프셋 전압(V_{T1})이 고려된 차지 셰어링 제1 비트라인(BLT)의 전압($V_{c1} = (V_{EQ} + \Delta V) - V_{T1}$)이 저장되어 있다. 따라서 제1 인버터(IV1)의 입력단인 제1 센싱 노드(Nd1)는 제1 오프셋 전압(V_{T1})에서 전압 변화량(ΔV)이 반영된 전압 레벨($V_{T1} - \Delta V$)를 갖게 된다.

[0089] 제1 인버터(IV1)의 입력단인 제1 센싱 노드(Nd1)의 전압 레벨이 제1 풀업 트랜지스터(MP1)와 제1 풀다운 트랜지스터(MN1)가 서로 균형을 이루는 제1 오프셋 전압(V_{T1})에서 전압 변화량(ΔV)이 반영된 전압 레벨($V_{T1} - \Delta V$)로 변화됨에 따라 제1 풀업 트랜지스터(MP1)가 턴온되어 제1 풀업 트랜지스터(MP1)를 통해 전류가 흐르게 되며, 이에 제2 이너 비트라인(IB)의 전압 레벨이 상승한다. 그리고 제2 이너 비트라인(IB)과 제1 비트라인(BLT)이 연결되어 있으므로 제1 비트라인(BLT)의 전압 레벨이 코어 전압(V_{core})까지 상승하게 된다.

[0090] 결과적으로 제1 및 제2 인버터(IV1, IV2)는 제1 및 제2 비트라인(BLT, BLB) 사이의 전압차를 감지하고, 감지된 전압차가 반전 및 증폭되어 제1 및 제2 이너 비트라인(IT, IB) 각각에 접지 전압(V_{core}) 및 코어 전압(V_{core}) 레벨

로 나타나도록 한다.

[0091] 결과적으로 본 실시예에 따른 비트라인 센스 앰프 회로는 차지 셰어링 구간(CS) 내에 제1 및 제2 오프셋 제거 구간(t_{OC1} , t_{OC2})가 함께 포함되므로, 오프셋 제거를 위한 별도의 시간 증가 없이 시제1 및 제2 인버터(IV1, IV2)의 오프셋을 제거할 수 있으므로 센싱 마진을 크게 확보할 수 있다. 뿐만 아니라, 제1 및 제2 비트라인(BLT, BLB) 사이의 전압차가 전압 변화량(ΔV)의 2배에 근접하게 나타날 수 있어 이중 센싱 마진 구조를 가져 센싱 마진을 매우 크게 확보할 수 있을 뿐만 아니라 메모리 셀(MC0)에 저장된 데이터를 오판단하는 센싱 오류 확률을 크게 줄일 수 있다. 따라서 본 실시예에 따른 센스 앰프 회로는 반도체 메모리 장치의 센싱 수율(Sensing Yield)을 높여 레이턴시를 크게 개선할 수 있으며, 반도체 메모리 장치의 성능을 개선할 수 있다.

[0092] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

[0093] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0094] BLT, BLB: 비트라인

IT, IB: 이너 비트라인

Ns1, Ns2: 센싱 노드

IV1, IV2: 인버터

MP1, MP2: PMOS 트랜지스터

MN1, MN2: NMOS 트랜지스터

T011, T012, T021, T022: 오프셋 제거 트랜지스터

TI1, TI2: 격리 트랜지스터

Cc1, Cc2: 캐패시터

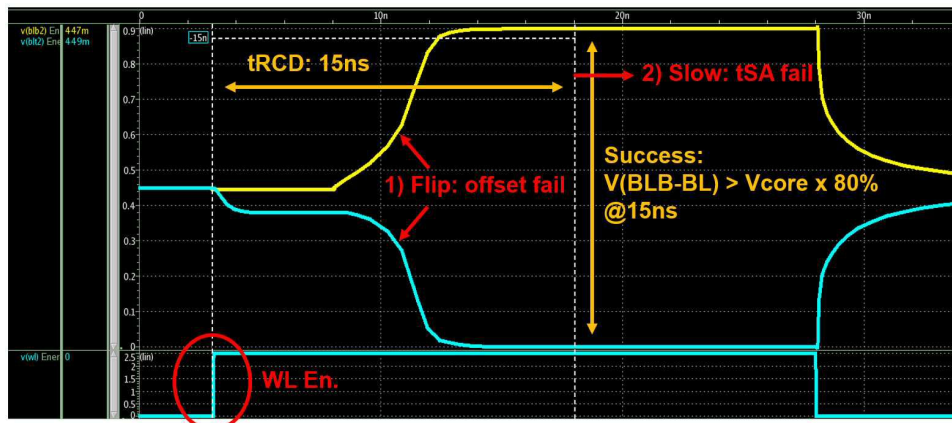
Cc10, Cc11: 셀 캐패시터

Tc10, Tc11: 셀 트랜지스터

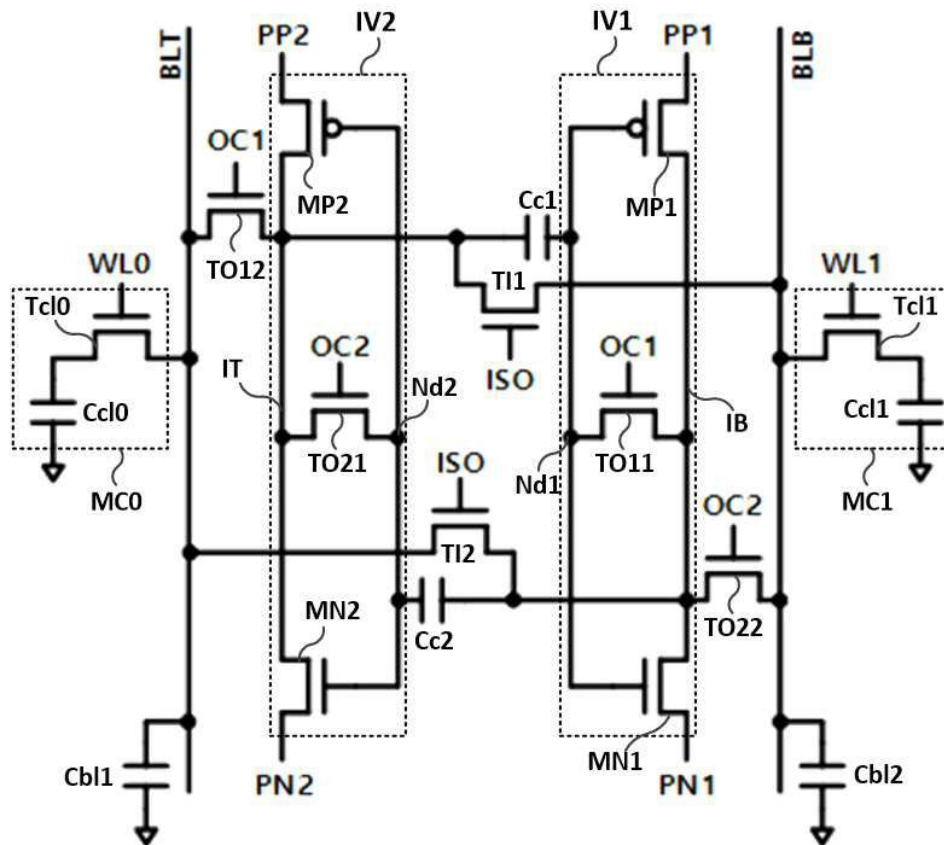
Cb11, Cb12: 비트라인 캐패시터

도면

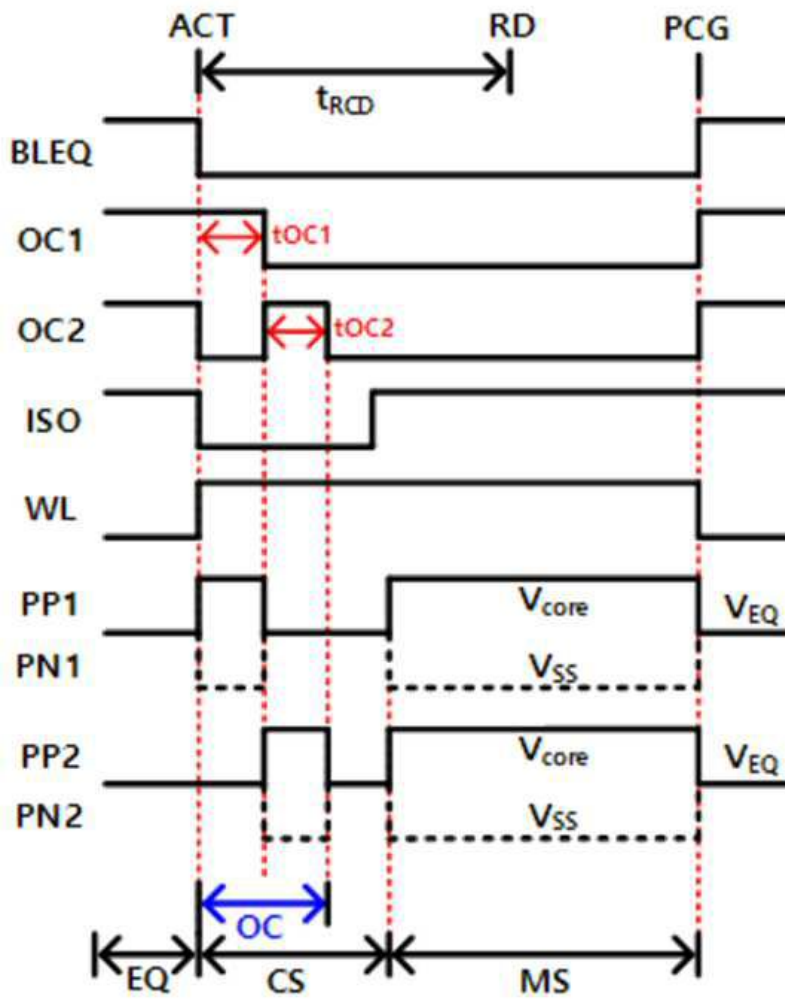
도면1



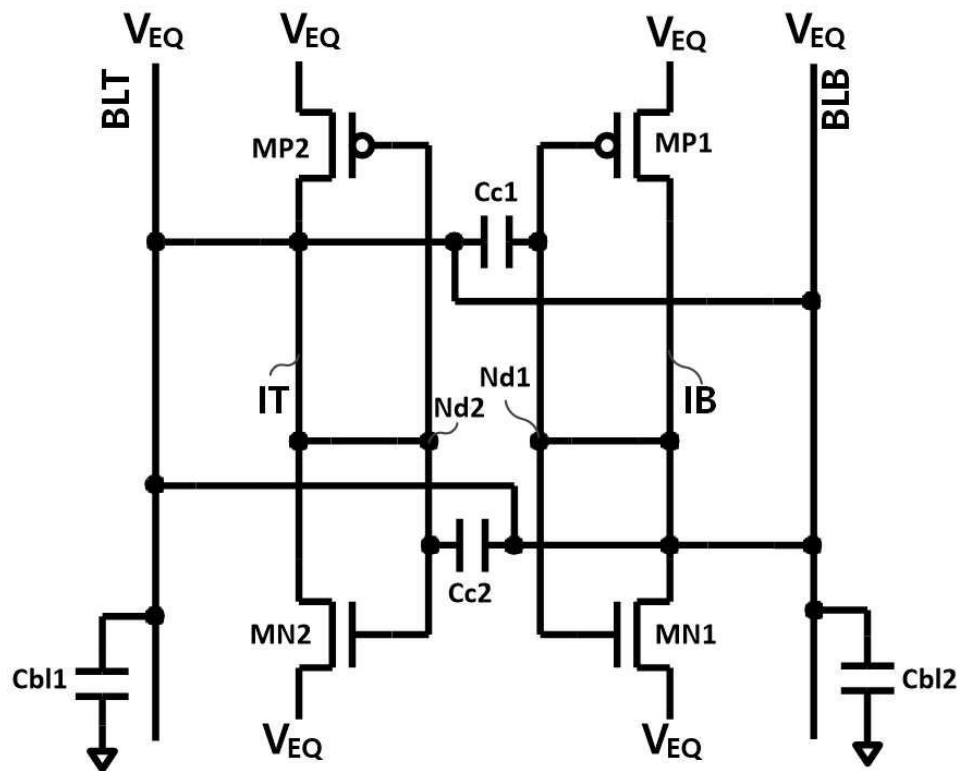
도면2



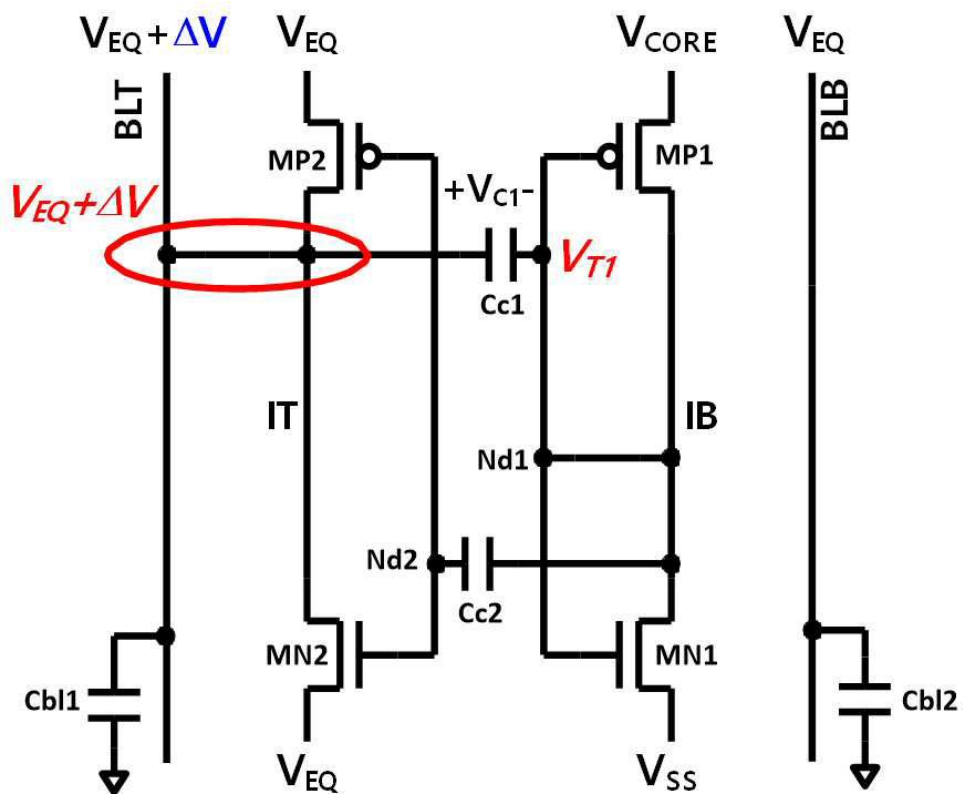
도면3



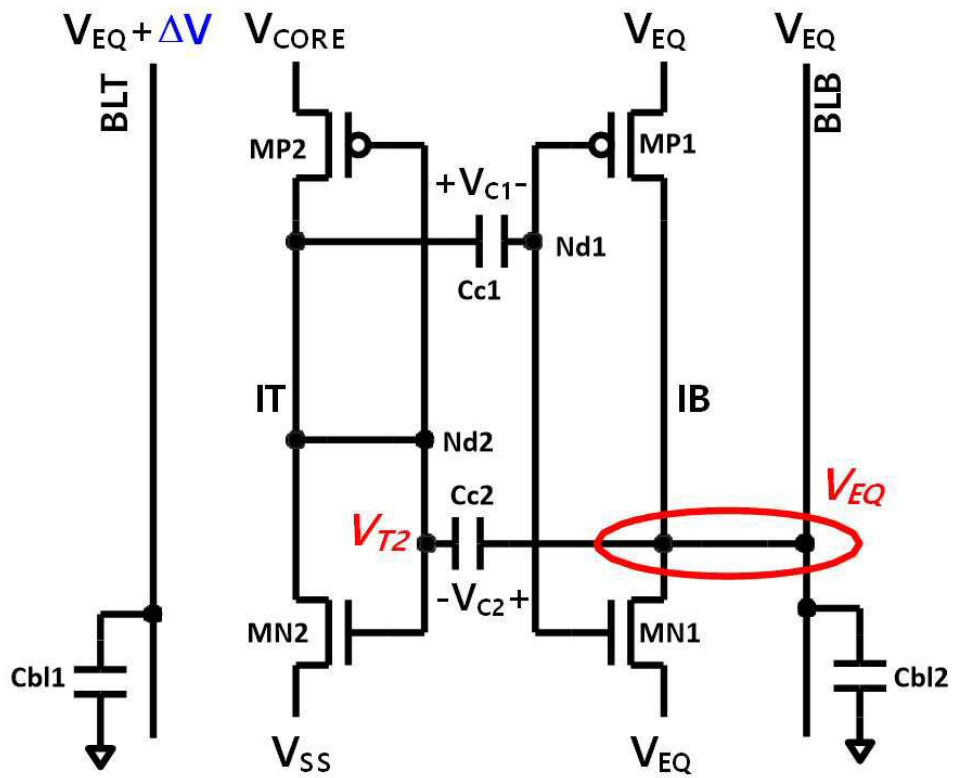
도면4



도면5



도면6



도면7

