



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년12월23일
(11) 등록번호 10-2481452
(24) 등록일자 2022년12월21일

(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) G11C 11/22 (2006.01)

(52) CPC특허분류
G11C 15/04 (2013.01)
G11C 11/221 (2013.01)

(21) 출원번호 10-2021-0092007

(22) 출원일자 2021년07월14일

심사청구일자 2021년07월14일

(56) 선행기술조사문헌

Ismail Bayram et al., 'NV-TCAM: Alternative designs with NVM devices', Integration the VLSI Journal 62(2018) 114~122, 16 February 2018 (2018.02.16.) 1부.*

Xunzhao Yin et al., 'Design and Benchmarking of Ferroelectric FET based TCAM', Design, Automation & Test in Europe Conference & Exhibition (DATE), 2017 (2017.03.31.) 1부.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)

임세희

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

(뒷면에 계속)

(74) 대리인

민영준

전체 청구항 수 : 총 18 항

심사관 : 윤석채

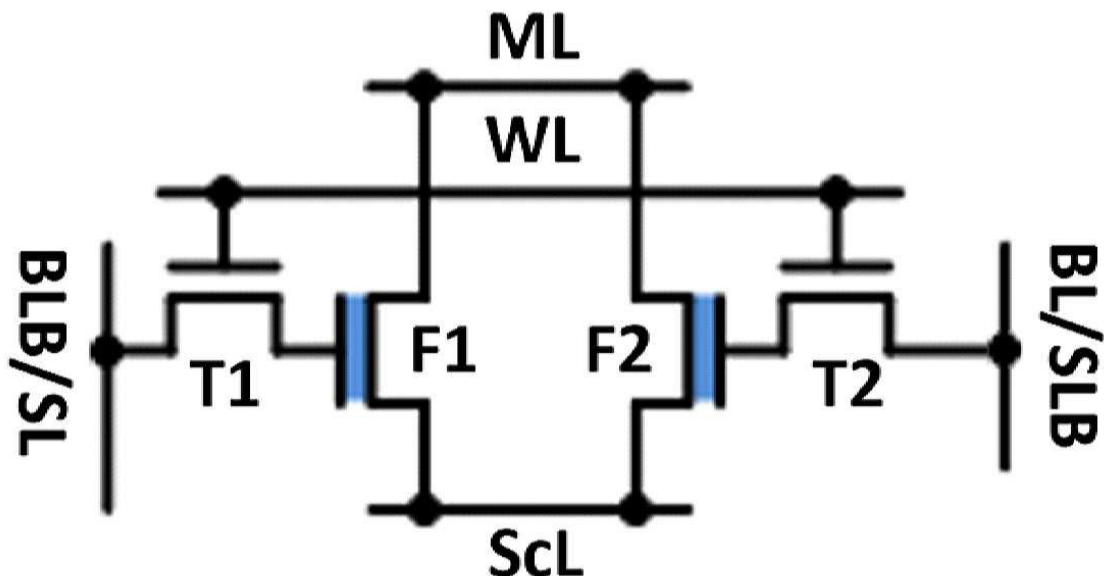
(54) 발명의 명칭 강유전체 소자 기반 NOR 타입 내용 주소화 메모리 셀 및 이를 포함하는 내용 주소화 메모리

(57) 요약

본 발명은 TCAM 셀 각각이 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인과 제1 방향으로 연장되는 다수의 소스라인 중 대응하는 소스라인 사이에 병렬로 연결되는 제1 및 제2 FeFET, 제1 FeFET의 게이트와 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인바 중 대응하는 비트라인바 사이에 연결되고, 게이트가 제

(뒷면에 계속)

대표도 - 도4



1 방향으로 연장되는 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터 및 제2 FeFET의 게이트와 제2 방향으로 연장되는 다수의 비트라인 중 대응하는 비트라인 사이에 연결되고, 게이트가 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함하여, 적은 개수의 소자로 구성되어 좁은 면적에 고집적화하여 소형으로 제조될 수 있으며, 네거티브 전압을 이용하지 않고 라이트 디스터번스가 발생하지 않아 선택된 TCAM 셀에 안정적으로 데이터를 라이트할 수 있을 뿐만 아니라, 에너지 소모를 줄이면서 빠른 검색을 수행할 수 있는 NOR 타입 TCAM 셀 및 이를 포함하는 TCAM을 제공한다.

(52) CPC특허분류

G11C 11/2255 (2013.01)

G11C 11/2257 (2013.01)

김세권

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

(72) 발명자

고동한

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711097930
과제번호	2019M3F3A1A02071969
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자핵심선도기술
연구과제명	전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2019.06.28 ~ 2021.12.31

명세서

청구범위

청구항 1

제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인과 상기 제1 방향으로 연장되는 다수의 소스라인 중 대응하는 소스라인 사이에 병렬로 연결되는 제1 및 제2 FeFET;

상기 제1 FeFET의 게이트와 상기 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인바 중 대응하는 비트라인바 사이에 연결되고, 게이트가 상기 제1 방향으로 연장되는 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및

상기 제2 FeFET의 게이트와 상기 제2 방향으로 연장되는 다수의 비트라인 중 대응하는 비트라인 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함하되,

상기 제1 및 제2 액세스 트랜지스터는

라이트 동작 시에 데이터와 함께 인가되는 어드레스에 의해 대응하는 워드라인이 선택되면, 선택된 워드라인을 통해 인가되고 HVT보다 높은 기지정된 전압레벨을 갖는 라이트 전압에 응답하여 턴온되어, 상기 비트라인바와 상기 제1 FeFET의 게이트를 전기적으로 연결하고, 상기 비트라인과 상기 제2 FeFET의 게이트를 전기적으로 연결하는 NOR 타입 TCAM 셀.

청구항 2

제1항에 있어서, 상기 TCAM 셀은

라이트 동작에 의해 데이터 '0'이 저장되는 경우 상기 제1 FeFET는 LVT 상태(Low V_{TH} State)를 갖고 상기 제2 FeFET는 HVT 상태(High V_{TH} State)를 가지며,

데이터 '1'이 저장되는 경우 상기 제1 FeFET는 HVT 상태를 갖고 상기 제2 FeFET는 LVT 상태를 가지며,

데이터 'X'(don't care)가 저장되는 경우에는 상기 제1 및 제2 FeFET가 모두 HVT 상태를 갖는 NOR 타입 TCAM 셀.

청구항 3

제2항에 있어서, 상기 TCAM 셀은

상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 상기 TCAM 셀에 저장되는 데이터에 따라 제1 및 제2 FET가 LVT 상태를 갖도록 하는 제1 단계와

상기 TCAM 셀에 저장될 데이터에 따라 제1 및 제2 FET가 HVT 상태를 갖도록 하는 제2 단계로 상기 라이트 동작이 수행되는 NOR 타입 TCAM 셀.

청구항 4

삭제

청구항 5

제3항에 있어서, 상기 제1 및 제2 FeFET는

상기 라이트 동작의 제1 단계에서 대응하는 매치라인과 대응하는 소스라인을 통해 인가되는 LVT보다 낮은 기지정된 전압레벨을 갖는 접지 전압과 상기 TCAM 셀에 저장될 데이터에 따라 상기 비트라인바 또는 상기 비트라인을 통해 인가되는 상기 라이트 전압에 응답하여 LVT 상태를 갖고,

상기 라이트 동작의 제2 단계에서 대응하는 매치라인과 대응하는 소스라인을 통해 인가되는 상기 라이트 전압과 상기 TCAM 셀에 저장될 데이터에 따라 상기 비트라인바 또는 상기 비트라인을 통해 인가되는 상기 접지 전압에 따라 HVT 상태를 갖는 NOR 타입 TCAM 셀.

청구항 6

제2항에 있어서, 상기 TCAM 셀은

상기 대응하는 매치라인이 LVT와 HVT 사이의 기지정된 전압레벨을 갖는 전원 전압으로 프리차지되는 프리차지 단계와

상기 TCAM 셀의 제1 및 제2 FeFET의 상태와 검색될 데이터에 따라 상기 비트라인바 및 상기 비트라인을 통해 인가되는 전압레벨이 서로 대응하지 않으면 프리차지된 상기 매치라인의 전압레벨이 LVT보다 낮은 기지정된 전압레벨을 갖는 접지 전압으로 강하되는 검색 단계로 검색 동작이 수행되는 NOR 타입 TCAM 셀.

청구항 7

제6항에 있어서, 상기 제1 및 제2 액세스 트랜지스터는

상기 검색 동작의 상기 프리차지 단계와 상기 검색 단계에서 상기 워드라인을 통해 인가되는 상기 전원 전압에 따라 턴온되어, 상기 비트라인바와 상기 제1 FeFET의 게이트 및 상기 비트라인과 상기 제2 FeFET의 게이트를 전기적으로 연결하는 NOR 타입 TCAM 셀.

청구항 8

제7항에 있어서, 상기 제1 및 제2 FeFET는

상기 프리차지 단계에서 상기 다수의 비트라인바 및 상기 다수의 비트라인을 통해 게이트로 상기 접지 전압이 인가되어 턴오프되어 상기 전원 전압의 레벨로 프리차지된 상기 매치라인과 상기 접지 전압의 레벨을 갖는 상기 소스라인 사이의 전기적 연결을 차단하고,

상기 검색 단계에서 상기 제1 및 제2 FeFET 중 LVT 상태를 갖는 FeFET는 대응하는 상기 비트라인바 또는 상기 비트라인을 통해 상기 전원 전압이 인가되면 턴온되어 프리차지된 상기 매치라인과 상기 접지 전압의 레벨을 갖는 상기 소스라인을 전기적 연결하여 상기 매치라인의 전압레벨을 상기 접지 전압의 레벨로 강하시키는 NOR 타입 TCAM 셀.

청구항 9

제1항에 있어서, 상기 제1 및 제2 FeFET는

가변되는 문턱전압(V_{th})에서 상대적으로 낮은 문턱전압인 LVT와 상대적으로 높은 문턱전압인 HVT가 모두 양의 전압레벨을 갖는 타입 II FeFET로 구현되는 NOR 타입 TCAM 셀.

청구항 10

제1 방향으로 연장되는 다수의 매치라인, 다수의 워드라인, 다수의 소스라인과 상기 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인쌍에 의해 정의되는 다수의 TCAM 셀; 및

상기 다수의 매치라인 중 대응하는 매치라인에 연결되어, 매치라인을 프리차지하고, 상기 다수의 비트라인쌍으로 인가된 데이터와의 대응하는 TCAM 셀들에 저장된 데이터 사이의 매치 여부에 따라 발생하는 매치라인의 전압강하를 감지하는 다수의 센싱 회로를 포함하고,

상기 다수의 TCAM 셀 각각은

상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 소스라인 중 대응하는 소스라인 사이에 병렬로 연결되는 제1 및 제2 FeFET;

상기 제1 FeFET의 게이트와 상기 다수의 비트라인쌍 중 대응하는 비트라인쌍의 비트라인바 사이에 연결되고, 게이트가 상기 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및

상기 제2 FeFET의 게이트와 상기 다수의 비트라인쌍 중 대응하는 비트라인쌍의 비트라인 사이에 연결되고, 게이트

트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함하되,

상기 제1 및 제2 액세스 트랜지스터는

라이트 동작 시에 데이터와 함께 인가되는 어드레스에 의해 대응하는 워드라인이 선택되면, 선택된 워드라인을 통해 인가되고 HVT보다 높은 기지정된 전압레벨을 갖는 라이트 전압에 응답하여 턴온되어, 상기 비트라인바와 상기 제1 FeFET의 게이트를 전기적으로 연결하고, 상기 비트라인과 상기 제2 FeFET의 게이트를 전기적으로 연결하는 NOR 타입 TCAM.

청구항 11

제10항에 있어서, 상기 다수의 TCAM 셀 각각은

라이트 동작에 의해 데이터 '0'이 저장되는 경우 상기 제1 FeFET는 LVT 상태(Low V_{TH} State)를 갖고 상기 제2 FeFET는 HVT 상태(High V_{TH} State)를 가지며,

데이터 '1'이 저장되는 경우 상기 제1 FeFET는 HVT 상태를 갖고 상기 제2 FeFET는 LVT 상태를 가지며,

데이터 'X'(don't care)가 저장되는 경우에는 상기 제1 및 제2 FeFET가 모두 HVT 상태를 갖는 NOR 타입 TCAM.

청구항 12

제11항에 있어서, 상기 TCAM은

제1 단계 및 제2 단계로 구분되는 상기 라이트 동작의 제1 단계에서 상기 라이트 동작 시에 상기 다수의 워드라인 중 데이터와 함께 인가되는 어드레스에 대응하는 워드라인을 선택하고 HVT보다 높은 기지정된 전압레벨을 갖는 라이트 전압을 인가하여 활성화하고, 상기 제1 단계에서 상기 다수의 매치라인과 상기 다수의 소스라인으로 LVT보다 낮은 기지정된 전압레벨을 갖는 접지 전압을 인가하여, 상기 다수의 TCAM 셀 중 활성화된 워드라인에 대응하는 TCAM 셀에 상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 저장되는 데이터에 따라 제1 및 제2 FET가 LVT 상태를 갖도록 하는 NOR 타입 TCAM.

청구항 13

제12항에 있어서, 상기 TCAM은

상기 라이트 동작의 제2 단계에서 상기 선택된 워드라인과 함께 대응하는 매치라인 및 대응하는 소스라인으로 상기 라이트 전압을 인가하여, 상기 다수의 TCAM 셀 중 활성화된 워드라인에 대응하는 TCAM 셀에 상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 저장되는 데이터에 따라 제1 및 제2 FET가 HVT 상태를 갖도록 하는 NOR 타입 TCAM.

청구항 14

제13항에 있어서, 상기 TCAM은

상기 비트라인바와 상기 비트라인 각각으로 상기 라이트 전압과 상기 접지 전압이 인가되어 상기 다수의 TCAM 셀 중 활성화된 워드라인에 대응하는 상기 TCAM 셀에 데이터 '0'이 저장되고,

상기 비트라인바와 상기 비트라인 각각으로 상기 접지 전압과 상기 라이트 전압이 인가되어 상기 TCAM 셀에 데이터 '1'이 저장되며,

상기 비트라인바와 상기 비트라인 각각으로 상기 라이트 전압이 인가되어 상기 TCAM 셀에 데이터 'X'가 저장되는 NOR 타입 TCAM.

청구항 15

제11항에 있어서, 상기 다수의 센스 회로 각각은

LVT와 HVT 사이의 기지정된 전압레벨을 갖는 전원 전압과 다수의 매치라인 중 대응하는 매치라인 사이에 연결되고, 프리차지 단계와 검색 단계로 구분되는 검색 동작의 프리차지 단계에서 활성화되는 프리차지바 신호에 응답하여 턴온되어 대응하는 매치라인을 상기 전원 전압의 전압레벨로 프리차지하는 프리차지 트랜지스터; 및

상기 검색 동작 시 상기 매치라인의 전압레벨을 반전하여 출력하는 인버터를 포함하는 NOR 타입 TCAM.

청구항 16

제15항에 있어서, 상기 TCAM은

상기 프리차지 단계에서 상기 다수의 워드라인으로 상기 전원 전압을 인가하고, 상기 다수의 소스라인과 상기 다수의 비트라인쌍의 상기 비트라인바와 상기 비트라인으로 LVT보다 낮은 기지정된 전압레벨을 갖는 접지 전압을 인가하는 NOR 타입 TCAM.

청구항 17

제16항에 있어서, 상기 TCAM은

상기 검색 단계에서 상기 다수의 워드라인으로 상기 전원 전압을 인가하고, 상기 다수의 소스라인으로 상기 전원 전압을 인가하며, 상기 다수의 비트라인쌍의 상기 비트라인바와 상기 비트라인으로 검색하고자 하는 데이터에 따라 상기 접지 전압 또는 상기 전원 전압을 인가하는 NOR 타입 TCAM.

청구항 18

제17항에 있어서, 상기 TCAM은

검색하고자 하는 데이터가 '0'이면, 상기 비트라인바와 상기 비트라인 각각으로 상기 전원 전압과 상기 접지 전압을 인가하고,

검색하고자 하는 데이터가 '1'이면, 상기 비트라인바와 상기 비트라인 각각으로 상기 접지 전압과 상기 전원 전압을 인가하는 NOR 타입 TCAM.

청구항 19

제10항에 있어서, 상기 제1 및 제2 FeFET는

가변되는 문턱전압(V_{th})에서 상대적으로 낮은 문턱전압인 LVT와 상대적으로 높은 문턱전압인 HVT가 모두 양의 전압레벨을 갖는 타입 II FeFET로 구현되는 NOR 타입 TCAM.

발명의 설명

기술 분야

[0001] 본 발명은 내용 주소화 메모리 셀 및 이를 포함하는 내용 주소화 메모리에 관한 것으로, 라이트 디스터번스가 없는 강유전체 소자 기반 NOR 타입 터너리 내용 주소화 메모리 셀 및 이를 포함하는 터너리 내용 주소화 메모리에 관한 것이다.

배경 기술

[0002] 내용 주소화 메모리(Content Addressable Memory: 이하 CAM)는 다수의 CAM 셀을 구비하여 데이터를 저장하는 메모리로서, 데이터를 입력으로 인가받아 인가된 데이터가 저장된 어드레스를 출력하도록 구성된 메모리를 의미한다. CAM은 네트워크 라우터에서의 검색 엔진이나 이미지 프로세스, 또는 신경망 등과 같이 고속 검색이 요구되는 다양한 응용 분야에 이용된다.

[0003] CAM은 데이터 저장 방식에 따라 바이너리 캠(binary CAM)과 터너리 CAM(Ternary CAM: 이하 TCAM)으로 구분될 수 있다. 바이너리 캠은 각 CAM 셀이 로직 '1' 상태와 로직 '0' 상태의 2가지 상태 중 하나의 상태 정보를 저장할 수 있도록 구성된다. 반면, TCAM은 로직 '0' 상태, 로직 '1' 상태뿐만 아니라 'X'(don't care) 상태를 추가적으로 저장할 수 있도록 구성된다. TCAM은 'X' 상태를 추가로 저장할 수 있도록 하여 검색의 유연성을 제공할 수 있다는 장점이 있다.

[0004] 기존에 CAM은 휘발성 소자인 CMOS로 구현되거나 비휘발성 소자인 MTJ(Magnetic Tunnel Junction) 또는 ReRAM(Resistive RAM) 등으로 구현되었다. CMOS로 구현된 CAM은 각 셀이 다수의 트랜지스터(일 예로 16T)를 필요로 하여, 대면적을 요구할 뿐만 아니라 전원이 인가되지 않으면 데이터가 소실되는 한계가 있다. 그리고 MTJ CAM의 경우 CMOS 보다는 적은 수의 트랜지스터 개수(10T-4MTJ)를 필요로 하지만 여전히 많은 개수의 소자를

요구하며, 온/오프 비(on/off ratio)가 낮은 MTJ 소자 특성으로 인해 검색 정확도가 낮다는 문제가 있다. ReRAM CAM는 MTJ CAM에 비해서도 소자 개수를 대폭 줄일 수 있으나, MTJ CAM과 마찬가지로 온/오프 비(on/off ratio)가 낮다는 문제가 있다.

- [0005] 따라서 적은 소자 개수로 좁은 면적에 고집적화할 수 있으며 높은 검색 정확도를 갖는 CAM에 대한 요구가 이어져 오고 있다. 이러한 요구에 따라 강유전체 트랜지스터(Ferroelectric FET: 이하 FeFET)를 이용한 CAM에 대한 연구가 수행되었다. 그러나 기존의 FeFET 기반 NOR 타입 CAM는 구성에 따라 FeFET의 라이트 동작을 위해 네거티브 라이트 전압 요구로 인한 라이트 불가능 문제를 갖거나, 특정 CAM 셀에 데이터를 라이트할 때, 선택되지 않은 CAM 셀의 FeFET가 함께 라이트되는 라이트 디스터번스(write disturbance) 문제가 발생하여 실제로 사용할 수 없다는 한계가 있었다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 한국 등록 특허 제10-1557926호 (2015.09.30 등록)

발명의 내용

해결하려는 과제

- [0007] 본 발명의 목적은 온/오프 비가 높은 비휘발성의 FeFET를 이용하여, 적은 개수의 소자로 좁은 면적에 고집적화하여 구현할 수 있는 NOR 타입 TCAM 셀 및 이를 포함하는 TCAM을 제공하는데 있다.
- [0008] 본 발명의 다른 목적은 네거티브 전압을 이용하지 않고 에너지 소모를 줄이면서 빠른 검색을 수행할 수 있는 NOR 타입 TCAM 셀 및 이를 포함하는 TCAM을 제공하는데 있다.

과제의 해결 수단

- [0009] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 NOR 타입 TCAM 셀은 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인과 상기 제1 방향으로 연장되는 다수의 소스라인 중 대응하는 소스라인 사이에 병렬로 연결되는 제1 및 제2 FeFET; 상기 제1 FeFET의 게이트와 상기 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인바 중 대응하는 비트라인바 사이에 연결되고, 게이트가 상기 제1 방향으로 연장되는 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및 상기 제2 FeFET의 게이트와 상기 제2 방향으로 연장되는 다수의 비트라인 중 대응하는 비트라인 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함한다.
- [0010] 상기 TCAM 셀은 라이트 동작에 의해 데이터 '0'이 저장되는 경우 상기 제1 FeFET는 LVT 상태(Low V_{th} State)를 갖고 상기 제2 FeFET는 HVT 상태(High V_{th} State)를 가지며, 데이터 '1'이 저장되는 경우 상기 제1 FeFET는 HVT 상태를 갖고 상기 제2 FeFET는 LVT 상태를 가지며, 데이터 'X'(don't care)가 저장되는 경우에는 상기 제1 및 제2 FeFET가 모두 HVT 상태를 가질 수 있다.
- [0011] 상기 TCAM 셀은 상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 상기 TCAM 셀에 저장되는 데이터에 따라 제1 및 제2 FET가 LVT 상태를 갖도록 하는 제1 단계와 상기 TCAM 셀에 저장될 데이터에 따라 제1 및 제2 FET가 HVT 상태를 갖도록 하는 제2 단계로 상기 라이트 동작이 수행될 수 있다.
- [0012] 상기 제1 및 제2 액세스 트랜지스터는 데이터와 함께 인가되는 어드레스에 의해 대응하는 워드라인이 선택되면, 상기 라이트 동작의 제1 및 제2 단계에서 대응하는 워드라인을 통해 인가되고 HVT보다 높은 기지정된 전압레벨을 갖는 라이트 전압에 응답하여 턴온되어, 상기 비트라인바와 상기 제1 FeFET의 게이트를 전기적으로 연결하고, 상기 비트라인과 상기 제2 FeFET의 게이트를 전기적으로 연결할 수 있다.
- [0013] 상기 제1 및 제2 FeFET는 상기 라이트 동작의 제1 단계에서 대응하는 매치라인과 대응하는 소스라인을 통해 인가되는 LVT보다 낮은 기지정된 전압레벨을 갖는 접지 전압과 상기 TCAM 셀에 저장될 데이터에 따라 상기 비트라인바 또는 상기 비트라인을 통해 인가되는 상기 라이트 전압에 응답하여 LVT 상태를 갖고, 상기 라이트 동작의 제2 단계에서 대응하는 매치라인과 대응하는 소스라인을 통해 인가되는 상기 라이트 전압과 상기 TCAM 셀에 저

장될 데이터에 따라 상기 비트라인바와 상기 비트라인을 통해 인가되는 상기 접지 전압에 따라 HVT 상태를 가질 수 있다.

- [0014] 상기 TCAM 셀은 상기 대응하는 매치라인이 LVT와 HVT 사이의 기지정된 전압레벨을 갖는 전원 전압으로 프리차지되는 프리차지 단계와 상기 TCAM 셀의 제1 및 제2 FeFET의 상태와 검색될 데이터에 따라 상기 비트라인바 및 상기 비트라인을 통해 인가되는 전압레벨이 서로 대응하지 않으면 프리차지된 상기 매치라인의 전압레벨이 LVT보다 낮은 기지정된 전압레벨을 갖는 접지 전압으로 강하되는 검색 단계로 검색 동작이 수행될 수 있다.
- [0015] 상기 제1 및 제2 액세스 트랜지스터는 상기 검색 동작의 상기 프리차지 단계와 상기 검색 단계에서 상기 워드라인을 통해 인가되는 상기 전원 전압에 따라 턴온되어, 상기 비트라인바와 상기 제1 FeFET의 게이트 및 상기 비트라인과 상기 제2 FeFET의 게이트를 전기적으로 연결할 수 있다.
- [0016] 상기 제1 및 제2 FeFET는 상기 프리차지 단계에서 상기 다수의 비트라인바 및 상기 다수의 비트라인을 통해 게이트로 상기 접지 전압이 인가되어 턴오프되어 상기 전원 전압의 레벨로 프리차지된 상기 매치라인과 상기 접지 전압의 레벨을 갖는 상기 소스라인 사이의 전기적 연결을 차단하고, 상기 검색 단계에서 상기 제1 및 제2 FeFET 중 LVT 상태를 갖는 FeFET는 대응하는 상기 비트라인바 또는 상기 비트라인을 통해 상기 전원 전압이 인가되면 턴온되어 프리차지된 상기 매치라인과 상기 접지 전압의 레벨을 갖는 상기 소스라인을 전기적 연결하여 상기 매치라인의 전압레벨을 상기 접지 전압의 레벨로 강하시킬 수 있다.
- [0017] 상기 제1 및 제2 FeFET는 가변되는 문턱전압(V_{th})에서 상대적으로 낮은 문턱전압인 LVT와 상대적으로 높은 문턱전압인 HVT가 모두 양의 전압레벨을 갖는 타입 II FeFET로 구현될 수 있다.
- [0018] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 NOR 타입 TCAM은 제1 방향으로 연장되는 다수의 매치라인, 다수의 워드라인, 다수의 소스라인과 상기 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인쌍에 의해 정의되는 다수의 TCAM 셀; 및 상기 다수의 매치라인 중 대응하는 매치라인에 연결되어, 매치라인을 프리차지하고, 상기 다수의 비트라인쌍으로 인가된 데이터와의 대응하는 TCAM 셀들에 저장된 데이터 사이의 매치여부에 따라 발생하는 매치라인의 전압 강하를 감지하는 다수의 센싱 회로를 포함하고, 상기 다수의 TCAM 셀 각각은 상기 다수의 매치라인 중 대응하는 매치라인과 상기 다수의 소스라인 중 대응하는 소스라인 사이에 병렬로 연결되는 제1 및 제2 FeFET; 상기 제1 FeFET의 게이트와 상기 다수의 비트라인쌍 중 대응하는 비트라인쌍의 비트라인바 사이에 연결되고, 게이트가 상기 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및 상기 제2 FeFET의 게이트와 상기 다수의 비트라인쌍 중 대응하는 비트라인쌍의 비트라인 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함한다.

발명의 효과

- [0019] 따라서, 본 발명의 실시예에 따른 NOR 타입 TCAM 셀 및 이를 포함하는 TCAM은 TCAM 셀이 2개의 FeFET와 2개의 액세스 트랜지스터의 적은 개수의 소자로 구성되어 좁은 면적에 고집적화하여 소형으로 제조될 수 있으며, 네거티브 전압을 이용하지 않고 라이트 디스터번스가 발생하지 않아 선택된 TCAM 셀에 안정적으로 데이터를 라이트할 수 있을 뿐만 아니라, 에너지 소모를 줄이면서 빠른 검색을 수행할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 CAM의 NOR 타입과 NAND 타입의 검색 동작을 설명하기 위한 도면이다.
- 도 2는 FeFET의 상태에 따른 검색 동작을 설명하기 위한 도면이다.
- 도 3은 FeFET의 타입에 따른 상태를 설명하기 위한 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 NOR 타입 TCAM 셀 구조를 나타낸다.
- 도 5 및 도 6은 본 실시예에 따른 NOR 타입 TCAM의 라이트 동작을 설명하기 위한 도면이다.
- 도 7 및 도 8은 본 실시예에 따른 NOR 타입 TCAM의 검색 동작을 설명하기 위한 도면이다.
- 도 9는 본 실시예에 따른 TCAM의 검색 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0022] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.
- [0023] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 “포함” 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 “...부”, “...기”, “모듈”, “블록” 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0024] 도 1은 CAM의 NOR 타입과 NAND 타입의 검색 동작을 설명하기 위한 도면이다.
- [0025] 도 1에서 (a)는 NOR 타입 CAM의 검색 동작을 나타내고, (b)는 NAND 타입 CAM의 검색 동작을 나타낸다. 도 1에 도시된 바와 같이, CAM은 인가된 데이터가 저장된 메모리 셀을 검색하여 어드레스를 출력하는 메모리로서 검색 동작 방식에 따라 NOR 타입과 NAND 타입으로 구분된다.
- [0026] 도 1의 (a)에 도시된 NOR 타입의 경우, 다수의 CAM 셀 각각이 저장된 데이터와 인가된 데이터의 매치 여부에 따라 매치라인(ML)의 전류가 병렬 연결 방식으로 접지로 흐르도록 구성된다. 따라서 NOR 타입에서는 하나 CAM 셀에서 미스매치가 발생하더라도 전류가 흘러 빠른 검색 속도를 나타낼 수 있으나 에너지 소모가 크다.
- [0027] 반면, 도 1의 (b)에 도시된 NAND 타입의 경우, 다수의 CAM 셀 각각이 저장된 데이터와 인가된 데이터의 매치 여부에 따라 매치라인(ML)의 전류가 직렬 연결 방식으로 접지로 흐르도록 구성된다. 따라서 동일한 매치라인(ML)에 연결되는 모든 CAM 셀에서 매치가 된 경우에만 매치라인(ML)의 전류가 접지로 흐르도록 구성된다. 따라서 NAND 타입에서는 하나의 셀에서만 미스매치가 발생하더라도 전류가 흐르지 않아 에너지 소모가 작다는 장점이 있으나, 매치라인(ML)의 방전 경로가 직렬로 구성됨에 따라 검색 속도가 느리다는 단점이 있다.
- [0028] 상기한 바와 같이, CAM에서는 NOR 타입과 NAND 타입 모두 장단점을 갖고 있으므로, NOR 타입 또는 NAND 타입은 CAM의 활용 목적에 따라 선택적으로 이용된다.
- [0029] 도 2는 FeFET의 상태에 따른 검색 동작을 설명하기 위한 도면이다.
- [0030] FeFET 소자는 CMOS 회로와의 호환성이 우수하며, 기존 다른 비휘발성 메모리에 대비하여 높은 온/오프 비율(ON/OFF ratio)(10^{15})과 빠른 라이트(write) 속도(10ns), 우수한 내구성(10^{10} cycle) 및 낮은 쓰기 전력 소모로 우수한 성능을 나타낸다는 장점이 있다. 또한 FeFET 소자는 도 2에 도시된 바와 같이, 소스-게이트-드레인의 3단자 구조(3 terminal structure)로 리드/라이트 경로가 상이하여 리드/라이트 실패가 발생할 가능성이 매우 낮으며 라이트 회로 구조가 간단하다는 장점이 있다.
- [0031] FeFET 소자는 강유전체의 히스테리시스 특성에 의해 게이트-소스 전압(V_{GS}) 또는 게이트-드레인 전압(V_{GD})에 따라 문턱전압(V_{TH})이 가변된다. 이에 가변되는 문턱전압(V_{TH})을 이용하여 1비트의 데이터를 저장할 수 있다.
- [0032] 도 2의 (a)에 도시된 바와 같이, FeFET는 로직 '1'이 저장되는 경우에는 가변되는 문턱전압(V_{TH})에서 상대적으로 낮은 문턱전압 상태(Low V_{TH} State: 이하 LVT 상태)를 가질 수 있다. 그리고 도 2의 (b)에 도시된 바와 같이, FeFET는 로직 '0'이 저장되는 경우에는 가변되는 문턱전압(V_{TH})중 상대적으로 높은 문턱전압 상태(High V_{TH} State: 이하 HVT 상태)를 가질 수 있다.
- [0033] 도 3은 FeFET의 타입에 따른 상태를 설명하기 위한 도면이다.
- [0034] 도 3에서 (a)는 타입 I FeFET의 상태별 전류-전압 그래프를 나타내고, (b)는 타입 II-A 와 타입 II-B FeFET의 상태별 전류-전압 그래프를 나타낸다. 도 3의 (a)에 도시된 타입 I FeFET는 초기 FeFET로서 LVT는 음의 전압레벨을 갖고 HVT는 양의 전압레벨을 갖는다. 따라서 타입 I FeFET에서는 FeFET의 상태를 판별하기 위해 게이트로 0V의 리드 전압(V_{read})이 인가된다.
- [0035] 그러나 도 3의 (b)에서 실선으로 표시된 타입 II-A FeFET와 점선으로 표시된 타입 II-B FeFET는 메탈 게이트 엔지니어링 기법(Metal gate engineering)을 이용하여 LVT가 양의 전압레벨을 갖도록 I-V 곡선이 포지티브 방향으

로 시프트됨으로써, LVT와 HVT는 모두 양의 전압레벨을 갖는다. 따라서 FeFET의 상태를 판별하기 위해 게이트에 각각 전원 전압(V_{DD})과 전원 전압(V_{DD})에서 문턱전압(V_{TH})을 차감한 전압레벨($V_{DD} - V_{TH}$)의 리드 전압(V_{read})이 인가된다.

[0036] 그리고 타입 I과 타입 II-A 및 II-B FeFET 모두 로직 '0'이 라이트되기 위해서는 게이트와 소스 사이의 전압차(V_{GS})가 네거티브 라이트 전압($-V_W$)을 갖도록 인가되어야 한다. 따라서 게이트 전압(V_G)으로 네거티브 라이트 전압($-V_W$)을 인가하고, 소스 전압(V_S)으로 접지 전압(0V)을 인가하거나, 게이트 전압(V_G)으로 접지 전압(0V)을 인가하고, 소스 전압(V_S)으로 라이트 전압(V_W)을 인가하여 로직 '0'을 라이트할 수 있다. 다만 게이트 전압(V_G)으로 네거티브 라이트 전압($-V_W$)을 인가하는 경우, 네거티브 라이트 전압($-V_W$)을 생성해야 하는 부담이 있다.

[0037] 도 4는 본 발명의 일 실시예에 따른 NOR 타입 TCAM 셀 구조를 나타낸다.

[0038] 도 4를 참조하면, 본 실시예에 따른 TCAM 셀은 2개의 FeFET(F1, F2)와 2개의 액세스 트랜지스터(T1, T2)를 포함하는 2F2T 구성을 갖는다.

[0039] 2개의 FeFET(F1, F2)는 CAM 셀 어레이에서 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인(ML)과, 제1 방향으로 연장되는 다수의 소스라인 중 대응하는 소스라인(ScL) 사이에 병렬로 연결된다. 여기서 2개의 FeFET(F1, F2)는 모두 타입 II-B FeFET로 구현되는 것으로 가정하지만, 타입 II-A FeFET로도 구현될 수 있다. 즉 2개의 FeFET(F1, F2)는 타입 II FeFET로 구현되어 LVT와 HVT가 모두 양의 전압레벨을 가지므로, LVT와 HVT 사이의 전압 레벨을 갖는 전원 전압(V_{DD})을 이용하여, FeFET(F1, F2)의 상태를 용이하게 판별할 수 있다.

[0040] 2개의 액세스 트랜지스터(T1, T2) 중 제1 액세스 트랜지스터(T1)는 제1 FeFET(F1)의 게이트와 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인쌍(BLB/BL) 중 대응하는 비트라인바(BLB) 사이에 연결되고, 제2 액세스 트랜지스터(T2)는 제2 FeFET(F2)의 게이트와 대응하는 비트라인(BL) 사이에 연결된다. 그리고 제1 및 제2 액세스 트랜지스터(T1, T2)는 게이트가 제1 방향으로 연장되는 다수의 워드라인 중 대응하는 워드라인(WL)에 공통으로 연결된다.

[0041] 2개의 FeFET(F1, F2)는 라이트 동작 시에 저장될 데이터에 따라 비트라인쌍(BLB/BL)을 통해 인가되는 전압에 의해 LVT 또는 HVT 상태가 되어 데이터에 대응하는 로직이 저장되며, 데이터에 대응하는 CAM 메모리를 탐색하는 검색 동작 시에는 라이트 동작 시에 설정된 LVT 또는 HVT 상태에 따라 매치라인(ML)과 소스라인(ScL)을 전기적으로 연결하거나 차단하여 매치라인(ML)의 전압레벨을 조절한다.

[0042] 상기한 바와 같이, TCAM 셀에는 데이터 '0', '1' 및 'X(don't care)'이 저장될 수 있다. 데이터 '0'이 저장되는 경우, 제1 액세스 트랜지스터(T1)를 통해 게이트가 비트라인바(BLB)에 연결되는 제1 FeFET(F1)는 로직 '1'에 대응하는 LVT 상태를 갖고, 게이트가 비트라인(BL)에 연결되는 제2 FeFET(F2)는 로직 '0'에 대응하는 HVT 상태를 갖는다. 그리고 데이터 '1'이 저장되는 경우에는 제1 FeFET(F1)가 HVT 상태를 갖고, 제2 FeFET(F2)가 HVT 상태를 갖는다. 또한 데이터 'X'가 저장되는 경우에는 제1 및 제2 FeFET(F1, F2)가 모두 HVT 상태를 갖는다.

[0043] 그리고 2개의 액세스 트랜지스터(T1, T2)는 워드라인(WL)에 게이트가 공통으로 연결되어, 워드라인(WL)으로 인가되는 전압레벨에 따라 2개의 FeFET(F1, F2)의 게이트와 비트라인쌍(BLB/BL)을 전기적으로 연결함으로써, TCAM 셀이 활성화되도록 한다. TCAM 셀이 워드라인(WL)으로 인가되는 전압레벨에 따라 활성화되므로, TCAM 어레이에서 다수의 TCAM 셀은 대응하는 워드라인(WL)에 따라 행(row) 단위로 활성화될 수 있다.

[0044] 그리고 비트라인쌍(BLB/BL)의 비트라인바(BLB)와 비트라인(BL)은 TCAM의 검색 동작시에 검색될 데이터에 대응하는 전압이 인가되는 라인으로, 각각 검색라인(SL) 및 검색라인바(SLB)라고 할 수 있으며, 이에 비트라인쌍(BLB/BL)을 검색라인쌍(SL/SLB)이라고 할 수도 있다.

[0045] 도 5 및 도 6은 본 실시예에 따른 NOR 타입 TCAM의 라이트 동작을 설명하기 위한 도면이다.

[0046] 여기서는 일 예로 TCAM 어레이에 2×3 형태로 6개의 TCAM 셀(CL)이 배열된 경우를 도시하였다. 이에 제1 방향으로 진행되는 2개의 매치라인(ML[0], ML[1])과 2개의 워드라인(WL[0], WL[1]) 및 2개의 소스라인(ScL[0], ScL[1])이 배치되고, 제1 방향과 수직인 제2 방향으로 진행되는 3개의 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])이 배치되었다. 여기서는 설명의 편의를 위해, 2×3 형태로 배열된 6개의 TCAM 셀(CL)을 배치 위치에 따라 제11 TCAM 셀(CL[00])로부터 제23 TCAM 셀(CL[12])로 구분한다. 그리고 제1행의 제11 TCAM 셀(CL[00]), 제12 TCAM 셀(CL[01]) 및 제13 TCAM 셀(CL[02])에 각각 데이터 '0', '1' 및 'X(don't

care)'이 라이트되는 경우를 가정한다.

- [0047] 본 실시예의 TCAM의 라이트 동작은 2단계로 수행되며, 도 5는 TCAM 셀(CL)에서 FeFET가 LVT 상태를 갖도록 하는 제1 단계(Step 1)을 나타내며, 도 6은 FeFET가 HVT 상태를 갖도록 하는 제2 단계(Step 2)를 나타낸다.
- [0048] 도 5를 참조하여, 제1 단계에서의 동작을 설명하면 먼저 데이터가 라이트될 TCAM 셀을 행 단위로 선택하기 위해 데이터와 함께 인가되는 어드레스에 대응하는 워드라인(WL)이 활성화된다. 여기서는 제1행의 TCAM 셀(CL[00], CL[01], CL[02])에 데이터가 라이트되는 것으로 가정하였으므로, 인가된 어드레스 중 로우 어드레스를 로우 디코더(미도시)가 디코딩하여 제1 워드라인(WL[0])을 선택하고, 선택된 제1 워드라인(WL[0])으로 기지정된 전압레벨(예를 들면 4V)의 라이트 전압(V_W)을 인가하여 선택된 제1 워드라인(WL[0])을 활성화한다. 이때, 선택되지 않은 제2 워드라인(WL[1])과 모든 매치라인(ML[0], ML[1]) 및 모든 소스라인(ScL[0], ScL[1])은 접지 전압(일 예로 0V) 레벨을 유지한다.
- [0049] 여기서 접지 전압은 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)의 LVT보다 낮은 전압 레벨을 갖고, 라이트 전압(V_W)은 HVT보다 높은 전압 레벨을 갖는다.
- [0050] 이에 제1행의 모든 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 액세스 트랜지스터(T1, T2)가 제1 워드라인(WL[0])을 통해 인가된 라이트 전압(V_W)에 응답하여 턴온된다. 따라서 제1행의 TCAM 셀 각각의 제1 및 제2 FeFET(F1, F2)는 각각 게이트가 대응하는 비트라인바(BLB[0], BLB[1], BLB[2]) 및 비트라인(BL[0], BL[1], BL[2])에 전기적으로 연결된다.
- [0051] 그러나 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 액세스 트랜지스터(T1, T2)는 제2 워드라인(WL[1])이 비활성화된 상태로 접지 전압레벨을 가지므로 턴오프 상태를 유지한다.
- [0052] 그리고 제1행의 3개의 TCAM 셀(CL[00], CL[01], CL[02])에 각각 데이터 '0', '1' 및 'X(don' care)'이 라이트되는 것으로 가정하였으므로, 제1열의 TCAM 셀에 대응하는 제1 비트라인바(BLB[0])와 제2열의 TCAM 셀에 대응하는 제2 비트라인(BL[1])으로 라이트 전압(V_W)이 인가된다. 그러나 제1 비트라인(BL[0])과 제2 비트라인바(BLB[1]) 및 제3 비트라인쌍(BLB[2]/BL[2])으로는 접지 전압이 인가된다.
- [0053] 이에 제11 TCAM 셀(CL[00])의 제1 FeFET(F1)와 제12 TCAM 셀(CL[01])의 제2 FeFET(F2)의 게이트로는 제1 비트라인바(BLB[0])와 제2 비트라인(BL[1])으로 인가된 라이트 전압(V_W)이 인가되고, 제11 TCAM 셀(CL[00])의 제1 FeFET(F1)와 제12 TCAM 셀(CL[01])의 제2 FeFET(F2)는 게이트-소스 전압(V_{GS})으로 라이트 전압(V_W)이 인가되어 LVT 상태를 갖게 된다. 이때, 제1행에서 다른 FeFET의 경우, 비트라인바(BLB[1], BLB[2]) 또는 비트라인(BL[0], BL[2])으로 접지 전압이 인가되어 게이트-소스 사이에 전압 차($V_{GS} = 0$)가 발생하지 않으므로 상태가 변화하지 않는다.
- [0054] 또한 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 FeFET(F1, F2)의 경우, 제2 워드라인(WL[1])이 비활성화되어 제1 및 제2 액세스 트랜지스터(T1, T2)가 모두 턴 오프 상태이므로, 게이트가 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])과 전기적으로 연결되지 않아 상태가 변화하지 않는다.
- [0055] 한편 도 6을 참조하면, 제2 단계에서도 선택된 제1 워드라인(WL[0])은 라이트 전압(V_W) 레벨로 활성화된 상태를 유지하고, 제2 워드라인(WL[1])은 접지 전압로 비활성화된 상태를 유지한다. 그러나 제2 단계에서는 제1 매치라인(ML[0])과 제1 소스라인(ScL[0])이 추가로 라이트 전압(V_W) 레벨로 활성화되고, 선택되지 않은 제2 매치라인(ML[1])과 제2 소스라인(ScL[1])은 접지 전압레벨을 유지한다.
- [0056] 또한 제11 TCAM 셀(CL[00])의 제1 FeFET(F1)에 대응하는 제1 비트라인바(BLB[0])와 제12 TCAM 셀(CL[01])의 제2 FeFET(F2)에 대응하는 제2 비트라인(BL[1])은 라이트 전압(V_W)이 유지되고, 제1 비트라인(BL[0])과 제2 비트라인바(BLB[1]) 및 제3 비트라인쌍(BLB[2]/BL[2])은 접지 전압이 유지된다.
- [0057] 즉 제2 단계에서는 각라인이 제1 단계에서와 동일한 상태를 유지하되, 선택된 워드라인(WL[0])에 대응하는 매치라인(ML[1])과 소스라인(ScL[1])이 추가적으로 라이트 전압(V_W) 레벨로 활성화된다.
- [0058] 따라서 제1행의 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 FeFET(F1, F2)의 소스 및 드레인에는 모두 라이트 전압(V_W)이 인가된다.

- [0059] 한편 제1 워드라인(WL[0])이 활성화된 상태를 유지하므로, 제1행의 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 액세스 트랜지스터(T1, T2)가 모두 턴온된 상태를 유지하고, 제1 및 제2 FeFET(F1, F2)는 각각 게이트가 대응하는 비트라인바(BLB[0], BLB[1], BLB[2]) 및 비트라인(BL[0], BL[1], BL[2])에 전기적으로 연결된 상태를 유지한다.
- [0060] 제1 비트라인바(BLB[0])와 제2 비트라인(BL[1])은 라이트 전압(V_W)이 유지하고 있으므로, 제11 TCAM 셀(CL[00])의 제1 FeFET(F1)과 제12 TCAM 셀(CL[01])의 제2 FeFET(F2)의 게이트에는 라이트 전압(V_W)이 인가된다. 즉 제11 TCAM 셀(CL[00])의 제1 FeFET(F1)과 제12 TCAM 셀(CL[01])의 제2 FeFET(F2)는 게이트, 소스 및 드레인 모두 라이트 전압(V_W)이 인가되어 상태 변화가 발생하지 않으므로 LVT 상태를 유지한다.
- [0061] 그러나 나머지 제11 TCAM 셀(CL[00])의 제2 FeFET(F2)와 제12 TCAM 셀(CL[01])의 제1 FeFET(F1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 FeFET(F1, F2)의 게이트에는 제1 비트라인(BL[0])과 제2 비트라인바(BLB[1]) 및 제3 비트라인쌍(BLB[2]/BL[2])으로부터 접지 전압이 인가된다. 따라서 게이트와 소스 전압차(V_{GS})가 네거티브 라이트 전압($-V_W$)이 된다. 따라서 제11 TCAM 셀(CL[00])의 제2 FeFET(F2)와 제12 TCAM 셀(CL[01])의 제1 FeFET(F1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 FeFET(F1, F2)는 HVT 상태를 갖게 된다.
- [0062] 이때 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 FeFET(F1, F2)의 경우, 제2 매치라인(WL[1])과 제2 소스라인(ScL[1])이 접지 전압 상태를 유지하고 있고, 제2 워드라인(WL[1])이 비활성화되어 제1 및 제2 액세스 트랜지스터(T1, T2)가 모두 턴 오프 상태이므로, 게이트가 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])과 전기적으로 연결되지 않아 상태가 변화하지 않는다.
- [0063] 결과적으로 제2 단계에서는 선택된 행의 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 FeFET(F1, F2) 중 제1 단계에서 LVT의 상태를 갖게 된 FeFET는 LVT 상태를 유지하고 나머지 FeFET는 HVT 상태를 갖도록 변화된다. 이때 선택되지 않은 행의 TCAM 셀(CL[10], CL[11], CL[12])에는 상태 변화가 발생하지 않으므로, 라이트 디스터벤스가 발생하지 않음을 알 수 있다.
- [0064] 표 1은 데이터 '0', '1' 및 'X(don' care)'가 라이트되는 경우, 제1 및 제2 단계에서 각 라인에 인가되는 전압레벨과 이에 따른 TCAM 셀(CL)의 제1 및 제2 FeFET(F1, F2)의 상태를 정리하여 나타내었다.

표 1

		ML		WL		ScL		BLB	BL	동작
		sel	unsel	sel	unsel	sel	unsel			
'0'	Step 1	0	0	V_W	0	0	0	V_W	0	LVT in F1
	Step 2	V_W	0	V_W	0	V_W	0	V_W	0	HVT in F2
'1'	Step 1	0	0	V_W	0	0	0	0	V_W	LVT in F2
	Step 2	V_W	0	V_W	0	V_W	0	0	V_W	HVT in F1
'X'	Step 1	0	0	V_W	0	0	0	0	0	Hold
	Step 2	V_W	0	V_W	0	V_W	0	0	0	HVT in F1 & F2

- [0065]
- [0066] 도 7 및 도 8은 본 실시예에 따른 NOR 타입 TCAM의 검색 동작을 설명하기 위한 도면이고, 도 9는 본 실시예에 따른 TCAM의 검색 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.
- [0067] 본 실시예에 따른 TCAM의 검색 동작은 도 7에 도시된 프리차지 단계와 도 8에 도시된 검색 단계의 2단계로 구성된다. 그리고 도 7 및 도 8에 도시된 바와 같이 TCAM은 각 행의 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))에 저장된 데이터가 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])으로 인가된 데이터들과 매치되는지 여부를 감지하기 위해, 다수의 매치라인(ML[0], ML[1]) 중 대응하는 매치라인에 연결되는 다수의 센싱 회로(SE[0], SE[1])를 더 포함한다. 다수의 센싱 회로(SE[0], SE[1])는 프리차지 트랜지스터(PT)와 인버터(INV)를 포함할 수 있다.
- [0068] 프리차지 트랜지스터(PT)는 다수의 센싱 회로(SE[0], SE[1]) 각각에서 전원 전압(V_{DD})과 대응하는 매치라인(ML[0], ML[1]) 사이에 연결되고 게이트로 프리차지 단계에서 활성화되는 프리차지바 신호(PREB)를 인가받는다.

여기서 전원 전압(V_{DD})은 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)의 LVT와 HVT 사이의 전압 레벨을 가질 수 있다. 그리고 인버터(INV)는 다수의 센싱 회로(SE[0], SE[1]) 각각에서 대응하는 매치라인(ML[0], ML[1])에 연결되어 매치라인(ML[0], ML[1])의 전압레벨을 반전하여 출력한다.

[0069] 여기서는 일 예로 도 5 및 도 6에 따라 제1행의 3개의 TCAM 셀(CL[00], CL[01], CL[02])에 각각 데이터 '0', '1' 및 'X'이 라이트되어 있는 것으로 가정하고, 제2행의 3개의 TCAM 셀(CL[10], CL[11], CL[12])에는 각각 데이터 '0', '0', '0'이 라이트되어 있는 가정하며, '000'의 3비트 데이터를 검색하여 출력하는 경우를 가정하여 설명한다.

[0070] 도 7 및 도 9를 참조하면, 우선 프리차지 단계에서는 다수의 센싱 회로(SE[0], SE[1]) 각각의 프리차지 트랜지스터(PT)의 게이트로 인가되는 프리차지바 신호(PREB)가 활성화된다. 이에 다수의 센싱 회로(SE[0], SE[1])의 프리차지 트랜지스터(PT)는 활성화된 프리차지바 신호(PREB)에 응답하여 대응하는 매치라인(ML[0], ML[1])을 전원 전압(V_{DD}) 레벨로 풀업한다. 따라서 프리차지 트랜지스터(PT)는 프리차지 단계에서 대응하는 매치라인(ML[0], ML[1])을 전원 전압(V_{DD}) 레벨로 풀업하는 풀업 트랜지스터로 기능을 수행한다.

[0071] 이때, 모든 워드라인(WL[0], WL[1])에는 전원 전압(V_{DD})이 인가되어 활성화되고, 모든 소스라인(ScL[0], ScL[1])은 접지 전압레벨을 유지한다. 모든 워드라인(WL[0], WL[1])이 전원 전압(V_{DD})의 레벨로 활성화되므로, 모든 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 액세스 트랜지스터(T1, T2)가 모두 턴온되어 제1 및 제2 FeFET(F1, F2)의 게이트가 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])과 전기적으로 연결된다.

[0072] 그리고 프리차지 단계에서 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])으로는 모두 접지 전압이 인가된다. 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])으로 접지 전압이 인가되므로, 모든 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)는 턴오프 상태를 유지한다.

[0073] 따라서 매치라인(ML[0], ML[1])이 전원 전압(V_{DD}) 레벨로 프리차지되더라도, TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)를 통한 전류 경로가 형성되지 않으므로, 매치라인(ML[0], ML[1])은 프리차지된 전압레벨을 유지하게 된다.

[0074] 그리고 다수의 센싱 회로(SE[0], SE[1]) 각각의 인버터(INV)는 프리차지 단계에서 전원 전압(V_{DD}) 레벨로 프리차지된 매치라인(ML[0], ML[1])의 전압레벨을 반전하여 접지 전압레벨로 출력한다. 즉 프리차지 단계에서는 모든 센싱 회로(SE[0], SE[1])가 접지 전압레벨로 0의 값을 출력한다.

[0075] 한편, 도 8 및 도 9를 참조하면, 검색 단계에서 다수의 센싱 회로(SE[0], SE[1]) 각각의 프리차지 트랜지스터(PT)의 게이트로 비활성화된 프리차지바 신호(PREB)가 인가된다. 따라서 프리차지 트랜지스터(PT)가 모두 턴오프 된다. 그리고 다수의 워드라인(WL[0], WL[1])은 전원 전압(V_{DD}) 레벨로 활성화되고, 다수의 소스라인(ScL[0], ScL[1])은 접지 전압레벨로 유지된다.

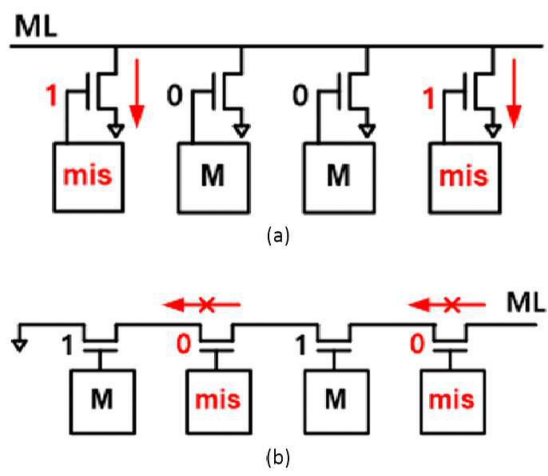
[0076] 워드라인(WL[0], WL[1])이 전원 전압(V_{DD}) 레벨로 활성화되어 유지됨에 따라, TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 액세스 트랜지스터(T1, T2)가 턴온된 상태를 유지하고, 각 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)의 게이트가 대응하는 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])과 전기적으로 연결된 상태를 유지한다.

[0077] '000'의 3비트 데이터를 검색하는 것으로 가정하였으므로, 검색 단계에서 3개의 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])에서 비트라인바(BLB[0], BLB[1], BLB[2])으로는 모두 로직 '0'에 대응하는 접지 전압이 인가되고, 비트라인(BL[0], BL[1], BL[2])으로는 모두 동일하게 로직 '1'에 대응하는 전원 전압(V_{DD})이 인가된다. 이때 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 액세스 트랜지스터(T1, T2)가 프리차지 단계에서부터 이미 턴온된 상태를 유지하고 있으므로, 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])을 통해 인가되는 전압은 빠르게 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)의 게이트로 인가되어 제1 및 제2 FeFET(F1, F2)를 턴온시키거나 턴오프 상태를 유지하도록 한다. 즉 NOR 타입 TCAM의 검색 속도를 개선시킬 수 있다.

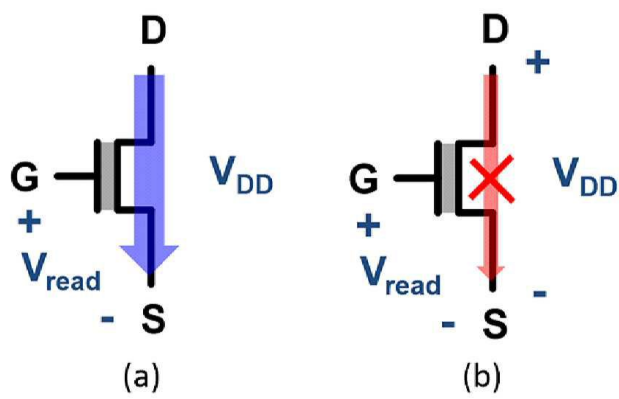
- [0078] 상기한 가정에 따라 제1행의 제11, 제12 및 제13 TCAM 셀(CL[00], CL[01], CL[02])에는 '0', '1' 및 'X'에 대응하는 데이터가 저장되어 제1 및 제2 FeFET(F1, F2)가 각각 ((LVT, HVT), (HVT, LVT), (HVT, HVT)) 상태를 갖고, 제2행의 제21, 제22 및 제23 TCAM 셀(CL[10], CL[11], CL[12])에는 모두 '0'에 대응하는 데이터가 저장되어 제1 및 제2 FeFET(F1, F2)가 모두 (LVT, LVT) 상태를 갖는다.
- [0079] 따라서 제1 및 제2 FeFET(F1, F2)가 각각 ((LVT, HVT), (HVT, HVT)) 상태를 갖는 제1행의 제11 및 제13 TCAM 셀(CL[00], CL[02])과 제2행의 제21, 제22 및 제23 TCAM 셀(CL[10], CL[11], CL[12])에서는 LVT 상태의 제1 FeFET(F1)의 게이트에 접지전압이 인가되고, HVT 상태의 제2 FeFET(F2)의 게이트에 0V의 전원 전압(V_{DD})이 인가되어 제1 및 제2 FeFET(F1, F2)가 모두 턴오프 상태를 유지하고 이에 매치라인(ML[0], ML[1])과 소스라인(ScL[0], ScL[1]) 사이로는 전류가 흐르지 않는다. 다만 제1 및 제2 FeFET(F1, F2)가 (HVT, LVT) 상태를 갖는 제12 TCAM 셀(CL[01])에서는 LVT 상태의 제2 FeFET(F2)의 게이트에 LVT보다 높은 전압레벨의 전원 전압(V_{DD})이 인가되므로, 제2 FeFET(F2)가 턴온되어 제1 매치라인(ML[0])과 제1 소스라인(ScL[0]) 사이에 전류 경로가 형성된다. 즉 데이터 '1'이 저장된 제12 TCAM 셀(CL[01])에 대해 비트라인쌍(BLB[1], BL[1])을 통해 데이터 '0'이 검색 데이터로 인가됨에 따라 미스매치가 발생하여 전류 경로가 형성된다.
- [0080] 제1 매치라인(ML[0])에서는 미스매치가 발생된 제12 TCAM 셀(CL[01])로 인해 프리차지된 전원 전압(V_{DD}) 레벨이 접지 전압레벨로 전압 강하되는 반면, 제2 매치라인(ML[1])에서는 미스매치가 발생되지 않아 프리차지된 전원 전압(V_{DD}) 레벨이 유지된다. 그리고 제1 센스 회로(SE[0])의 인버터(INV)는 접지 전압레벨로 전압 강하된 제1 매치라인(ML[0])의 전압레벨을 반전하여 전원 전압(V_{DD}) 레벨을 출력하고, 제2 센스 회로(SE[1])의 인버터(INV)는 프리차지된 전원 전압(V_{DD})을 유지하는 제2 매치라인(ML[1])의 전압레벨을 반전하여 접지 전압레벨로 출력한다.
- [0081] 즉 NOR 타입 CAM의 특성에 따라 대응하는 행에 배치된 TCAM 셀에서 제1 및 제2 FeFET(F1, F2)의 상태로 저장된 데이터 중 적어도 하나가 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])으로 인가된 데이터들과 미스매치되면, 접지 전압레벨로 강하하는 해당 매치라인의 전압레벨이 인버터(INV)에 의해 반전되어 전원 전압(V_{DD}) 레벨로 출력된다. 반면 대응하는 행에 배치된 TCAM 셀에 저장된 모든 데이터가 비트라인쌍(BLB[0]/BL[0], BLB[1]/BL[1], BLB[2]/BL[2])으로 인가된 데이터들과 매치되면, 매치라인의 전압레벨이 유지되므로 인버터(INV)에 의해 반전되어 접지 전압레벨이 출력된다.
- [0082] 결과적으로 TCAM 어레이의 다수의 센싱 회로에서 출력이 접지 전압을 갖는 행의 어드레스가 인가된 데이터에 매칭된 어드레스로서 출력될 수 있다.
- [0083] 상기한 바와 같이 본 실시예에 따른 TCAM에서는 TCAM 셀 각각이 온/오프 비가 높은 비휘발성의 2개의 FeFET(F1, F2)와 2개의 액세스 트랜지스터(T1, T2)의 적은 개수의 소자를 포함하는 단순 구조를 가지므로, 에너지 소모를 저감시킬 수 있고 좁은 면적에 고집적화하여 소형으로 제조될 수 있으며, 네거티브 라이트 전압($-V_w$)을 별도로 생성하여 제공할 필요가 없으며, 라이트 동작 시에 선택되지 않은 TCAM 셀에 데이터가 저장되는 라이트 디스터번스가 발생하지 않아 선택된 TCAM 셀에 안정적으로 데이터를 라이트할 수 있다.
- [0084] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.
- [0085] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

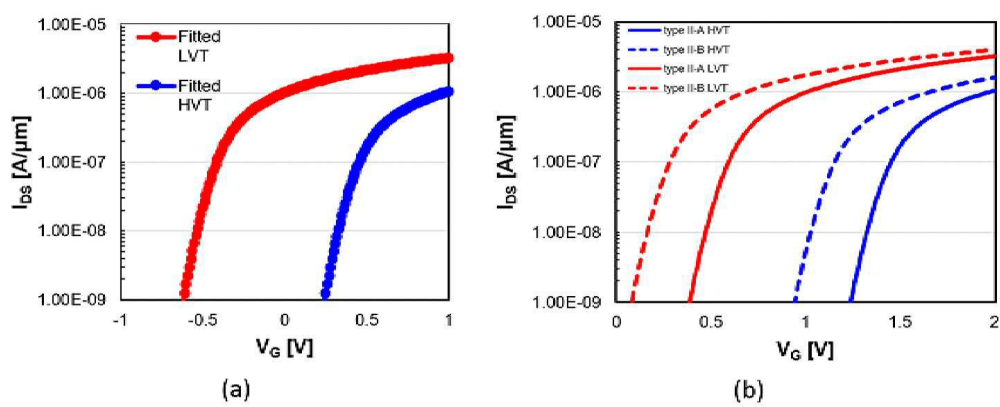
도면1



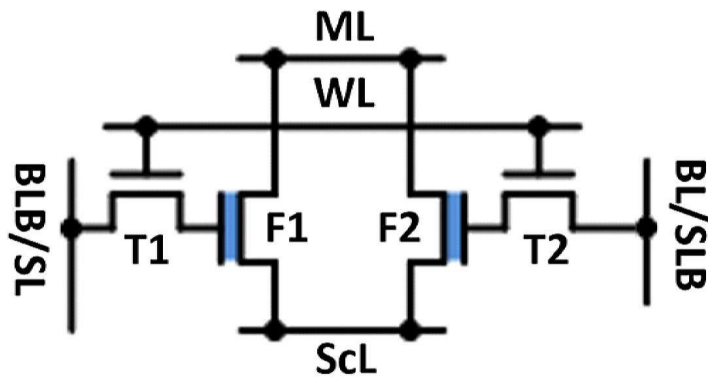
도면2



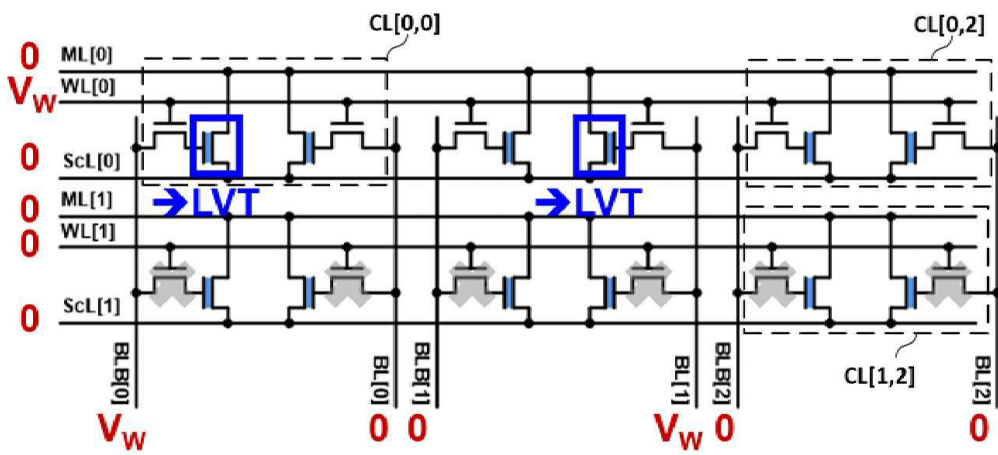
도면3



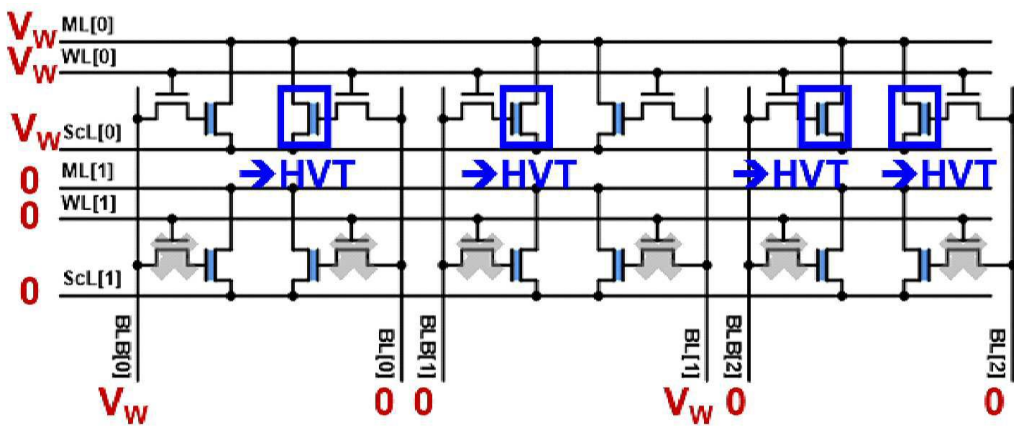
도면4



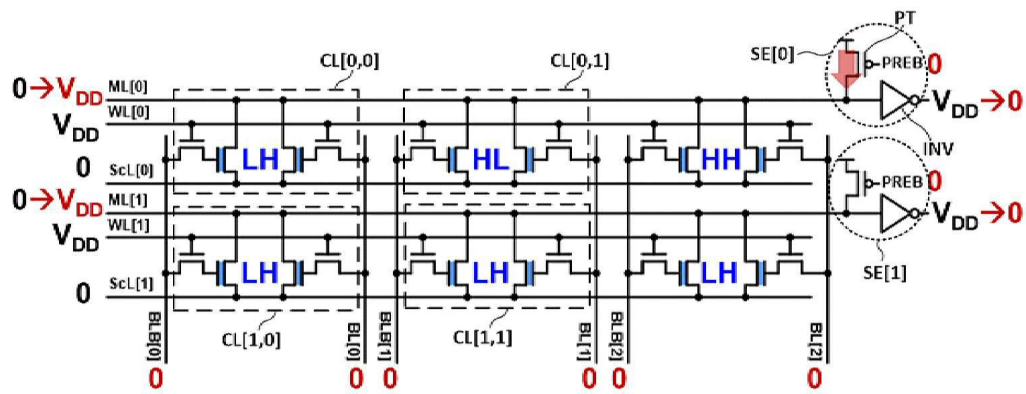
도면5



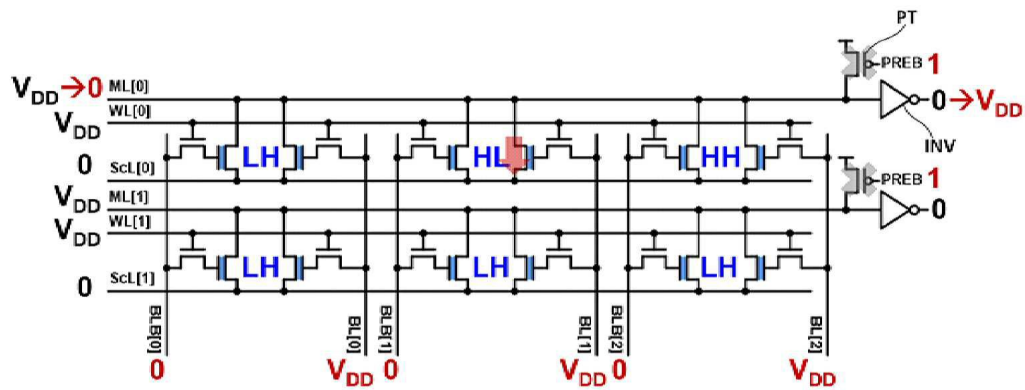
도면6



도면7



도면8



도면9

