



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월21일  
(11) 등록번호 10-2446422  
(24) 등록일자 2022년09월19일

(51) 국제특허분류(Int. Cl.)  
H03K 3/3562 (2006.01) G01R 31/3181 (2006.01)  
G04F 10/00 (2006.01) H03K 5/135 (2006.01)  
(52) CPC특허분류  
H03K 3/35625 (2013.01)  
G01R 31/31813 (2013.01)  
(21) 출원번호 10-2020-0165438  
(22) 출원일자 2020년12월01일  
심사청구일자 2020년12월01일  
(65) 공개번호 10-2022-0076690  
(43) 공개일자 2022년06월08일  
(56) 선행기술조사문헌  
KR1020110045033 A\*  
JP2013240015 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
윤홍일  
서울특별시 서초구 태봉로2길 5, 107동 1302호(우면동, 서초네이처힐5단지)  
임태건  
대전광역시 서구 청사로 254, 107동 903호(둔산동, 둥지아파트)  
(74) 대리인  
특허법인우인

전체 청구항 수 : 총 7 항

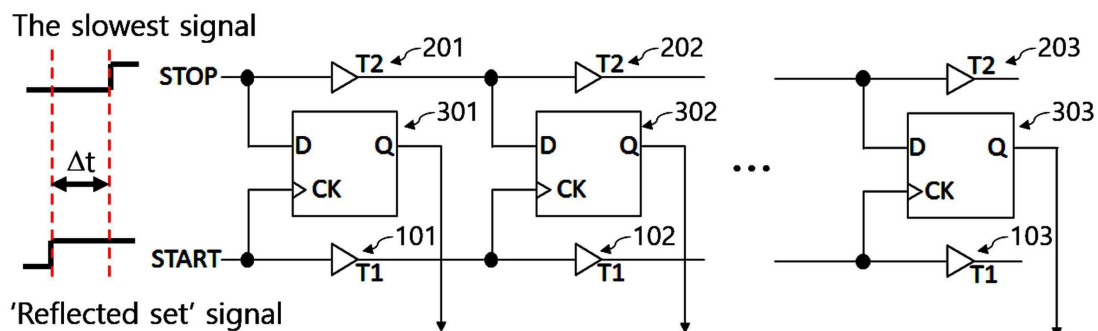
심사관 : 최규돈

(54) 발명의 명칭 고속 출력 감지 증폭기 기반 플립플롭을 이용한 보스트용 시간 디지털 변환기

(57) 요약

본 실시예들은 마스터 래치에서 클럭 신호에 의해 제어되는 트랜지스터의 단자 노드와 접지 사이에 복수의 트랜지스터를 추가하여 클럭 천이 전 단자 노드에서 전압차를 형성하여, 클럭 천이 후 슬레이브 래치로 보다 신속하게 노드 값을 전달하는 시간 디지털 변환기를 제공한다.

대표도



(52) CPC특허분류

**G04F 10/005** (2013.01)

**H03K 5/135** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711115751
과제번호	10067813
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D)
연구과제명	차세대 반도체 테스트 핀 감소를 위한 built off self test (BOST) 기술 연구(5/6)
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.01.01 ~ 2020.12.31

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

시작 신호를 입력받고 다음 단으로 전달하는 복수의 제1 버퍼;

정지 신호를 입력받고 다음 단으로 전달하는 복수의 제2 버퍼;

상기 시작 신호 및 상기 정지 신호를 입력받고 출력 신호를 출력하며 마스터 래치와 상기 마스터 래치에 연결된 슬레이브 래치를 갖는 마스터-슬레이브 래치가 적용된 복수의 플립플롭을 포함하며,

상기 마스터 래치는 상기 마스터 래치에서 출력되어 상기 슬레이브 래치로 입력되는 전압의 레벨을 조절하고,

상기 마스터 래치는 클럭 신호가 입력되는 제1 트랜지스터, 제2 트랜지스터, 및 제3 트랜지스터를 포함하고, 상기 제1 트랜지스터의 일단에 연결된 제1 노드에 제1 경로 변경부가 연결되고, 상기 제2 트랜지스터의 일단에 연결된 제2 노드에 제2 경로 변경부가 연결되며,

상기 마스터 래치는 상기 제3 트랜지스터에 연결된 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하고, 상기 제3-1 트랜지스터는 데이터 신호에 의해 제어되고, 상기 제3-2 트랜지스터는 데이터 바 신호에 의해 제어되고,

상기 제1 경로 변경부는 서로 연결되는 제1-1 추가 트랜지스터 및 제1-2 추가 트랜지스터를 포함하고,

상기 제1-2 추가 트랜지스터는 상기 데이터 신호에 의해 제어되는 것을 특징으로 하는 시간 디지털 변환기.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

제1항에 있어서,

상기 제1-1 추가 트랜지스터는 상기 제3-1 트랜지스터의 일단에 연결되는 것을 특징으로 하는 시간 디지털 변환기.

#### 청구항 7

삭제

#### 청구항 8

제1항에 있어서,

상기 제1-2 추가 트랜지스터는 접지에 연결되는 것을 특징으로 하는 시간 디지털 변환기.

#### 청구항 9

제1항에 있어서,

상기 제2 경로 변경부는 서로 연결되는 제2-1 추가 트랜지스터 및 제2-2 추가 트랜지스터를 포함하는 것을 특징으로 하는 시간 디지털 변환기.

#### 청구항 10

제9항에 있어서,

상기 제2-1 추가 트랜지스터는 상기 제3-2 트랜지스터의 일단에 연결되는 것을 특징으로 하는 시간 디지털 변환기.

#### 청구항 11

제9항에 있어서,

상기 제2-2 추가 트랜지스터는 상기 데이터 바 신호에 의해 제어되는 것을 특징으로 하는 시간 디지털 변환기.

#### 청구항 12

제9항에 있어서,

상기 제2-2 추가 트랜지스터는 접지에 연결되는 것을 특징으로 하는 시간 디지털 변환기.

### 발명의 설명

#### 기술 분야

[0001] 본 발명이 속하는 기술 분야는 플립플롭을 이용한 보스트용 시간 디지털 변환기에 관한 것이다.

#### 배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 반도체 기술의 발달에 따라 고 성능의 테스트 대상 회로(Device Under Test)의 신뢰성 있는 성능 측정 난이도가 높아졌다. 이에 보스트(Built-Off Self-Test, BOST)가 제안되었고 이는 고성능의 테스트 대상 회로를 저 성능의 반도체 검사 장비(Automatic Test Equipment)가 신뢰성 있는 검사를 가능하게 해 주는 다리 역할을 한다.

[0004] 보스트를 이용한 신뢰성 있는 검사를 위해서는, 테스트 전 보스트 모듈과 테스트 대상 회로 간 연결하는 핀들의 물리적 길이 차이로 인해 신호 간 발생하는 스큐의 측정과 보상이 반드시 이루어져야 한다. 이러한 스큐 측정은 시간 디지털 변환기에 의해 측정되며, 사용되는 시간 디지털 변환기 회로는 버니어 지연선을 적용한다. 버니어 지연선의 구성은 여러 단의 버퍼 지연선과 플립플롭으로 구성되며, 스큐의 시간 차이를 플립플롭의 출력으로 알 수 있다.

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 한국공개특허공보 제10-2009-0059580호 (2009.06.11)

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명의 실시예들은 시간 디지털 변환기의 플립플롭을 구현하는 마스터 래치에서 클럭 신호에 의해 제어되는 트랜지스터의 단자 노드와 접지 사이에 복수의 트랜지스터를 추가하여 클럭 천이 전 단자 노드에서 전압차를 형성하여, 클럭 천이 후 슬레이브 래치로 보다 신속하게 노드 값을 전달하는 데 발명의 주된 목적이 있다.

[0007] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범

위 내에서 추가적으로 고려될 수 있다.

### 과제의 해결 수단

- [0008] 본 실시예의 일 측면에 의하면, 시작 신호를 입력받고 다음 단으로 전달하는 복수의 제1 버퍼; 정지 신호를 입력받고 다음 단으로 전달하는 복수의 제2 버퍼; 상기 시작 신호 및 상기 정지 신호를 입력받고 출력 신호를 출력하며 클럭 천이 완료 탐색을 사용하는 래치가 적용된 복수의 플립플롭을 포함하며, 상기 래치의 내부 노드의 전압 변화 시간을 단축시키는 것을 특징으로 하는 시간 디지털 변환기를 제공한다.
- [0009] 상기 래치는 마스터 래치와 슬레이브 래치로 구현되며, 상기 마스터 래치는 클럭 천이 전에 상기 슬레이브 래치로 입력되는 전압의 레벨을 조절할 수 있다.
- [0010] 상기 마스터 래치는 클럭 신호가 입력되는 제1 트랜지스터, 제2 트랜지스터, 및 제3 트랜지스터를 포함하고, 상기 제1 트랜지스터의 일단에 연결된 제1 노드에 제1 경로 변경부가 연결되고, 상기 제2 트랜지스터의 일단에 연결된 제2 노드에 제2 경로 변경부가 연결될 수 있다.
- [0011] 상기 마스터 래치는 상기 제3 트랜지스터에 연결된 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하고, 상기 제3-1 트랜지스터는 데이터 신호에 의해 제어되고, 상기 제3-2 트랜지스터는 데이터 바 신호에 의해 제어될 수 있다.
- [0012] 상기 제1 경로 변경부는 제1-1 추가 트랜지스터 및 제1-2 추가 트랜지스터가 연결될 수 있다.
- [0013] 상기 제1-1 추가 트랜지스터는 상기 제3-1 트랜지스터의 일단에 연결될 수 있다.
- [0014] 상기 제1-2 추가 트랜지스터는 상기 데이터 신호에 의해 제어될 수 있다.
- [0015] 상기 제1-2 추가 트랜지스터는 접지에 연결될 수 있다.
- [0016] 상기 제2 경로 변경부는 제2-1 추가 트랜지스터 및 제2-2 추가 트랜지스터가 연결될 수 있다.
- [0017] 상기 제2-1 추가 트랜지스터는 상기 제3-2 트랜지스터의 일단에 연결될 수 있다.
- [0018] 상기 제2-2 추가 트랜지스터는 상기 데이터 바 신호에 의해 제어될 수 있다.
- [0019] 상기 제2-2 추가 트랜지스터는 접지에 연결될 수 있다.

### 발명의 효과

- [0020] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 시간 디지털 변환기의 플립플롭을 구현하는 마스터 래치에서 클럭 신호에 의해 제어되는 트랜지스터의 단자 노드와 접지 사이에 복수의 트랜지스터를 추가하여 클럭 천이 전 단자 노드에서 전압차를 형성하여, 클럭 천이 후 슬레이브 래치로 보다 신속하게 노드 값을 전달할 수 있는 효과가 있다.
- [0021] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

### 도면의 간단한 설명

- [0022] 도 1은 보스트 모듈을 예시한 도면이다.
- 도 2는 n단 버니어 지연선을 예시한 도면이다.
- 도 3은 플립플롭의 마스터 래치를 예시한 도면이다.
- 도 4는 플립플롭의 슬레이브 래치를 예시한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 시간 디지털 변환기의 마스터 래치를 예시한 도면이다.
- 도 6 및 도 7은 본 발명의 일 실시예에 따른 시간 디지털 변환기의 플립플롭에서 클럭 천이 완료 탐색에 따른 출력 Q를 예시한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명

의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.

- [0024] 도 1은 보스트 모듈을 예시한 도면이다.
- [0025] 반도체 테스트 시스템은 자동 테스트 장비(ATE)와 테스트 대상 회로(DUT) 사이에 보스트 모듈을 삽입하여 테스트 I/O를 감소시키고 병렬성을 향상시킨다.
- [0026] ATE는 DUT를 자동으로 검사하는 장비로 마이크로컴퓨터 또는 마이크로프로세서 기반의 시스템으로 구성된다. ATE는 테스트 헤더를 통해 BOST 회로 장치와 전기적으로 결합된다. ATE는 BOST 회로 장치를 통하여 DUT와 전기적으로 연결하고 테스트 패턴을 DUT에 입력하고 DUT의 출력과 기대값을 비교하여 DUT의 오류를 판정한다. DUT는 BOST 회로 장치의 소켓에 장착되어 전기적으로 결합될 수 있다.
- [0027] ATE는 외부의 서버와 인터페이스를 사용하여 접속할 수 있다. 서버는 사용자 인터페이스를 제공하여 사용자가 테스트될 DUT의 특성에 맞는 테스트 프로그램을 작성할 수 있는 환경을 제공한다. 또한 서버는 ATE에 테스트 프로그램을 송신하며 ATE에서 테스트 결과를 송신 받아 분석할 수 있는 사용자 인터페이스를 제공할 수 있다. 서버는 임의의 타입의 프로세싱 디바이스일 수 있고, 종래의 퍼스널 컴퓨터(PC), 데스크 탑 디바이스, 또는 휴대용 디바이스, 마이크로프로세서 컴퓨터, 마이크로프로세서 기반 또는 프로그램가능 소비자 전자 디바이스, 미니-컴퓨터, 메인프레임 컴퓨터, 및/또는 개인용 모바일 컴퓨팅 디바이스를 포함하지만 이에 제한되지는 않는다.
- [0028] BOST 회로 장치는 프론트 인쇄기판으로 형성될 수 있고, ATE와 DUT를 전기적으로 연결하기 위한 다수의 도전패턴들이 형성될 수 있다. 다수의 도전패턴들은 입출력 테스트 신호 라인들, 클록 신호 라인들, 전원 라인들을 포함할 수 있다. BOST 회로 장치는 테스트 보드 또는 하이팩스(High Fidelity Tester Access Fixture, HI FIX)를 포함할 수 있다.
- [0029] SM(Skew Measurement) 모듈은 보스트 회로 장치와 테스트 대상 회로들 간에 연결된 채널들의 물리적 차이에 의한 신호의 지연 시간 격차를 측정한다. SK 모듈은 개방 회로(Open Circuit) 상태에서 채널들을 통해 주기적으로 신호를 전송하고 수신하여 지연 시간을 측정한다. BOST 회로 장치는 채널별로 측정된 지연 시간을 기반으로 채널별 송신 시간을 보정한다.
- [0030] DUT는 SRAM, DRAM, SDRAM 등과 같은 휘발성 메모리 소자 또는 ROM, PROM, EPROM, EEPROM, 플래시 메모리, PRAM, MRAM, RRAM, FRAM 등과 같은 비휘발성 메모리 소자 및 이들을 포함하는 메모리 컴포넌트(Memory Component)일 수 있다. 또한, DUT는 메모리 소자 또는 메모리 패키지에 한정되지 않으며, 예를 들어 메모리 컴포넌트들이 조합되어 이루어진 메모리 모듈(Memory Module), 메모리 카드(Memory Card) 또는 메모리 스틱(Memory Stick)일 수 있다. 나아가 DUT는 메모리 소자를 포함하거나 포함하지 않는 ISP(Image Signal Processor), DSP(Digital Signal Processor)와 같은 칩들을 포함할 수 있다.
- [0031] 스큐 측정 장치는 시작 신호와 정지 신호의 간격을 측정하기 위해서, 제1 지연선과 제2 지연선을 포함한다. 제1 지연선은 CDL(Coarse Delay Line)이고, 제2 지연선은 FDL(Fine Delay Line)에 해당한다. 시간 디지털 변환기는 낮은 상세 수준의 지연 시간을 측정하기 위한 버니어 지연선과 높은 상세 수준의 지연 시간을 측정하기 위한 버니어 지연선을 각각 구비한다.
- [0032] 스큐 측정 장치는 낮은 수준의 지연 시간을 측정한 후, 높은 수준의 지연 시간을 측정하는 순차적인 방법으로 총 지연 시간을 측정하는 방식을 사용한다.
- [0033] CDL에서 정지 신호가 시작 신호보다 먼저 로직 하이(Logic High)되면, 해당하는 버니어 지연단의 출력은 1이 된다.
- [0034] 도 2는 n단 버니어 지연선을 예시한 도면이다.
- [0035] 버니어 지연선의 지연단은 하나의 플립플롭(301, 302, 303)과 서로 다른 지연 시간을 가지는 두 유형의 버퍼 시리즈(101, 102, 103, 201, 202, 203)로 구성된다. 지연 시간 측정 시작 신호와 반사되어 되돌아오는 신호의 인가를 통해 생성된 버니어 지연 단의 두 입력 신호(시작 신호와 정지 신호)가 각각에 연결된 버퍼를 통해 출력되고, 각 신호가 플립플롭에 입력된다.
- [0036] 정지 신호와 연결된 버퍼의 지연 시간(T2)이 시작 신호와 연결된 버퍼의 지연 시간(T1)보다 작은 값을 갖기 때문에 버니어 지연선을 지날수록 정지 신호와 시작 신호의 차이가 감소하게 된다. 시작 신호가 정지 신호에게 따라잡히면, 해당하는 버니어 지연 단의 플립플롭의 출력이 1이 된다. 지연 시간 측정은 버니어 지연선의 플립플롭

롭의 출력을 사용하며, N 단 버니어 지연선의 각 단의 플립플롭 출력을 N 개의 비트를 통해 총 지연 시간 측정값을 계산한다.

- [0037] 본 실시예에 따른 시간 디지털 변환기는 버니어 지연선의 구조를 이루고 있는 플립플롭에 마스터-슬레이브 래치를 사용할 수 있다. 천이 완료 탐색 방법을 사용하는 감지 증폭기 기반의 플립플롭은 저전압에서 고속으로 동작하며, 이전 플립플롭 대비 동작 수율과 노드에서 전류 보유 문제를 해결한다. 천이 완료 탐색 방법을 사용하는 감지 증폭기에서 클럭 천이 전 슬레이브 래치로 입력되는 전압 레벨의 조정을 통해, 클럭 천이 후 출력을 얻기 위한 시간을 단축한다.
- [0038] 도 3은 플립플롭의 마스터 래치를 예시한 도면이고, 도 4는 플립플롭의 슬레이브 래치를 예시한 도면이다.
- [0039] 마스터-슬레이브 래치 구조로 마스터 래치에서의 입력은 데이터(D), 데이터바(DB), 그리고 클럭(CLK)으로 구성된다.
- [0040] 마스터 래치에서의 출력은 SB, RB로 슬레이브 래치의 입력으로 인가되며, 마스터 래치에서의 SB, RB의 2입력-낸드 게이트를 통한 천이 완료(Transition Completion, TC) 신호로 SB, RB와 함께 슬레이브 래치의 풀-다운 패스 게이트 조종을 담당한다.
- [0041] 클럭이 0V인 상태일 때, 마스터 래치에서의 MP1과 MP4는 턴-온 되어 SB와 RB 노드는 전원 전압으로 프리-차징된다. MN1과 MN2도 프리-차징된 SB, RB 노드 전압으로 인하여 턴-온 된다. SB, RB 노드의 낸드 게이트 두 입력으로 천이 완료 신호(TC)는 0이다.
- [0042] 클럭이 VDD가 되면, MP1, MP4는 턴-오프 되며 MN6의 턴-온으로 D와 DB의 입력에 따라 MN4와 MN5의 턴-온이 결정되어 차동 증폭기의 동작으로 이어진다. SB, RB 노드는 시간에 지남에 따라 프리-차징 상태에서부터 서로 다른 값을 가지게 되는데, 이러한 값이 슬레이브 래치의 입력으로 인가된다.
- [0043] SB 노드가 1, RB 노드가 0이면 MP5, MN12는 턴-오프, MP8, MN11은 턴-온되어 Q값은 0, QB값은 1의 상태를 가질 것이다. MN7, MN10은 Q와 QB의 풀-다운 트랜지스터이며 마스터 래치의 천이 완료 신호(TC)에 의해 조절된다.
- [0044] 클럭 인가 후, RB와 SB의 값이 상보적으로 결정되면, 낸드 게이트의 출력이 MN3을 턴-온 시켜 노드 l\_tc, r\_tc의 평준화에 의해 0V가 되어 데이터(D), 데이터 바(DB)의 변화에도 SB, RB 신호가 변하지 않아 원치 않는 천이 상황을 막을 수 있다.
- [0045] 도 5는 본 발명의 일 실시예에 따른 시간 디지털 변환기의 마스터 래치를 예시한 도면이다.
- [0046] 본 실시예에 따른 시간 디지털 변환기는 기존 천이 완료 탐색 방법을 사용하는 감지 증폭기의 SB, RB 노드의 결과값을 클럭의 상승 천이 전에 약간의 차이를 두도록 설정하여, 클럭이 상승 했을 때, 두 노드의 전압 차이가 벌어지는 시간을 기존의 방법보다 단축하여 상대적으로 빠른 플립플롭의 출력 Q와 QB를 얻을 수 있다.
- [0047] 시간 디지털 변환기는 복수의 제1 버퍼(101, 102, 103), 복수의 제2 버퍼(201, 202, 203), 복수의 플립플롭(301, 302, 303)을 포함한다.
- [0048] 복수의 제1 버퍼(101, 102, 103)는 시작 신호를 입력받고 다음 단으로 전달한다.
- [0049] 복수의 제2 버퍼(201, 202, 203)는 정지 신호를 입력받고 다음 단으로 전달한다.
- [0050] 복수의 플립플롭(301, 302, 303)은 시작 신호를 데이터로 입력받고 정지 신호를 클럭 신호로 입력받고 출력 신호를 출력한다. 플립플롭은 클럭 천이 완료 탐색을 사용하는 래치가 적용된다. 래치의 내부 노드의 전압 변화 시간을 단축시킨다.
- [0051] 래치는 마스터 래치와 슬레이브 래치로 구현되며, 마스터 래치는 클럭 천이 전에 슬레이브 래치로 입력되는 전압의 레벨을 조절할 수 있다.
- [0052] 마스터 래치는 클럭 신호가 입력되는 제1 트랜지스터(510), 제2 트랜지스터(520), 및 제3 트랜지스터(530)를 포함하고, 제1 트랜지스터(510)의 일단에 연결된 제1 노드(515)에 제1 경로 변경부(560)가 연결되고, 제2 트랜지스터(520)의 일단에 연결된 제2 노드(525)에 제2 경로 변경부(570)가 연결될 수 있다.
- [0053] 마스터 래치는 제3 트랜지스터(530)에 연결된 제3-1 트랜지스터(540) 및 제3-2 트랜지스터(550)를 포함하고, 제3-1 트랜지스터(540)는 데이터 신호에 의해 제어되고, 제3-2 트랜지스터(550)는 데이터 바 신호에 의해 제어될 수 있다.



- [0054] 제1 경로 변경부(560)는 제1-1 추가 트랜지스터(561) 및 제1-2 추가 트랜지스터(562)가 연결될 수 있다. 제1-1 추가 트랜지스터(561)는 제3-1 트랜지스터(540)의 일단(545)에 연결될 수 있다. 제1-2 추가 트랜지스터(562)는 데이터 신호에 의해 제어될 수 있다. 제1-2 추가 트랜지스터(562)는 접지에 연결될 수 있다.
- [0055] 제2 경로 변경부(570)는 제2-1 추가 트랜지스터(571) 및 제2-2 추가 트랜지스터(572)가 연결될 수 있다. 제2-1 추가 트랜지스터(571)는 제3-2 트랜지스터(550)의 일단(555)에 연결될 수 있다. 제2-2 추가 트랜지스터(572)는 데이터 바 신호에 의해 제어될 수 있다. 제2-2 추가 트랜지스터(572)는 접지에 연결될 수 있다.
- [0056] 도 5를 참조하면, 마스터 래치에 트랜지스터 MN7(561), MN8(562), MN9(571), MN10(572) 4개가 추가된 구조이다.
- [0057] 클럭이 0이고 SB와 RB 노드가 프리-차징 상태일 때, 노드 l\_tc, r\_tc는 MN1과 MN2에 의해 전원 전압에서 문턱 전압만큼 감소된 값을 보유하고 있다. 이러한 전압은 MN7, MN9로 인가되어 결국은 SB, RB 노드의 풀-다운 경로를 열어 주며 임의의 입력 D와 DB에 의해 MN8 또는 MN10이 턴-온이 결정된다.
- [0058] 이러한 SB, RB노드의 풀-다운 추가 경로가 형성된 브랜치의 전압은 클럭 상승 천이 전, SB 또는 RB 노드의 프리-차징 전압을 하강시켜 미세한 전압 차이를 만들어낸다. 이로 인해 클럭 상승 천이 후, 마스터 래치에서 빠른 SB, RB 노드 결과 값을 가져 슬레이브 래치로 전달하는 구조를 갖추었고 천이 완료 신호가 1이 되면, l\_tc, r\_tc 노드는 0V가 되기에 MN7, MN9 또한 턴-오프 되어 SB, RB의 조절에 관여하지 않는다.
- [0059] 클럭이 0일 때, SB 또는 RB 노드의 값은 수학적 1과 같은 값을 가진다.

### 수학적 1

$$\text{Voltage of node SB or RB} = \text{VDD} - \{\text{VDD} - (2V_{th})\}$$

- [0060]
- [0061] 결국 SB 와 RB 노드의 전압 값은 각각 VDD와 수학적 1의 값을 가지게 된다. 클럭 상승 천이 전, 추가 풀-다운 경로는 MP1 또는 MP4을 통해 지속적으로 전하 공급을 받기에 일정 수준 하강하지 않는다. 결국 SB 또는 RB 노드는 수학적 1의 값으로 수렴하며 기존 VDD에서 트랜지스터의 문턱 전압에 영향을 주지 않는 적은 값의 감소이기 때문에 2-입력 낸드 게이트의 출력인 천이 완료 신호(TC)의 영향이나, 슬레이브 래치의 결과 출력에 영향을 끼치지 않는다.
- [0062] 도 6은 본 발명의 일 실시예에 따른 시간 디지털 변환기의 플립플롭에서 D가 1일 때 클럭 천이 완료 탐색에 따른 출력 Q를 예시한 도면이고, 도 7은 본 발명의 일 실시예에 따른 시간 디지털 변환기의 플립플롭에서 D가 0일 때 클럭 천이 완료 탐색에 따른 출력 Q를 예시한 도면이다.
- [0063] 실험은 TSMC 180nm 공정을 사용하여 1.2V의 전원 전압 환경에서 Hspice 시뮬레이션으로 진행을 하였다. 제안 회로는 엣지-트리거 동작에 이상이 없음을 확인하였으며, 클럭의 상승 천이로부터 출력 Q의 천이까지의 시간을 비교하여 봤을 때, 제안하는 방법이 기존의 방법 대비 Q값의 출력이 상승 및 하강 시 각각 약10% 정도의 속도 향상을 확인할 수 있다.

표 1

	클럭-Q 지연 (ns)		No. Tr
	상승	하강	
기존방법	0.306	0.339	24
제안방법	0.274	0.306	28

- [0064]
- [0065] 시간 디지털 변환기가 적용된 보스트 회로 장치에 포함된 복수의 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을

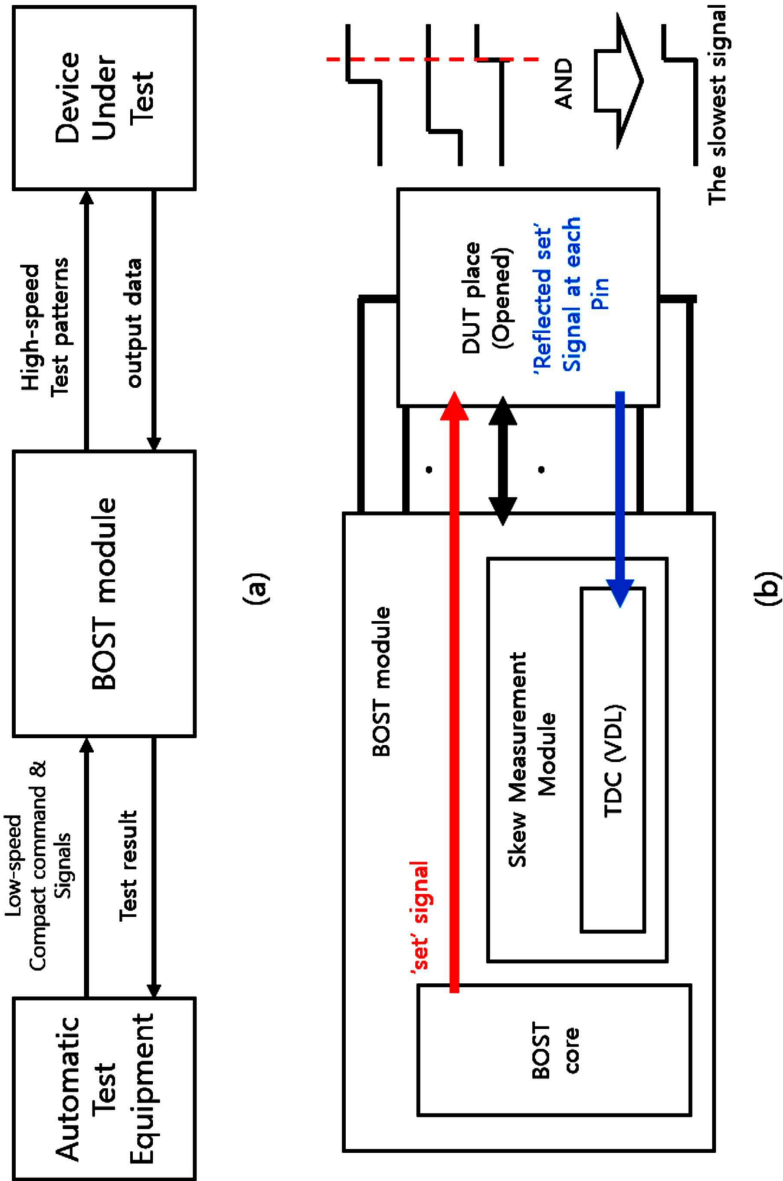


이용하여 통신한다.

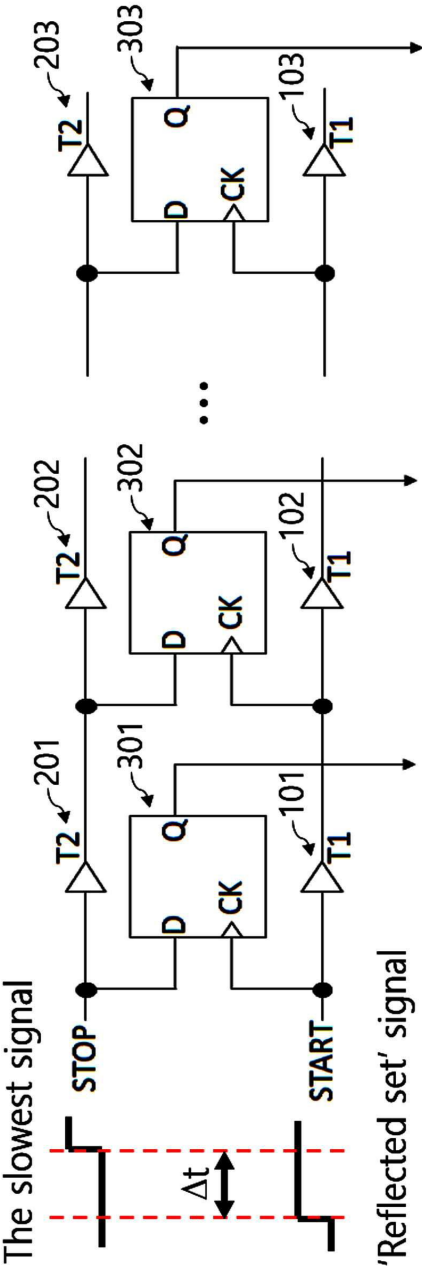
- [0066] 보스트 회로 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.
- [0067] 보스트 회로 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.
- [0068] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.
- [0069] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

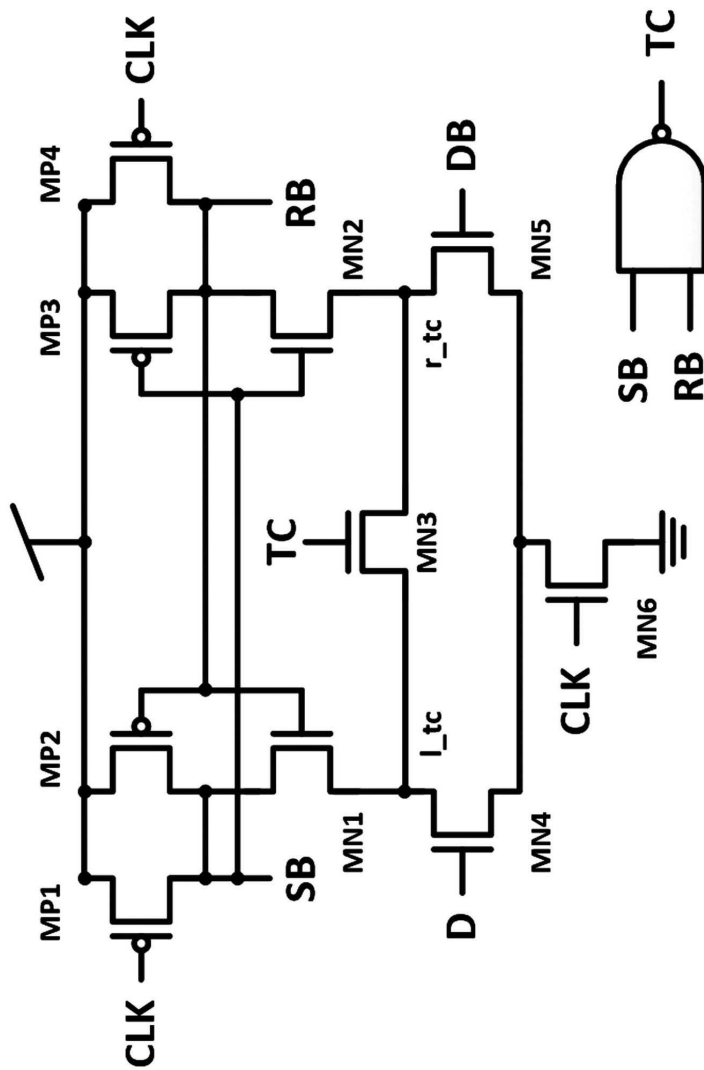
도면1



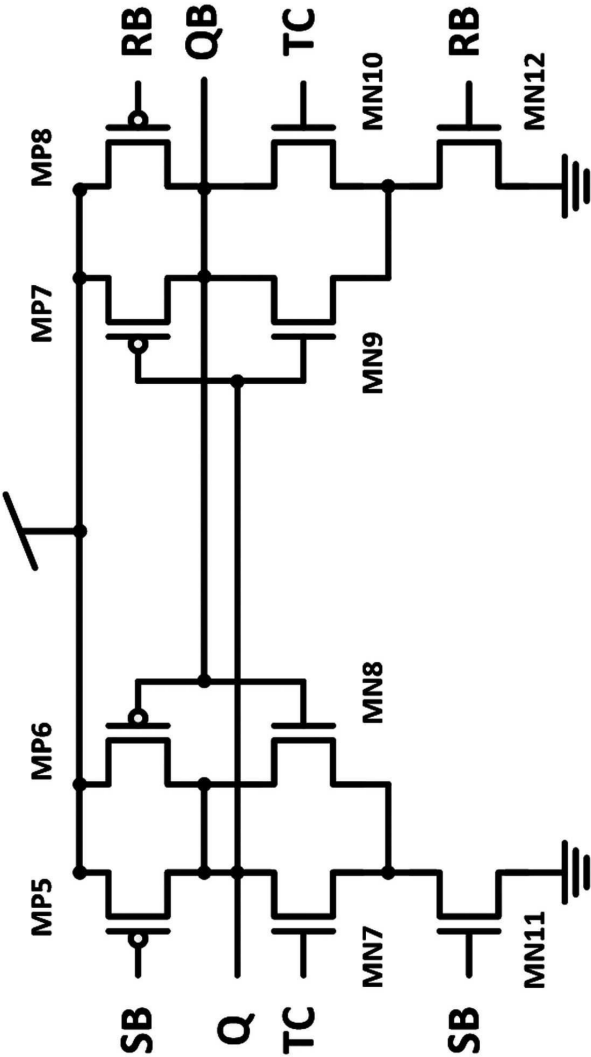
도면2



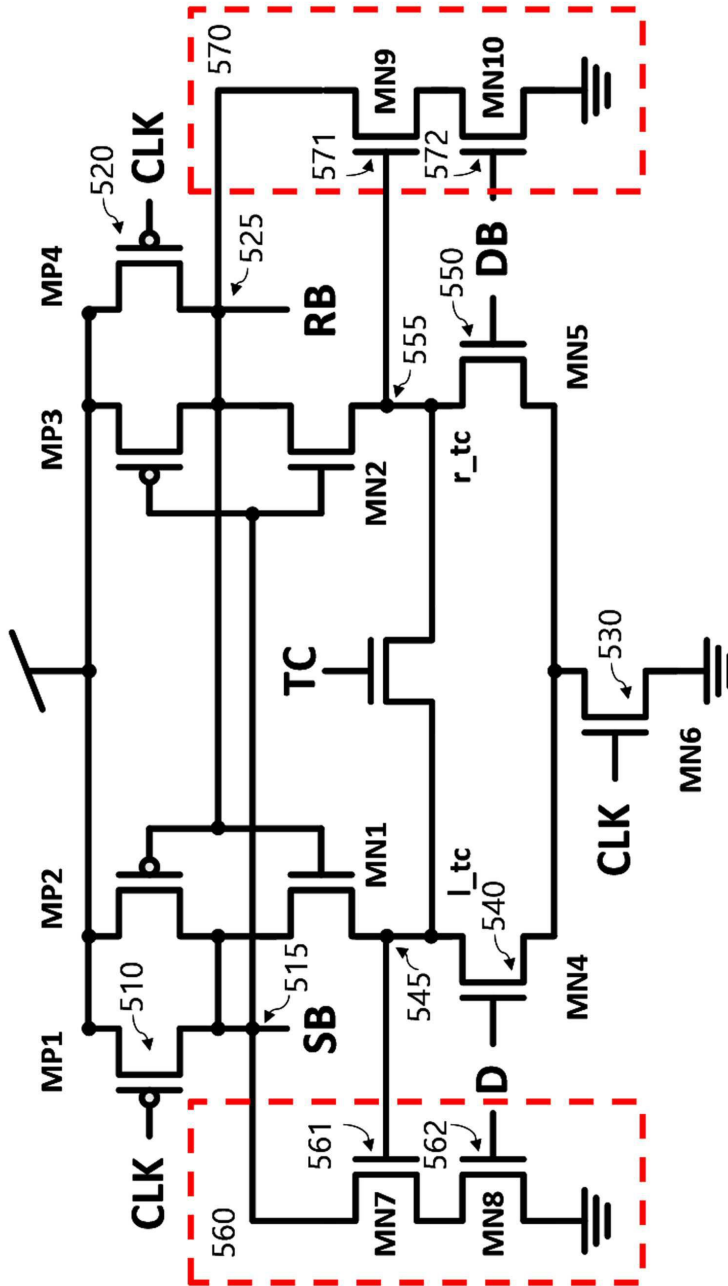
도면3



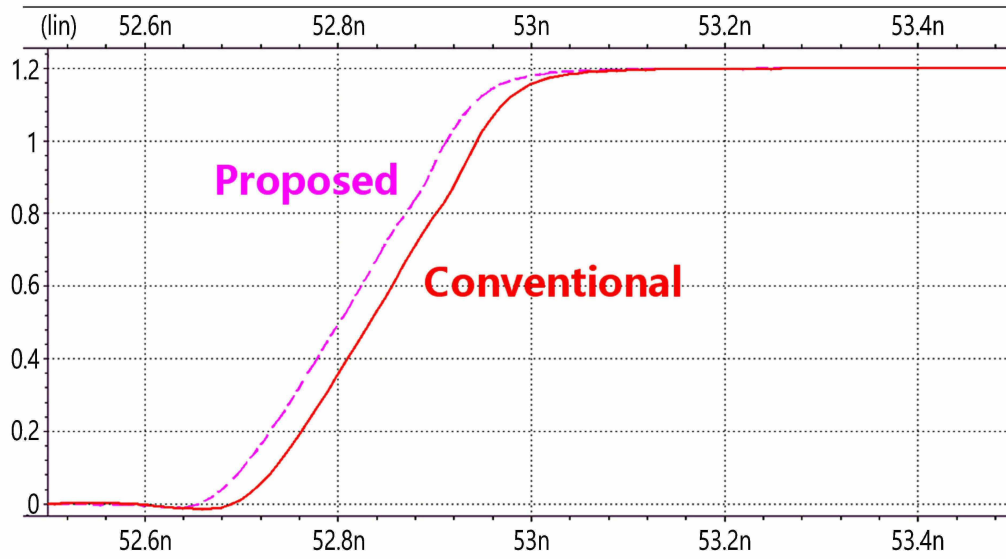
도면4



도면5



도면6



도면7

