



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월28일  
(11) 등록번호 10-2414186  
(24) 등록일자 2022년06월23일

(51) 국제특허분류(Int. Cl.)

G11C 16/08 (2006.01) G06F 12/02 (2018.01)  
G11C 16/04 (2006.01) G11C 16/10 (2006.01)  
G11C 16/34 (2006.01)

(52) CPC특허분류

G11C 16/08 (2013.01)  
G06F 12/0246 (2013.01)

(21) 출원번호 10-2016-0040942

(22) 출원일자 2016년04월04일

심사청구일자 2021년02월22일

(65) 공개번호 10-2017-0114349

(43) 공개일자 2017년10월16일

(56) 선행기술조사문헌

US20130077407 A1

US09646701 B

US20170213586 A1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

이요한

인천광역시 부평구 부흥로 246, 33동 1204호 (부평동, 동아2단지아파트)

고준영

서울특별시 영등포구 디지털로64길 15-9, 206호 (대림동, 성원아파트)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 10 항

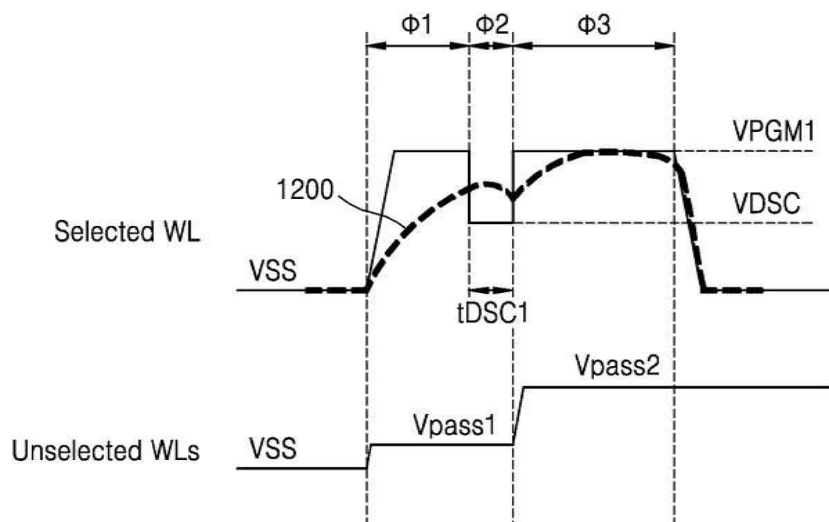
심사관 : 한선경

(54) 발명의 명칭 불휘발성 메모리 장치 및 그것의 프로그램 방법

(57) 요약

불휘발성 메모리 장치 및 그것의 프로그램 방법에 대하여 개시된다. 불휘발성 메모리 장치의 프로그램 방법은, 프로그램 전압 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커플링율에 기초하여 결정되는 디스차이지 전압을 이용한다. 불휘발성 메모리 장치는, 복수의 메모리 셀들에 연결된 워드라인들 중 비선택된 워드라인들로 제1 및 제2 패스 전압을 순차적으로 인가하고, 워드라인들 중 선택된 워드라인으로 프로그램 전압을 인가한 후 프로그램 전압보다 낮은 디스차이지 전압을 인가하고 프로그램 전압을 재인가하는 방법으로 프로그램 동작을 수행한다.

대표도 - 도12



(52) CPC특허분류

**G11C 16/0483** (2013.01)

**G11C 16/10** (2013.01)

**G11C 16/3404** (2013.01)

(72) 발명자

**김지수**

인천광역시 서구 옷우물로 12, 603호 (석남동, 미리내아파트)

**정성욱**

서울특별시 강남구 삼성로 212, 25동 1103호 (대치동, 은마아파트)

**김지석**

서울특별시 강동구 양재대로 1656, 102동 805호 (명일동, 삼익그린맨션)

**유창연**

경기도 화성시 동탄순환대로21길 54, 1325동 801호 (청계동, 동탄2신도시 센트럴 푸르지오)

**백세현**

서울특별시 구로구 개봉로5길 19, 204호 (개봉동, 신우빌라)

**천진영**

서울특별시 영등포구 의사당대로 127, 101동 2604호 (여의도동, 롯데캐슬엠펙라이어)

## 명세서

### 청구범위

#### 청구항 1

복수의 셀 스트링들을 포함하고, 각 셀 스트링은 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 프로그램 방법에 있어서,

상기 복수의 메모리 셀들에 연결된 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압을 인가하고, 제2 구간 동안 상기 제1 패스 전압보다 높은 제2 패스 전압을 순차적으로 인가하는 단계; 및

상기 복수의 메모리 셀들에 연결된 워드라인들 중 선택된 워드라인으로 상기 제1 구간 동안 프로그램 전압을 인가한 후 상기 프로그램 전압보다 낮은 디스차이지 전압을 인가하고, 상기 제2 구간 동안 상기 프로그램 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

#### 청구항 2

제1항에 있어서,

상기 선택된 워드라인으로 인가되는 상기 디스차이지 전압을 인가하는 단계에서, 상기 프로그램 전압의 레벨에 따라 상기 디스차이지 전압이 인가되는 구간이 조정되는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

#### 청구항 3

제2항에 있어서,

상기 프로그램 전압의 레벨이 증가할 때, 상기 디스차이지 전압이 인가되는 구간이 길어지는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

#### 청구항 4

제1항에 있어서,

상기 선택된 워드라인으로 인가되는 상기 디스차이지 전압을 인가하는 단계에서, 상기 프로그램 전압의 레벨에 따라 상기 디스차이지 전압이 인가되는 시점이 조정되는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

#### 청구항 5

제4항에 있어서,

상기 프로그램 전압의 레벨이 증가할 때, 상기 디스차이지 전압이 인가되는 시점이 빨라지는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

#### 청구항 6

제1항에 있어서,

상기 선택된 워드라인으로 인가되는 상기 디스차이지 전압을 인가하는 단계에서, 상기 프로그램 전압의 레벨에 따라 상기 디스차이지 전압의 레벨이 조정되는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

#### 청구항 7

제6항에 있어서,

상기 프로그램 전압의 레벨이 증가할 때, 상기 디스차이지 전압의 레벨이 높아지는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

## 청구항 8

제1항에 있어서,

상기 비선택된 워드라인들로 상기 제2 구간 동안 상기 제2 패스 전압을 인가하는 단계에서, 상기 프로그램 전압의 레벨에 따라 상기 제2 패스 전압의 레벨이 조정되는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

## 청구항 9

제8항에 있어서,

상기 프로그램 전압의 레벨이 증가할 때, 상기 제2 패스 전압의 레벨이 높아지는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

## 청구항 10

복수의 셀 스트링들을 포함하고, 각 셀 스트링은 복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

워드라인들을 통해 상기 복수의 셀 스트링들의 상기 복수의 메모리 셀들과 연결되고, 스트링 선택 라인을 통해 상기 복수의 셀 스트링들의 스트링 선택 트랜지스터들과 연결되고, 그라운드 선택 라인을 통해 상기 복수의 셀 스트링들의 그라운드 선택 트랜지스터들과 연결되는 어드레스 디코더; 및

프로그램 동작에서, 상기 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압이 인가되고 제2 구간 동안 상기 제1 패스 전압보다 높은 제2 패스 전압이 인가되고, 상기 워드라인들 중 선택된 워드라인으로 상기 제1 구간 동안 프로그램 전압이 인가된 후 상기 프로그램 전압보다 낮은 디스차이지 전압이 인가되고 상기 제2 구간 동안 상기 프로그램 전압이 인가되도록 제어하는 프로그램 컨트롤 로직부를 포함하는 불휘발성 메모리 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로서, 더욱 상세하게는 디스차이지 구간을 갖는 프로그램 전압을 이용하여 메모리 셀들이 원하는 문턱 전압 분포들의 문턱 전압을 갖도록 프로그램하기 위한 불휘발성 메모리 장치의 프로그램 방법에 관한 것이다.

### 배경 기술

[0002] 반도체 메모리 장치들은 크게 휘발성 메모리 장치와 불휘발성 메모리 장치로 구분될 수 있다. 휘발성 메모리 장치는 전원 공급이 중단되면 저장된 데이터를 잃어버릴 수 있다. 휘발성 메모리 장치에는 SRAM (Static Random Access Memory) 및 DRAM (Dynamic RAM) 등이 있다.

[0003] 불휘발성 메모리 장치는 전원 공급이 중단되더라도 저장된 데이터를 그대로 유지하는 특성을 갖는다. 이러한 특성으로 인하여, 불휘발성 메모리 장치는 휴대용 및/또는 전자 제품 등에 장착된 저장 매체 등으로 사용될 수 있다. 불휘발성 메모리 장치에는 플래쉬 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래쉬 메모리 장치는 스마트폰, 디지털 카메라, SSD (Solid State Drive) 등의 전자 제품의 기억 장치로 널리 사용되고 있다.

[0004] 반도체 메모리 장치의 집적도를 향상시키기 위하여 메모리 셀들이 3차원으로 적층되는 플래쉬 메모리 장치가 연구되고 있다. 3차원 플래쉬 메모리 장치들에서 워드라인들 간의 기생 저항 및 커패시터의 차이가 존재할 수 있다(occurred). 기생 저항 및 커패시터의 차이로 인하여, 플래쉬 메모리 장치의 프로그램 동작에서 선택된 메모리 셀의 프로그램 전압이 오버슈트(overshoot) 되거나 프로그램 전압 셋업 시간이 길어지는 문제점이 발생할 수 있다. 이러한 문제점은 플래쉬 메모리 장치의 프로그램 성능을 저하시킨다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명의 목적은 디스차아지 구간을 갖는 프로그램 전압을 이용하여 프로그램 성능을 향상시키는 불휘발성 메모리 장치의 프로그램 방법을 제공하는 것이다.

### 과제의 해결 수단

[0006] 본 발명에 따른 불휘발성 메모리 장치의 프로그램 방법은, 복수의 셀 스트링들을 포함하고 각 셀 스트링은 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치에 있어서, 복수의 메모리 셀들에 연결된 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압을 인가하고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압을 순차적으로 인가하는 단계와, 복수의 메모리 셀들에 연결된 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압을 인가한 후 프로그램 전압보다 낮은 디스차아지 전압을 인가하고, 제2 구간 동안 프로그램 전압을 인가하는 단계를 포함한다. 프로그램 전압과 선택된 워드라인과 비선택된 워드라인들 사이의 커패시턴스에 기초하여 디스차아지 전압이 결정될 수 있다. 선택된 워드라인으로 인가되는 디스차아지 전압을 인가하는 단계에서, 프로그램 전압의 레벨에 따라 디스차아지 전압이 인가되는 구간이 조정되고, 디스차아지 전압이 인가되는 시점이 조정되고, 디스차아지 전압의 레벨이 조정될 수 있다. 비선택된 워드라인들로 제2 구간 동안 제2 패스 전압을 인가하는 단계에서, 프로그램 전압의 레벨에 따라 제2 패스 전압의 레벨이 조정될 수 있다.

[0007] 본 발명에 따른 불휘발성 메모리 장치는, 복수의 셀 스트링들을 포함하고 각 셀 스트링은 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 워드라인들을 통해 복수의 셀 스트링들의 복수의 메모리 셀들과 연결되고 스트링 선택 라인을 통해 복수의 셀 스트링들의 스트링 선택 트랜지스터들과 연결되고 그라운드 선택 라인을 통해 복수의 셀 스트링들의 그라운드 선택 트랜지스터들과 연결되는 어드레스 디코더, 그리고 프로그램 동작에서, 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압이 인가되고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압이 인가되고 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압이 인가된 후 프로그램 전압보다 낮은 디스차아지 전압이 인가되고 제2 구간 동안 프로그램 전압이 인가되도록 제어하는 프로그램 컨트롤 로직부를 포함한다. 프로그램 컨트롤 로직부는 프로그램 전압의 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커패시턴스에 기초하여 디스차아지 전압 및/또는 제2 패스 전압을 조정할 수 있다.

### 발명의 효과

[0008] 본 발명에 따르면, 불휘발성 메모리 장치의 프로그램 동작시, 디스차아지 구간을 갖는 프로그램 전압이 선택 워드라인으로 인가되도록 하여, 비선택 워드라인의 패스 전압에 커패시턴더라도 프로그램 전압이 오버슈트되지 않도록 하고 타겟 프로그램 전압 레벨로 빠르게 셋업되도록 함으로써, 프로그램 성능을 향상시킬 수 있다.

### 도면의 간단한 설명

[0009] 도 1은 본 발명의 일 실시예에 따른 메모리 시스템을 개략적으로 나타내는 블록도이다.  
 도 2는 도 1에 포함된 불휘발성 메모리 장치를 상세하게 나타내는 블록도이다.  
 도 3은 도 2의 메모리 셀 어레이의 예시적인 구조들을 설명하는 도면이다.  
 도 4는 도 3의 메모리 셀 어레이의 일 예를 나타내는 회로도이다.  
 도 5는 도 4의 메모리 셀 어레이를 나타내는 사시도이다.  
 도 6은 프로그램 동작시 도 3의 메모리 셀 어레이에 인가되는 전압 조건들을 보여주는 테이블이다.  
 도 7은 도 6의 전압 조건들에 따른 메모리 셀 어레이의 전압 변화들을 보여주는 타이밍도이다.  
 도 8a 내지 도 8c는 메모리 셀에 저장되는 데이터 비트들의 수에 따른 문턱 전압 분포들을 개략적으로 설명하는 도면들이다.  
 도 9는 메모리 셀들을 멀티-레벨 데이터로 프로그램하기 위한 일련의 프로그램 펄스들을 보여주는 도면이다.  
 도 10a 및 도 10b는 워드라인들 간의 기생 저항 및 커패시터의 차이에 따른 프로그램 전압들을 보여주는 도면들이다.  
 도 11은 도 10a 및 도 10b의 프로그램 전압들의 유형이 나타나는 플래쉬 메모리 장치의 웨이퍼 사이트들을 보여주는 도면이다.  
 도 12 내지 도 19는 본 발명의 예시적인 실시예들에 따른 불휘발성 메모리 장치의 프로그램 방법들을 설명하는

도면들이다.

도 20은 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 동작 방법을 설명하는 도면이다.

도 21은 본 발명의 실시예들에 따른 불휘발성 메모리 장치가 메모리 카드 시스템에 적용된 예를 나타내는 블록도이다.

도 22는 본 발명의 실시예들에 따른 불휘발성 메모리 장치가 SSD 시스템에 적용된 예를 나타내는 블록도이다.

도 23은 본 발명의 실시예들에 따른 불휘발성 메모리 장치를 포함하는 eMMC 시스템을 설명하는 블록 다이어그램이다.

도 24는 본 발명의 실시예들에 따른 불휘발성 메모리 장치를 포함하는 UFS 시스템을 설명하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하거나 축소하여 도시한 것이다.
- [0011] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0012] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0013] 도 1은 본 발명의 일 실시예에 따른 메모리 시스템을 개략적으로 나타내는 블록도이다.
- [0014] 도 1을 참조하면, 메모리 시스템(10)은 불휘발성 메모리 장치(100)와 불휘발성 메모리 장치(100)를 제어하는 메모리 컨트롤러(200)를 포함할 수 있다. 불휘발성 메모리 장치(100)는 플래시 메모리 장치, 예를 들면 낸드 플래시 메모리 장치일 수 있다. 하지만, 본 발명이 낸드 플래시 메모리 장치에 국한되지 않음은 잘 이해될 것이다.
- [0015] 불휘발성 메모리 장치(100)는 행들 (워드라인들) 및 열들 (비트라인들)로 배열된 메모리 셀들을 갖는 메모리 셀 어레이(110)를 포함할 수 있다. 각 메모리 셀은 1-비트 (싱글 비트) 데이터 또는 M-비트 (멀티-비트) 데이터 (M은 2 또는 그 보다 큰 수)를 저장할 수 있다. 각 메모리 셀은 플로팅 게이트 또는 전하 트랩층과 같은 전하 저장층을 갖는 메모리 셀, 또는 가변 저항 소자를 갖는 메모리 셀 등으로 구현될 수 있다.
- [0016] 메모리 셀 어레이(110)는 단층 어레이 구조(single-layer array structure, 또는 2차원 어레이 구조) 또는 다층 어레이 구조(multi-layer array structure, 또는 3 차원 (3D) 어레이 구조)를 갖도록 구현될 수 있다. 3D 메모리 어레이는 실리콘 기판 위에 배치되는 활성 영역과, 메모리 셀들의 동작과 관련된 회로로서 상기 기판 상에 또는 상기 기판 내에 형성된 회로를 가지는 메모리 셀 어레이들의 적어도 하나의 물리적 레벨에 모놀리식으로 형성된다. 상기 용어 "모놀리식"은 상기 어레이를 구성하는 각 레벨의 층들이 상기 어레이 중 각 하부 레벨의 층들의 바로 위에 적층되어 있음을 의미한다.
- [0017] 본 발명의 기술적 사상에 의한 일 실시예에서, 상기 3D 메모리 어레이는 적어도 하나의 메모리 셀이 다른 메모리 셀의 위에 위치하도록 수직 방향으로 배치된 낸드 스트링들을 포함한다. 상기 적어도 하나의 메모리 셀은 전하 트랩층을 포함할 수 있다. 미국 특허공개공보 제7,679,133호, 동 제8,553,466호, 동 제8,654,587호, 동 제8,559,235호, 및 미국 특허출원공개공보 제2011/0233648호는 3D 메모리 어레이가 복수 레벨로 구성되고 워드



라인들 및/또는 비트 라인들이 레벨들 간에 공유되어 있는 3D 메모리 어레이에 대한 적절한 구성들을 상술하는 것들로서, 본 명세서에 인용 형식으로 결합된다. 또한, 미국 특허출원공개공보 제2014-0334232호 및 미국특허 공개공보 제8,488,381호는 본 명세서에 인용 형식으로 결합된다.

- [0018] 메모리 컨트롤러(200)는 다양한 인터페이스들을 통하여 호스트와 통신할 수 있다. 메모리 컨트롤러(200)는, 예컨대 USB(Universal Serial Bus), MMC(MultiMediaCard), PCI-E(PCIExpress), ATA(Advanced Technology Attachment), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SAS(Serial Attached Small Computer System), SCSI(Small Computer System Interface), eMMC(embedded Multi Media Card), ESDI(Enhanced Small Disk Interface) 등과 같은 다양한 인터페이스들 중 하나를 통해 호스트와 통신할 수 있다.
- [0019] 메모리 컨트롤러(200)는 호스트로부터의 독출/쓰기 요청에 응답하여 불휘발성 메모리 장치(100)에 저장된 데이터(DATA)를 독출하도록 또는 불휘발성 메모리 장치(100)에 데이터를(DATA)를 기입하도록 불휘발성 메모리 장치(100)를 제어할 수 있다. 메모리 컨트롤러(200)는 불휘발성 메모리 장치(100)에 커맨드(CMD), 어드레스(ADDR) 및 제어 신호(CTRL)를 제공하고, 불휘발성 메모리 장치(100)에 대한 프로그램, 독출 및 소거 동작을 제어할 수 있다.
- [0020] 불휘발성 메모리 장치(100)는 메모리 컨트롤러(200)로부터 수신받은 어드레스(ADDR), 커맨드(CMD) 및 제어신호(CTRL)에 응답하여 프로그램, 소거 및 독출 동작 등을 수행할 수 있다.
- [0021] 프로그램 컨트롤 로직부(140)는 본 발명의 실시예들에 따른 프로그램 방법들에 따라 불휘발성 메모리 장치(100)의 전반적인 동작을 제어한다. 예를 들어, 프로그램 컨트롤 로직부(140)는 복수의 메모리 셀들에 연결된 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압을 인가하고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압을 순차적으로 인가할 수 있다. 프로그램 컨트롤 로직부(140)는 복수의 메모리 셀들에 연결된 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압을 인가한 후 프로그램 전압보다 낮은 디스차아지 전압을 인가하고, 제2 구간 동안 프로그램 전압을 인가할 수 있다.
- [0022] 프로그램 컨트롤 로직부(140)는 프로그램 전압과 선택된 워드라인과 비선택된 워드라인들 사이의 커플링율에 기초하여 디스차아지 전압과 제2 패스 전압을 조정할 수 있다. 프로그램 컨트롤 로직부(140)는 선택된 워드라인으로 인가되는 디스차아지 전압을 인가하는 단계에서, 프로그램 전압의 레벨에 따라 디스차아지 전압이 인가되는 구간을 조정하고, 디스차아지 전압이 인가되는 시점을 조정하고, 디스차아지 전압의 레벨을 조정할 수 있다.
- [0023] 불휘발성 메모리 장치(100)는 프로그램 동작에서, 디스차아지 구간을 갖는 프로그램 전압이 선택 워드라인으로 인가되도록 하여, 프로그램 전압이 비선택 워드라인의 패스 전압에 의해 커플링되더라도 프로그램 전압이 오버슈트되지 않도록 하거나 타겟 프로그램 전압 레벨로 빠르게 셋업되도록 할 수 있다.
- [0024] 도 2는 도 1에 포함된 불휘발성 메모리 장치를 상세하게 나타내는 블록도이다.
- [0025] 도 2를 참조하면, 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 데이터 입출력 회로(130), 프로그램 컨트롤 로직부(140), 그리고 전압 생성부(150)를 포함할 수 있다.
- [0026] 메모리 셀 어레이(110)는 워드 라인들(WL), 스트링 선택 라인들(SSL), 그라운드 선택 라인들(GSL) 및 비트 라인들(BL)에 연결될 수 있다. 메모리 셀 어레이(110)는 워드 라인들(WL), 스트링 선택 라인들(SSL) 및 그라운드 선택 라인들(GSL)을 통해 어드레스 디코더(120)에 연결되고, 비트 라인들(BL)을 통해 데이터 입출력 회로(130)에 연결될 수 있다. 메모리 셀 어레이(110)는 복수의 블록들(BLK0 내지 BLKz)을 포함할 수 있다.
- [0027] 각 메모리 블록(BLK0~BLKz)은 복수의 메모리 셀들 및 복수의 선택 트랜지스터들을 포함할 수 있다. 메모리 셀들은 워드라인들(WL)에 연결되고, 선택 트랜지스터들은 스트링 선택 라인들(SSL) 또는 그라운드 선택 라인들(GSL)에 연결될 수 있다. 각 메모리 블록(BLK0~BLKz)의 메모리 셀들은 기판과 수직인 방향으로 적층되어 3차원 구조를 형성할 수 있다. 각 메모리 블록(BLK0~BLKz)의 메모리 셀들은 1-비트 데이터를 저장하는 싱글 레벨 셀들 또는 멀티-비트 데이터를 저장하는 멀티 레벨 셀들로 구성될 수 있다.
- [0028] 어드레스 디코더(120)는 메모리 셀 어레이(110)의 행들에 대한 선택 및 구동 동작들을 수행하도록 구성된다. 어드레스 디코더(120)는 전압 발생부(150)로부터 제공되는 각종 워드라인 전압을 워드라인들로 전달한다. 프로그램 동작시, 어드레스 디코더(120)는 선택 워드라인으로는 프로그램 전압과 검증 전압을 전달하고, 비선택 워드라인으로는 패스 전압을 전달한다. 패스 전압은 고전압일 수 있다. 고전압은 전원 전압이 펌핑되어 발생되는, 전원 전압 보다 높은 레벨을 갖는 전압일 수 있다. 프로그램 전압은 패스 전압 보다 높은 레벨을 갖는 고

전압일 수 있다.

- [0029] 어드레스 디코더(120)는 독출 동작시 전압 발생부(150)로부터 제공되는 선택 읽기 전압을 선택 워드라인으로 전달하고, 비선택 읽기 전압을 비선택 워드라인으로 전달한다.
- [0030] 데이터 입출력 회로(130)는 비트라인들(BL)을 통하여 메모리 셀 어레이(110)에 연결된다. 데이터 입출력 회로(130)는 외부로부터 데이터를 전달받고, 전달 받은 데이터(DATA)를 메모리 셀 어레이(110)에 저장한다. 또한, 데이터 입출력 회로(130)는 메모리 셀 어레이(110)에 저장된 데이터(DATA)를 읽고, 읽은 데이터를 외부에 전달한다. 예시적으로, 데이터 입출력 회로(130)는 열 선택 게이트, 페이지 버퍼, 데이터 버퍼 등과 같은 구성 요소들을 포함할 수 있다. 다른 예로써, 데이터 입출력 회로(130)는 열 선택 게이트, 쓰기 드라이버, 감지 증폭기, 데이터 버퍼 등과 같은 구성 요소들을 포함할 수 있다.
- [0031] 프로그램 컨트롤 로직부(140)는 본 발명의 실시예들에 따른 프로그램 방법을 이용하는 프로그램 동작 절차에서, 불휘발성 메모리 장치(100)의 전반적인 동작을 제어한다. 프로그램 컨트롤 로직부(140)는 프로그램 동작에서, 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압이 인가되고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압이 인가되고, 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압이 인가된 후 프로그램 전압보다 낮은 디스차아지 전압이 인가되고 제2 구간 동안 프로그램 전압이 인가되도록 제어한다.
- [0032] 프로그램 컨트롤 로직부(140)는 선택된 워드라인의 프로그램 전압 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커플링율에 기초하여 선택된 워드라인으로 인가되는 디스차아지 전압을 조정할 수 있다. 프로그램 컨트롤 로직부(140)는 프로그램 전압의 레벨이 증가할 때 디스차아지 전압이 인가되는 구간이 길어지도록, 디스차아지 전압이 인가되는 시점이 빨라지도록, 및/또는 디스차아지 전압의 레벨이 높아지도록 조정할 수 있다.
- [0033] 프로그램 컨트롤 로직부(140)는 선택된 워드라인의 프로그램 전압 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커플링율에 기초하여 비선택된 워드라인으로 인가되는 제2 패스 전압을 조정할 수 있다. 프로그램 컨트롤 로직부(140)는 프로그램 전압의 레벨이 증가할 때 제2 패스 전압의 레벨이 높아지도록 제어할 수 있다.
- [0034] 전압 생성부(150)는 불휘발성 메모리 장치(100)에서 요구되는 다양한 전압들을 생성하도록 구성된다. 전압 생성부(150)는 프로그램 컨트롤 로직부(140)에서 요구하는 다양한 전압들을 생성하여 어드레스 디코더(120)로 제공할 수 있다.
- [0035] 전압 생성부(150)는 불휘발성 메모리 장치(100)의 프로그램 동작에서 그라운드 선택 라인(GSL)에 접지 전압(VSS)이 공급되고, 선택된 스트링 선택 라인(SSL)에 전원 전압(VCC)이 인가되고, 비선택된 스트링 선택 라인(SSL)에 접지 전압(VSS)이 인가되고, 선택 워드라인(Selected WL)에 프로그램 전압(VPGM)이 인가되고, 비선택 워드라인들(Unselected WL)에 제1 및 제2 패스 전압(Vpass1, Vpass2)이 인가되고, 선택된 비트라인(Selected BL)에 접지 전압(VSS)이 공급되고, 비선택된 비트라인(Unselected BL)에 전원 전압(VCC)이 공급되도록 어드레스 디코더(120)와 연결된다.
- [0036] 도 3은 도 2의 메모리 셀 어레이의 예시적인 구조들을 설명하는 도면이다.
- [0037] 도 3을 참조하면, 메모리 셀 어레이(110)가 복수개(예컨대, 1024개)의 메모리 블록들(BLK0~BLK1023)로 나뉘는 낸드 플래시 메모리 장치를 보여준다. 각 메모리 블록들(BLK0~BLK1023)에 저장된 데이터는 동시에 소거될 수 있다. 메모리 블록은 동시에 소거되는 메모리 셀들의 최소 단위이다.
- [0038] 각 메모리 블록들(BLK0~BLK1023)에는 비트라인들(BL)에 각각 대응하는 복수의 열들이 있다. 올 비트라인(all bit line: ABL) 구조라 불리는 일 실시예에 있어서, 모든 비트라인들(BL0~BL(m-1))은 읽기 및 프로그램 동작을 동시에 선택할 수 있다. 공통 워드라인에 속하며 모든 비트라인들(BL0~BL(m-1))에 연결된 메모리 셀들은 동시에 프로그램될 수 있다.
- [0039] 예시적인 실시예에 있어서, 동일한 열에 속하는 복수의 메모리 셀들(MC0~MC(m-1))은 낸드 스트링(111)을 구성하도록 직렬로 연결된다. 낸드 스트링(111)의 일 단자는 스트링 선택 라인(SSL)에 의해서 제어되는 선택 트랜지스터(SST)를 통해 대응하는 비트라인에(BL0) 연결되고, 다른 단자는 그라운드 선택 라인(GSL)에 의해서 제어되는 선택 트랜지스터(GST)를 통해 공통 소스 라인(CSL)에 연결된다.
- [0040] 오드-이븐 구조(odd-even architecture)라 불리는 다른 예시적인 실시예에 있어서, 비트라인들은 이븐 비트라인들(BLe)과 오드 비트라인들(BLo)로 구분된다. 오드-이븐 비트라인 구조에 있어서, 공통 워드라인에 속하고 오드 비트라인들(BLo)과 연결된 메모리 셀들이 제1 시간에 프로그램되는 반면에, 공통 워드라인에 속하고 이븐 비



트라인들(BL<sub>e</sub>)과 연결되는 메모리 셀들은 제2 시간에 프로그램될 수 있다.

- [0041] 도 4는 도 3의 메모리 셀 어레이의 일 예를 나타내는 회로도이다.
- [0042] 도 4를 참조하면, 메모리 셀 어레이(110a)는 도 3에서 설명된 메모리 블록들(BLK0~BLK1023) 중에서 하나의 메모리 블록(BLK<sub>i</sub>)의 일부분에 대하여 설명된다. 메모리 셀 어레이(110a)는 복수의 메모리 블록들을 포함할 수 있고, 각 메모리 블록은 복수의 낸드 스트링들(NS11 내지 NS33), 복수의 워드 라인들(WL1 내지 WL8), 복수의 비트 라인들(BL1 내지 BL3), 복수의 그라운드 선택 라인들(GSL1 내지 GSL3), 복수의 스트링 선택 라인들(SSL1 내지 SSL3) 및 공통 소스 라인(CSL)을 포함할 수 있다. 여기서, 낸드 스트링들의 개수, 워드 라인들의 개수, 비트 라인들의 개수, 그라운드 선택 라인의 개수 및 스트링 선택 라인들의 개수는 실시예에 따라 다양하게 변경될 수 있다.
- [0043] 제1 비트 라인(BL1)과 공통 소스 라인(CSL) 사이에 낸드 스트링들(NS11, NS21, NS31)이 제공되고, 제2 비트 라인(BL2)과 공통 소스 라인(CSL) 사이에 낸드 스트링들(NS12, NS22, NS32)이 제공되고 제3 비트 라인(BL3)과 공통 소스 라인(CSL) 사이에 낸드 스트링들(NS13, NS23, NS33)이 제공된다. 각 낸드 스트링(예를 들면, NS11)은 직렬로 연결된 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1 내지 MC8) 및 그라운드 선택 트랜지스터(GST)를 포함할 수 있다. 이하에서는, 편의상 낸드 스트링을 스트링이라고 지칭하기로 한다.
- [0044] 하나의 비트 라인에 공통으로 연결된 스트링들은 하나의 칼럼을 구성한다. 예를 들어, 제1 비트 라인(BL1)에 공통으로 연결된 스트링들(NS11, NS21, NS31)은 제1 칼럼에 대응되고, 제2 비트 라인(BL2)에 공통으로 연결된 스트링들(NS12, NS22, NS32)은 제2 칼럼에 대응되며, 제3 비트 라인(BL3)에 공통으로 연결된 스트링들(NS13, NS23, NS33)은 제3 칼럼에 대응될 수 있다.
- [0045] 하나의 스트링 선택 라인에 연결되는 스트링들은 하나의 로우를 구성한다. 예를 들어, 제1 스트링 선택 라인(SSL1)에 연결된 스트링들(NS11, NS12, NS13)은 제1 로우에 대응되고, 제2 스트링 선택 라인(SSL2)에 연결된 스트링들(NS21, NS22, NS23)은 제2 로우에 대응되며, 제3 스트링 선택 라인(SSL3)에 연결된 스트링들(NS31, NS32, NS33)은 제3 로우에 대응될 수 있다.
- [0046] 스트링 선택 트랜지스터(SST)는 대응하는 스트링 선택 라인(SSL1 내지 SSL3)에 연결된다. 복수의 메모리 셀들(MC1 내지 MC8)은 각각 대응하는 워드 라인(WL1 내지 WL8)에 연결된다. 그라운드 선택 트랜지스터(GST)는 대응하는 그라운드 선택 라인(GSL1 내지 GSL3)에 연결된다. 스트링 선택 트랜지스터(SST)는 대응하는 비트 라인(BL1 내지 BL3)에 연결되고, 그라운드 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 연결된다.
- [0047] 본 실시예에서, 동일 높이의 워드 라인(예를 들면, WL1)은 서로 공통으로 연결되어 있고, 스트링 선택 라인들(SSL1 내지 SSL3)은 서로 분리되어 있고, 그라운드 선택 라인들(GSL1 내지 GSL3)도 서로 분리되어 있다. 예를 들어, 제1 워드 라인(WL1)에 연결되어 있고 스트링(NS11, NS12, NS13)에 속해 있는 메모리 셀들을 프로그램하는 경우에는, 제1 워드 라인(WL1)과 제1 스트링 선택 라인(SSL1)이 선택된다. 그러나, 본 발명은 이에 한정되지 않고, 다른 실시예에서, 그라운드 선택 라인들(GSL1 내지 GSL3)은 서로 공통으로 연결될 수도 있다.
- [0048] 도 5는 도 4의 메모리 셀 어레이를 나타내는 사시도이다.
- [0049] 도 5를 참조하면, 메모리 셀 어레이(110a)는 기판(SUB)에 대해 수직 방향으로 형성되어 있다. 도 5에서는, 메모리 블록이 2개의 선택 라인들(GSL, SSL), 8개의 워드 라인들(WL1 내지 WL8), 그리고 3개의 비트 라인들(BL1 내지 BL3)을 포함하는 것으로 도시되어 있으나, 실제로는 이것들보다 더 많거나 적을 수 있다.
- [0050] 기판(SUB)은 제1 도전형(예를 들어, p 타입)을 가지며, 기판(SUB) 상에 제1 방향(예를 들어, Y 방향)을 따라 신장되고, 제2 도전형(예를 들어, n 타입)의 불순물들이 도핑된 공통 소스 라인(CSL)이 제공된다. 인접한 두 공통 소스 라인(CSL) 사이의 기판(SUB)의 영역 상에, 제1 방향을 따라 신장되는 복수의 절연막들(IL)이 제3 방향(예를 들어, Z 방향)을 따라 순차적으로 제공되며, 복수의 절연막들(IL)은 제3 방향을 따라 특정 거리만큼 이격된다. 예를 들어, 복수의 절연막들(IL)은 실리콘 산화물과 같은 절연 물질을 포함할 수 있다.
- [0051] 인접한 두 공통 소스 라인들(CSL) 사이의 기판(SUB)의 영역 상에, 제1 방향을 따라 순차적으로 배치되며, 제3 방향을 따라 복수의 절연막들(IL)을 관통하는 복수의 필라들(pillars)(P)이 제공된다. 예를 들어, 복수의 필라들(P)은 복수의 절연막들(IL)을 관통하여 기판(SUB)과 접촉할 것이다. 구체적으로, 각 필라(P)의 표면층(surface layer)(S)은 제1 타입을 갖는 실리콘 물질을 포함할 수 있고, 채널 영역으로 기능할 수 있다. 한편, 각 필라(P)의 내부층(I)은 실리콘 산화물과 같은 절연 물질 또는 에어 갭(air gap)을 포함할 수 있다.
- [0052] 인접한 두 공통 소스 라인들(CSL) 사이의 영역에서, 절연막들(IL), 필라들(P) 및 기판(SUB)의 노출된 표면을 따

라 전하 저장층(charge storage layer, CS)이 제공된다. 전하 저장층(CS)은 게이트 절연층(또는 '터널링 절연층'이라고 지칭함), 전하 트랩층 및 블로킹 절연층을 포함할 수 있다. 예를 들어, 전하 저장층(CS)은 ONO(oxide-nitride-oxide) 구조를 가질 수 있다. 또한, 인접한 두 공통 소스 라인들(CSL) 사이의 영역에서, 전하 저장층(CS)의 노출된 표면 상에, 선택 라인들(GSL, SSL) 및 워드 라인들(WL1 내지 WL8)과 같은 게이트 전극(GE)이 제공된다.

- [0053] 복수의 필라들(P) 상에는 드레인들 또는 드레인 컨택들(DR)이 각각 제공된다. 예를 들어, 드레인들 또는 드레인 컨택들(DR)은 제2 도전형을 갖는 불순물들이 도핑된 실리콘 물질을 포함할 수 있다. 드레인들(DR) 상에, 제2 방향(예를 들어, X 방향)으로 신장되고 제1 방향을 따라 특정 거리만큼 이격되어 배치된 비트 라인들(BL1 내지 BL3)이 제공된다.
- [0054] 도 6은 프로그램 동작시 도 3의 메모리 셀 어레이(110)에 인가되는 전압 조건들을 보여주는 테이블이다. 도 7은 도 6의 전압 조건들에 따른 메모리 셀 어레이(110)의 전압 변화들을 보여주는 타이밍도이다.
- [0055] 도 3, 도 6 및 도 7을 참조하면, 제1 시간(T1)에, 그라운드 선택 라인(GSL)에 접지 전압(VSS)이 공급되고, 그라운드 선택 트랜지스터(GST)는 턴오프된다. 선택된 스트링 선택 라인(Selected SSL)에 전원 전압(VCC)이 인가되고, 스트링 선택 트랜지스터(SST)가 턴온된다. 비선택된 스트링 선택 라인(Unselected SSL)에 접지 전압(VSS)이 인가된다. 선택된 비트라인(Selected BL)에 접지 전압(VSS)이 공급되고, 비선택된 비트라인(Unselected BL)에 전원 전압(VCC)이 공급된다. 워드라인들 중 선택된 워드라인(Selected WL)에 프로그램 전압(VPGM)이 인가되고, 비선택된 워드라인(Unselected WL)에는 제1 패스 전압(Vpass1)이 인가된다.
- [0056] 제2 시간(T2)에서, 워드라인들 중 비선택된 워드라인(Unselected WL)에 제1 패스 전압(Vpass1) 보다 높은 제2 패스 전압(Vpass2)이 인가된다. 이 때, 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)은 워드라인들 간의 기생 저항 및 커패시터에 의하여 제2 패스 전압(Vpass2)에 커플링될 수 있다. 이에 따라, 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 상승하여, 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 타겟 프로그램 전압 레벨로 도달하는 시간이 단축될 수 있다.
- [0057] 도 8a 내지 도 8c는 메모리 셀에 저장되는 데이터 비트들의 수에 따른 문턱 전압 분포들을 개략적으로 설명하는 도면들이다.
- [0058] 하나의 메모리 셀에 1-비트 데이터 (또는 2-레벨 데이터/1-페이지 데이터)가 저장되는 경우, 도 8a와 같이, 메모리 셀들 각각은 소거 상태(E)를 갖는 메모리 셀의 문턱 전압 산포(20)와 제 1 프로그램 상태(21)를 갖는 메모리 셀의 문턱 전압 산포를 가질 수 있다. 문턱 전압 분포(20)는 소거된 메모리 셀들의 문턱 전압들을 포함하고, 나머지 문턱 전압 분포(21)는 프로그램된 메모리 셀들의 문턱 전압들을 포함할 것이다. 전압(VP1)은 메모리 셀들이 문턱 전압 분포(21)로 각각 프로그램되었는지 여부를 판별하기 위한 검증 전압을 나타낸다. 도 6 및 도 7의 프로그램 동작 수행 후, 선택된 워드라인의 메모리 셀들의 문턱 전압들은 도 8a와 도시된 바와 같이 분포될 것이다.
- [0059] 하나의 메모리 셀에 2-비트 데이터 (또는 4-레벨 데이터/2-페이지 데이터)가 저장되는 경우, 도 8b와 같이, 메모리 셀들 각각은 4개의 문턱 전압 분포들(40, 41, 42, 43) 중 어느 하나에 속하는 문턱 전압을 가질 수 있다. 문턱 전압 분포(40)는 소거된 메모리 셀들의 문턱 전압들을 포함하고, 나머지 문턱 전압 분포들(41~43)은 프로그램된 메모리 셀들의 문턱 전압들을 포함할 것이다. 전압들(VP1~VP3)은 메모리 셀들이 문턱 전압 분포들(41~43)로 각각 프로그램되었는지 여부를 판별하기 위한 검증 전압들을 나타낸다. 4-레벨 데이터 (또는, 2-페이지 데이터)가 선택된 워드라인의 메모리 셀들에 프로그램된 후, 선택된 워드라인의 메모리 셀들의 문턱 전압들은 도 8b와 도시된 바와 같이 분포될 것이다.
- [0060] 하나의 메모리 셀에 3-비트 데이터 (또는 8-레벨 데이터/3-페이지 데이터)가 저장되는 경우, 도 8c와 같이, 메모리 셀들 각각은 8개의 문턱 전압 분포들(80~87) 중 어느 하나에 속하는 문턱 전압을 가질 수 있다. 문턱 전압 분포(80)는 소거된 메모리 셀들의 문턱 전압들을 포함하고, 나머지 문턱 전압 분포들(81~87)은 프로그램된 메모리 셀들의 문턱 전압들을 포함할 것이다. 전압들(VP1~VP7)은 메모리 셀들이 문턱 전압 분포들(81~87)로 각각 프로그램되었는지 여부를 판별하기 위한 검증 전압들을 나타낸다. 8-레벨 데이터 (또는, 3-페이지 데이터)가 선택된 워드라인의 메모리 셀들에 프로그램된 후, 선택된 워드라인의 메모리 셀들의 문턱 전압들은 도 8c와 도시된 바와 같이 분포될 것이다.
- [0061] 도 9는 선택 워드라인의 메모리 셀들을 멀티-레벨 데이터로 프로그램하기 위한 일련의 프로그램 펄스들을 보여주는 도면이다.

- [0062] 도 9를 참조하면, 일반적인 프로그램 방식에 있어서, 프로그램 전압(VPGM)은 일련의 펄스들로 메모리 셀의 제어 게이트에 인가된다. 펄스들의 크기는 소정의 스텝 크기만큼 각 연속 펄스(each successive pulse)와 함께 증가된다. 프로그램 펄스들 사이의 루프들에서, 검증 동작들 (또는 검증 읽기 동작들)이 수행된다. 동시에 프로그램되는 메모리 셀들 (선택 워드라인에 속한 메모리 셀들) 각각의 프로그래밍 레벨 (또는 문턱 전압)이 검증 레벨 (또는 검증 전압)보다 큰지 또는 동일한 지 여부를 결정하기 위하여 연속 프로그램 펄스들 사이에서 읽혀진다.
- [0063] 멀티-레벨 메모리 셀은 자신의 데이터와 관련된 검증 레벨 (its data associated verify level)에 도달했는 지의 여부를 결정하기 위해서, 메모리 셀의 각 상태에 대하여 검증 동작이 수행될 것이다. 도 8b에 도시된 바와 같이, 데이터를 4개의 상태들/레벨들로 저장할 수 있는 멀티-레벨 메모리 셀 (예를 들면, 4-레벨 MLC)은 3개의 검증 전압들(VP1, VP2, VP3)과 관련하여 검증 동작들을 필요로 한다. 마찬가지로, 도 8c에 도시된 바와 같이 데이터를 8개의 상태들/레벨들로 저장할 수 있는 멀티-레벨 메모리 셀 (예를 들면, 8-레벨 MLC)은 7개의 검증 전압들(VP1~VP7)과 관련하여 검증 동작들이 수행되어야 한다.
- [0064] 4-레벨 MLC 또는 8-레벨 MLC의 프로그램 동작에서, 프로그램 펄스들 중 하나의 루프 내 프로그램 펄스는 도 7에서 설명된 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)에 상응한다. 도 7의 A 부분에서, 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)은 비선택 워드라인들(Unselected WL)에 인가되는 제1 및 제2 패스 전압들(Vpass1, Vpass2)에 커플링되어 타겟 프로그램 전압 레벨로 빠르게 도달할 수 있다.
- [0065] 비선택 워드라인들(Unselected WL)의 제1 및 제2 패스 전압들(Vpass1, Vpass2)에 커플링되는 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)은 워드라인들 사이의 기생 저항 및 커패시터에 의해 영향을 받는다. 기생 저항 및 커패시터의 크기에 따라 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 오버슈트(overshoot)되거나 프로그램 전압 셋업 시간이 길어지는 문제점이 발생할 수 있다.
- [0066] 도 10a 및 도 10b는 워드라인들 간의 기생 저항 및 커패시터의 차이에 의한 선택 워드라인의 프로그램 전압들을 보여주는 도면들이다. 도 10a 및 도 10b는 도 7의 A 부분을 확대하여 설명한다.
- [0067] 워드라인들 간의 기생 저항 및 커패시터가 작은 경우, 도 10a에 도시된 바와 같이, 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 비선택 워드라인(Unselected WL)의 제1 및 제2 패스 전압들(Vpass1, Vpass2)에 의해 오버슈트(overshoot)된 프로그램 전압 파형(1000a)을 볼 수 있다.
- [0068] 워드라인들 간의 기생 저항 및 커패시터가 큰 경우, 도 10b에 도시된 바와 같이, 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)은 비선택 워드라인(Unselected WL)의 제1 및 제2 패스 전압들(Vpass1, Vpass2)에 의해 약하게 커플링되어 프로그램 전압 셋업 시간이 길어지는 프로그램 전압 파형(1000b)을 볼 수 있다.
- [0069] 기생 저항 및 커패시터의 크기에 따라 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 오버슈트(overshoot)되거나 프로그램 전압 셋업 시간이 길어지는 현상은 플래쉬 메모리 장치마다 다를 수 있다. 예를 들어, 도 11에 도시된 바와 같이, 플래쉬 메모리 장치가 제조 공정되는 웨이퍼(1100)의 위치(site)에 따라 다를 수 있다.
- [0070] 제1 위치(1110)의 플래쉬 메모리 장치를 테스트해보면, 비선택 워드라인(Unselected WL)의 제1 및 제2 패스 전압들(Vpass1, Vpass2)에 의해 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 오버슈트(overshoot)될 수 있고, 제2 위치(1120)의 플래쉬 메모리 장치는 선택 워드라인(Selected WL)의 프로그램 전압 셋업 시간이 길어질 수 있다. 이와는 반대로, 제1 위치(1110)의 플래쉬 메모리 장치의 선택 워드라인(Selected WL)의 프로그램 전압 셋업 시간이 길어지거나, 제2 위치(1120)의 플래쉬 메모리 장치의 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 오버슈트(overshoot)될 수 있다.
- [0071] 선택 워드라인(Selected WL)의 프로그램 전압(VPGM)이 오버슈트(overshoot)되거나 프로그램 전압 셋업 시간이 길어지는 문제점을 해결하기 위해, 디스차이지 구간을 갖는 프로그램 전압(VPGM)을 이용하여 기생 저항 및 커패시터의 차이를 개선하여 프로그램 성능을 향상시키는 방법이 이하 상세히 설명될 것이다.
- [0072] 도 12 내지 도 19는 본 발명의 예시적인 실시예들에 따른 불휘발성 메모리 장치의 프로그램 방법들을 설명하는 도면들이다.
- [0073] 설명에 앞서, 프로그램 동작은 크게 프로그램 실행 구간과 검증 구간을 포함할 것이다. 프로그램 실행 구간은 선택 워드라인(Selected WL)의 메모리 셀들의 문턱 전압을 변화시키기 위한 것이고, 검증 구간은 프로그램 실행 구간 동안 변화된 메모리 셀들의 문턱 전압들이 대응하는 목표 전압들 (또는 검증 전압들)에 각각 도달하였는지

의 여부를 판별하기 위한 것이다. 프로그램 실행 구간 동안, 도 7에서 설명된 바와 같이, 그라운드 선택 라인(GSL)에 접지 전압(VSS)이 공급되고, 선택된 스트링 선택 라인(Selected SSL)에 전원 전압(VCC)이 인가되고, 비선택된 스트링 선택 라인(Unselected SSL)에 접지 전압(VSS)이 인가되고, 선택된 비트라인(Selected BL)에 접지 전압(VSS)이 공급되고, 비선택된 비트라인(Unselected BL)에 전원 전압(VCC)이 공급될 것이다. 그리고, 선택 워드라인(Selected WL)과 비선택 워드라인(Unselected WL)으로는 도 12 내지 도 19에 도시된 바와 같은 프로그램 전압(VPGM)과 제1 및 제2 패스 전압(Vpass1, Vpass2)이 인가될 것이다.

- [0074] 도 12를 참조하면, 프로그램 동작에서, 선택 워드라인(Selected WL)으로 제1 디스차이지 구간(tDSC1)을 갖는 제1 프로그램 전압(VPGM1)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제2 패스 전압(Vpass1, Vpass2)이 순차적으로 인가된다.
- [0075] 선택 워드라인(Selected WL)은, 제1 구간( $\Phi 1$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되고, 제2 구간( $\Phi 2$ ) 동안 디스차이지 전압(VDSC)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되도록 설정된다. 디스차이지 전압(VDSC)은 제1 프로그램 전압(VPGM1)보다 낮은 전압 레벨을 갖고, 디스차이지 전압(VDSC)이 인가되는 제2 구간( $\Phi 2$ )은 제1 디스차이지 구간(tDSC1)이라 칭할 수 있다.
- [0076] 비선택 워드라인(Unselected WL)은 제1 및 제2 구간( $\Phi 1$ ,  $\Phi 2$ ) 동안 제1 패스 전압(Vpass1)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제2 패스 전압(Vpass2)이 인가되도록 설정된다. 제2 패스 전압(Vpass2)은 제1 패스 전압(Vpass1)보다 높은 전압 레벨을 갖는다.
- [0077] 선택 워드라인(Selected WL)으로 인가된 제1 프로그램 전압(VPGM1)은, 비선택 워드라인(Unselected WL)의 제1 및 제2 패스 전압(Vpass1, Vpass2)에 의해 커플링되어 파형(1200)과 같이 나타날 것이다. 그리고, 제1 프로그램 전압 파형(1200)은 선택 워드라인(Selected WL) 자체의 저항 및 커패시터 그리고 워드라인들 간의 기생 저항 및 커패시터에 의해서도 영향을 받을 것이다.
- [0078] 만약 선택 워드라인(Selected WL)으로 인가된 제1 프로그램 전압(VPGM1)에 제1 디스차이지 구간(tDSC1)이 존재하지 않는다면, 제1 프로그램 전압(VPGM1)은 도 10a에 도시된 바와 같이 오버슈트될 것이라 예측할 수 있다. 제1 프로그램 전압(VPGM1)의 제1 디스차이지 구간(tDSC1)은 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 오버슈트되지 않도록 할 수 있다.
- [0079] 도 13을 참조하면, 프로그램 동작에서, 프로그램 펄스들이 도 9에 도시된 바와 같이 프로그램 루프에 따라서 다른 전압 레벨을 가지는 경우, 선택 워드라인(Selected WL)으로 제2 디스차이지 구간(tDSC1)을 갖는 제2 프로그램 전압(VPGM2)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제2 패스 전압(Vpass1, Vpass2)이 순차적으로 인가된다.
- [0080] 선택 워드라인(Selected WL)은, 도 12와 비교하여, 제1 디스차이지 구간(tDSC1)보다 긴 제2 디스차이지 구간(tDSC2)을 갖는 제2 프로그램 전압(VPGM2)이 인가되고, 제2 프로그램 전압(VPGM2)은 제1 프로그램 전압(VPGM1)보다 높게 인가된다는 점에서 차이가 있다. 제2 디스차이지 구간(tDSC2)이 길게 설정되는 것은 제2 프로그램 전압(VPGM2)이 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 오버슈트되지 않도록 하기 위해서이다. 높은 전압 레벨의 제2 프로그램 전압(VPGM2)은 제2 디스차이지 구간(tDSC2) 동안 제2 프로그램 전압 파형(1300)과 같이 충분히 디스차이지될 수 있다.
- [0081] 선택 워드라인(Selected WL)은 제1 구간( $\Phi 1$ ) 동안 제2 프로그램 전압(VPGM2)이 인가되고, 제2 구간( $\Phi 2$ , 제2 디스차이지 구간(tDSC2)) 동안 디스차이지 전압(VDSC)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제2 프로그램 전압(VPGM2)이 인가되도록 설정된다. 선택 워드라인(Selected WL)의 제2 프로그램 전압(VPGM2)은 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 제2 디스차이지 구간(tDSC2)을 이용하여 오버슈트되지 않도록 할 수 있다.
- [0082] 도 12 및 도 13의 프로그램 방법은 선택 워드라인(Selected WL)의 프로그램 전압(VPGM1, VPGM2) 레벨에 따라 디스차이지 구간(tDSC1, tDSC2)을 서로 다르게 설정하여 프로그램 전압(VPGM1, VPGM2)이 오버슈트되지 않도록 할 수 있다.
- [0083] 다른 관점으로, 도 12 및 도 13의 프로그램 방법은 선택 워드라인의 프로그램 전압 셋업 시간이 길어지는 문제를 해결하는 것으로 이용될 수 있다. 예컨대, 도 12의 제1 디스차이지 구간(tDSC1)을 갖는 제1 프로그램 전압(VPGM1)을 이용하여 선택 워드라인의 프로그램 전압 셋업 시간을 단축할 수 있을 것이다. 도 12의 제1 디스차이지 구간(tDSC1)은 도 13의 제2 디스차이지 구간(tDSC2)보다 짧기 때문에, 제1 디스차이지 구간(tDSC1) 동안 제1 프로그램 전압(VPGM1)에서 디스차이지되는 레벨이 작을 것으로 예측할 수 있다. 이에 따라, 선택 워드라인



의 제1 프로그램 전압(VPGM1)은 비선택 워드라인의 제2 패스 전압(Vpass2)에 의해 커플링되어 타겟 프로그램 전압 레벨로 빠르게 셋업될 수 있을 것이다.

- [0084] 도 14를 참조하면, 프로그램 동작에서, 선택 워드라인(Selected WL)으로 제1 디스차아지 시작 시간(tDIS1)에서 디스차아지 구간(tDSC)을 갖는 제1 프로그램 전압(VPGM1)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제2 패스 전압(Vpass1, Vpass2)이 인가된다.
- [0085] 선택 워드라인(Selected WL)은, 제1 구간( $\Phi 1$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되고, 제2 구간( $\Phi 2$ ) 동안 디스차아지 전압(VDSC)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되도록 설정된다. 디스차아지 전압(VDSC)은 제1 프로그램 전압(VPGM1)보다 낮은 전압 레벨을 갖는다. 디스차아지 전압(VDSC)이 인가되는 시점은 제1 프로그램 전압(VPGM1)이 인가되고 제1 디스차아지 시작 시간(tDIS1)이 경과한 때로 설정된다. 제1 디스차아지 시작 시간(tDIS1)은 제1 구간( $\Phi 1$ )과 동일하다고 볼 수 있다. 제2 구간( $\Phi 2$ )은 디스차아지 구간(tDSC)으로 볼 수 있다.
- [0086] 비선택 워드라인(Unselected WL)은 제1 및 제2 구간( $\Phi 1$ ,  $\Phi 2$ ) 동안 제1 패스 전압(Vpass1)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제2 패스 전압(Vpass2)이 인가되도록 설정된다. 제2 패스 전압(Vpass2)은 제1 패스 전압(Vpass1)보다 높은 전압 레벨을 갖는다.
- [0087] 선택 워드라인(Selected WL)의 제1 프로그램 전압(VPGM1)은 제1 디스차아지 시작 시간(tDIS1) 후 제1 프로그램 전압 파형(1400)과 같이 디스차아지됨을 볼 수 있다. 이는 제1 프로그램 전압(VPGM1)이 제1 디스차아지 시작 시간(tDIS1)에서 디스차아지 구간(tDSC) 동안 디스차아지되도록 하여, 제3 구간( $\Phi 3$ )에서 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 오버슈트되지 않도록 하기 위함이다.
- [0088] 도 15를 참조하면, 프로그램 동작에서, 선택 워드라인(Selected WL)으로 제2 디스차아지 시작 시간(tDIS2)에서 디스차아지 구간(tDSC)을 갖는 제2 프로그램 전압(VPGM1)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제2 패스 전압(Vpass1, Vpass2)이 인가된다.
- [0089] 선택 워드라인(Selected WL)은, 도 14와 비교하여, 제1 디스차아지 시작 시간(tDIS1) 보다 짧은 제2 디스차아지 시작 시간(tDIS2)을 갖는 제2 프로그램 전압(VPGM2)이 인가되고, 제2 프로그램 전압(VPGM2)은 제1 프로그램 전압(VPGM1) 보다 높게 인가된다는 점에서 차이가 있다. 제2 디스차아지 시작 시간(tDIS2)이 짧게 설정되는 것은 제2 프로그램 전압(VPGM2)이 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 오버슈트되지 않도록 하기 위해서이다. 높은 전압 레벨의 제2 프로그램 전압(VPGM2)은 제2 디스차아지 시작 시간(tDIS2)부터 디스차아지되기 시작하여 디스차아지 구간(tDSC) 동안 디스차아지되므로, 제2 프로그램 전압 파형(1500)과 같이 충분히 디스차아지될 수 있다.
- [0090] 선택 워드라인(Selected WL)은 제1 구간( $\Phi 1$ , 제2 디스차아지 시작 시간(tDIS2)) 동안 제2 프로그램 전압(VPGM2)이 인가되고, 제2 구간( $\Phi 2$ , 디스차아지 구간(tDSC) 동안 디스차아지 전압(VDSC)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제2 프로그램 전압(VPGM2)이 인가되도록 설정된다. 선택 워드라인(Selected WL)의 제2 프로그램 전압(VPGM2)은 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 제2 디스차아지 시작 시간(tDIS2)에서의 디스차아지 구간(tDSC)을 이용하여 오버슈트되지 않도록 할 수 있다.
- [0091] 도 14 및 도 15의 프로그램 방법은 선택 워드라인(Selected WL)의 프로그램 전압(VPGM1, VPGM2) 레벨에 따라 디스차아지 시작 시간(tDIS1, tDIS2)을 서로 다르게 설정하여 프로그램 전압(VPGM1, VPGM2)이 오버슈트되지 않도록 할 수 있다.
- [0092] 다른 관점으로, 도 14 및 도 15의 프로그램 방법은 선택 워드라인의 프로그램 전압 셋업 시간이 길어지는 문제를 해결하는 것으로 이용될 수 있다. 예컨대, 도 14의 제1 디스차아지 시작 시간(tDIS1)에서 디스차아지 구간(tDSC)을 갖는 제1 프로그램 전압(VPGM1)을 이용하여 선택 워드라인의 프로그램 전압 셋업 시간을 단축할 수 있을 것이다. 도 14의 제1 디스차아지 시작 시간(tDIS1)은 도 15의 제2 디스차아지 시작 시간(tDIS2) 보다 늦기 때문에, 제1 디스차아지 시작 시간(tDIS1)에서 디스차아지 구간(tDSC) 동안 제1 프로그램 전압(VPGM1)에서 디스차아지되는 레벨이 작을 것으로 예측할 수 있다. 이에 따라, 선택 워드라인의 제1 프로그램 전압(VPGM1)은 비선택 워드라인의 제2 패스 전압(Vpass2)에 의해 커플링되어 타겟 프로그램 전압 레벨로 빠르게 셋업될 수 있을 것이다.
- [0093] 도 16을 참조하면, 프로그램 동작에서, 선택 워드라인(Selected WL)으로 제1 디스차아지 전압(VDSC1)의 디스차아지 구간(tDSC)을 갖는 제1 프로그램 전압(VPGM1)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제

2 패스 전압(Vpass1, Vpass2)이 인가된다.

- [0094] 선택 워드라인(Selected WL)은, 제1 구간( $\Phi 1$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되고, 제2 구간( $\Phi 2$ ) 동안 제1 디스차이지 전압(VDSC1)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되도록 설정된다. 제1 디스차이지 전압(VDSC1)은 제1 프로그램 전압(VPGM1)보다 낮은 전압 레벨을 갖는다. 제1 디스차이지 전압(VDSC1)이 인가되는 제2 구간( $\Phi 2$ )은 디스차이지 구간(tDSC)으로 볼 수 있다.
- [0095] 비선택 워드라인(Unselected WL)은 제1 및 제2 구간( $\Phi 1$ ,  $\Phi 2$ ) 동안 제1 패스 전압(Vpass1)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제2 패스 전압(Vpass2)이 인가되도록 설정된다. 제2 패스 전압(Vpass2)은 제1 패스 전압(Vpass1)보다 높은 전압 레벨을 갖는다.
- [0096] 선택 워드라인(Selected WL)의 제1 프로그램 전압(VPGM)은 디스차이지 구간(tDSC) 동안 제1 디스차이지 전압(VDSC1)으로 디스차이지되어 제1 프로그램 전압 파형(1600)과 같이 디스차이지됨을 볼 수 있다. 제1 프로그램 전압(VPGM1)은 디스차이지 구간(tDSC) 동안 제1 디스차이지 전압(VDSC1)으로 디스차이지되고, 제3 구간( $\Phi 3$ )에서 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되어, 타겟 프로그램 전압 레벨로 셋업될 수 있다.
- [0097] 도 17을 참조하면, 프로그램 동작에서, 선택 워드라인(Selected WL)으로 제2 디스차이지 전압(VDSC2)의 디스차이지 구간(tDSC)을 갖는 제2 프로그램 전압(VPGM2)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제2 패스 전압(Vpass1, Vpass2)이 인가된다.
- [0098] 선택 워드라인(Selected WL)은, 도 16과 비교하여, 제1 디스차이지 전압(VDSC1) 보다 높은 제2 디스차이지 전압(VDSC2)을 갖는 제2 프로그램 전압(VPGM2)이 인가되고, 제2 프로그램 전압(VPGM2)은 제1 프로그램 전압(VPGM1)보다 높게 인가된다는 점에서 차이가 있다. 제2 프로그램 전압(VPGM2)은 디스차이지 구간(tDSC) 동안 제2 디스차이지 전압(VDSC2)으로 디스차이지되어 제2 프로그램 전압 파형(1700)과 같이 디스차이지될 수 있다.
- [0099] 제2 프로그램 전압 파형(1700)은 도 16의 제1 프로그램 전압(1600) 보다 디스차이지되는 정도가 작음을 볼 수 있다. 이는 제2 프로그램 전압(VPGM2)이 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되어 타겟 프로그램 전압 레벨로 빠르게 셋업되도록 하기 위해서이다.
- [0100] 선택 워드라인(Selected WL)은 제1 구간( $\Phi 1$ ) 동안 제2 프로그램 전압(VPGM2)이 인가되고, 제2 구간( $\Phi 2$ , 디스차이지 구간(tDSC)) 동안 제2 디스차이지 전압(VDSC2)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제2 프로그램 전압(VPGM2)이 인가되도록 설정된다. 선택 워드라인(Selected WL)의 제2 프로그램 전압(VPGM2)은 디스차이지 구간(tDSC) 동안 제2 디스차이지 전압(VDSC2)으로 약하게 디스차이지되어 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되어 타겟 프로그램 전압 레벨로 빠르게 셋업될 수 있다.
- [0101] 도 16 및 도 17의 프로그램 방법은 선택 워드라인(Selected WL)의 프로그램 전압(VPGM1, VPGM2) 레벨에 따라 디스차이지 전압(VDSC1, VDSC2) 레벨을 서로 다르게 설정하여 프로그램 전압(VPGM1, VPGM2)이 타겟 프로그램 전압 레벨로 빠르게 셋업되도록 할 수 있다.
- [0102] 다른 관점으로, 도 16 및 도 17의 프로그램 방법은 선택 워드라인의 프로그램 전압이 오버슈트되는 문제를 해결하는 것으로 이용될 수 있다. 예컨대, 도 16의 제1 디스차이지 전압(VDSC1)을 갖는 제1 프로그램 전압(VPGM1)을 이용하여 선택 워드라인의 프로그램 전압이 오버슈트되지 않도록 할 수 있을 것이다. 도 16의 제1 디스차이지 전압(VDSC1)은 도 17의 제2 디스차이지 전압(VDSC2) 보다 낮기 때문에, 디스차이지 구간(tDSC) 동안 제1 프로그램 전압(VPGM1)에서 디스차이지되는 레벨이 클 것으로 예측할 수 있다. 이에 따라, 선택 워드라인의 제1 프로그램 전압(VPGM1)은 비선택 워드라인의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 오버슈트되지 않을 것이다.
- [0103] 도 18을 참조하면, 프로그램 동작에서, 선택 워드라인(Selected WL)으로 디스차이지 구간(tDSC)을 갖는 제1 프로그램 전압(VPGM1)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제2 패스 전압(Vpass1, Vpass2)이 인가된다.
- [0104] 선택 워드라인(Selected WL)은, 제1 구간( $\Phi 1$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되고, 제2 구간( $\Phi 2$ ) 동안 디스차이지 전압(VDSC)이 인가되고, 제3 구간( $\Phi 3$ ) 동안 제1 프로그램 전압(VPGM1)이 인가되도록 설정된다. 디스차이지 전압(VDSC)은 제1 프로그램 전압(VPGM1)보다 낮은 전압 레벨을 갖는다. 디스차이지 전압(VDSC)이 인가되는 제2 구간( $\Phi 2$ )은 디스차이지 구간(tDSC)으로 볼 수 있다.
- [0105] 비선택 워드라인(Unselected WL)은 제1 및 제2 구간( $\Phi 1$ ,  $\Phi 2$ ) 동안 제1 패스 전압(Vpass1)이 인가되고, 제3



구간( $\Phi 3$ ) 동안 제2 패스 전압(Vpass2)이 인가되도록 설정된다. 제2 패스 전압(Vpass2)은 제1 패스 전압(Vpass1)보다 높은 전압 레벨을 갖는다.

- [0106] 선택 워드라인(Selected WL)의 제1 프로그램 전압(VPGM)은 디스차이지 구간(tDSC) 동안 디스차이지 전압(VDSC)으로 디스차이지되고, 제3 구간( $\Phi 3$ )에서 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되어, 제1 프로그램 전압 과형(1800)과 같이 타겟 프로그램 전압 레벨로 셋업될 수 있다.
- [0107] 도 19를 참조하면, 프로그램 동작에서, 선택 워드라인(Selected WL)으로 디스차이지 구간(tDSC)을 갖는 제2 프로그램 전압(VPGM2)이 인가되고, 비선택 워드라인(Unselected WL)으로 제1 및 제3 패스 전압(Vpass1, Vpass3)이 인가된다.
- [0108] 비선택 워드라인(Unselected WL)은, 도 18과 비교하여, 제2 패스 전압(Vpass2) 보다 높은 제3 패스 전압(Vpass3)이 인가되고, 선택 워드라인(Selected WL)의 제2 프로그램 전압(VPGM2)은 제1 프로그램 전압(VPGM1)보다 높게 인가된다는 점에서 차이가 있다. 제2 프로그램 전압(VPGM2)은 디스차이지 구간(tDSC) 동안 디스차이지되고 비선택 워드라인(Unselected WL)의 제2 패스 전압(Vpass2)에 의해 커플링되어, 제2 프로그램 전압 과형(1900)과 같이 타겟 프로그램 전압 레벨로 셋업될 수 있다.
- [0109] 제2 프로그램 전압 과형(1900)은 도 18의 제1 프로그램 전압 과형(1800) 보다 커플링되는 정도가 크다는 것을 볼 수 있다. 도 18의 제1 프로그램 전압 과형(1800)은 비선택 워드라인(Unselected WL)의 제1 패스 전압(Vpass1)과 제2 패스 전압(Vpass3) 사이의 제1 전압차(V1)에 의해 커플링되고, 제2 프로그램 전압 과형(1900)은 비선택 워드라인(Unselected WL)의 제1 패스 전압(Vpass1)과 제3 패스 전압(Vpass3) 사이의 제2 전압차(V2)에 의해 커플링된다. 제2 전압차(V2)가 제1 전압차(V1)에 비해 크기 때문에, 제2 프로그램 전압 과형(1900)이 타겟 프로그램 전압 레벨로 빠르게 셋업될 수 있다.
- [0110] 도 18 및 도 19의 프로그램 방법은 선택 워드라인(Selected WL)의 프로그램 전압(VPGM1, VPGM2) 레벨에 따라 비선택 워드라인(Unselected WL)의 패스 전압(Vpass1, Vpass2, Vpass3) 레벨을 서로 다르게 설정하여 프로그램 전압(VPGM1, VPGM2)이 타겟 프로그램 전압 레벨로 빠르게 셋업되도록 할 수 있다.
- [0111] 다른 관점으로, 도 18 및 도 19의 프로그램 방법은 선택 워드라인의 프로그램 전압이 오버슈트되는 문제를 해결하는 것으로 이용될 수 있다. 예컨대, 도 18의 비선택 워드라인(Unselected WL)의 제1 패스 전압(Vpass1)과 제2 패스 전압(Vpass3) 사이의 제1 전압차(V1)에 의한 커플링을 이용하여 선택 워드라인의 프로그램 전압이 오버슈트되지 않도록 할 수 있을 것이다. 도 18의 제1 전압차(V1)는 도 19의 제2 전압차(V2) 보다 작기 때문에, 제1 프로그램 전압(VPGM1)으로 커플링되는 정도가 작을 것으로 예측할 수 있다. 이에 따라, 선택 워드라인의 제1 프로그램 전압(VPGM1)은 비선택 워드라인의 제2 패스 전압(Vpass2)에 의해 커플링되더라도 오버슈트되지 않을 것이다.
- [0112] 도 20은 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 동작 방법을 설명하는 도면이다. 본 실시예에 따른 불휘발성 메모리 장치의 동작 방법은 불휘발성 메모리 장치에서 시계열적으로 수행되는 방법으로서, 예를 들어 도 2의 불휘발성 메모리 장치(100)에서 시계열적으로 수행되는 단계들을 포함할 수 있다. 도 1 내지 도 19를 참조하여 상술된 내용들은 본 실시예에도 적용될 수 있으며, 중복 설명은 생략하기로 한다.
- [0113] 단계 S2010에서, 불휘발성 메모리 장치(100)가 도 7의 프로그램 방법으로 테스트된다. 단계 S2010는 그라운드 선택 라인(GSL)에 접지 전압(VSS)이 공급되고, 선택된 스트링 선택 라인(Selected SSL)에 전원 전압(VCC)이 인가되고, 비선택된 스트링 선택 라인(Unselected SSL)에 접지 전압(VSS)이 인가되고, 선택된 비트라인(Selected BL)에 접지 전압(VSS)이 공급되고, 비선택된 비트라인(Unselected BL)에 전원 전압(VCC)이 공급되고, 선택 워드라인(Selected WL)에 프로그램 전압(VPGM)이 공급되고, 비선택 워드라인(Unselected WL)에 제1 및 제2 패스 전압(Vpass1, Vpass2)이 인가되도록 구성할 수 있다.
- [0114] 단계 S2020에서, 불휘발성 메모리 장치(100)의 테스트 동안 선택 워드라인의 프로그램 전압 과형이 모니터링된다. 단계 S2020는 선택 워드라인의 프로그램 전압 과형이 도 10a에 도시된 바와 같이 워드라인들 간의 기생 저항 및 커패시터에 의하여 오버슈트되는지, 또는 도 10b에 도시된 바와 같이 프로그램 전압 셋업 시간이 길어지는지 여부를 모니터링할 수 있다.
- [0115] 단계 S2030에서, 불휘발성 메모리 장치(100)의 테스트 결과, 프로그램 전압 과형의 유형에 따라 프로그램 방법이 결정된다. 예컨대, 단계 S2030는 도 12 및 도 13의 프로그램 방법처럼, 서로 다른 디스차이지 구간(tDSC1, tDSC2)을 갖는 프로그램 전압(VPGM1, VPGM2)이 선택 워드라인의 프로그램 전압으로 인가되도록 하는 프로그램

방법이 결정될 수 있다.

- [0116] 단계 S2030는 도 14 및 도 15의 프로그램 방법처럼, 디스차아지 시작 시간(tDIS1, tDIS2)을 서로 다르게 설정한 프로그램 전압(VPGM1, VPGM2)이 선택 워드라인의 프로그램 전압으로 인가되도록 하는 프로그램 방법이 결정될 수 있다.
- [0117] 단계 S2030는, 도 16 및 도 17의 프로그램 방법처럼, 서로 다른 디스차아지 전압(VDSC1, VDSC2) 레벨을 갖는 프로그램 전압(VPGM1, VPGM2)이 선택 워드라인의 프로그램 전압으로 인가되도록 하는 프로그램 방법이 결정될 수 있다.
- [0118] 단계 S2030는, 도 18 및 도 19의 프로그램 방법처럼, 선택 워드라인으로 인가되는 프로그램 전압(VPGM1, VPGM2) 레벨에 따라 비선택 워드라인으로 서로 다른 레벨의 패스 전압(Vpass1, Vpass2, Vpass3)이 인가되도록 하는 프로그램 방법이 결정될 수 있다. 단계 S2030에서, 불휘발성 메모리 장치(100)의 테스트 결과에 기초하여 도 12 내지 도 19의 프로그램 방법들 중 하나의 프로그램 방법이 결정될 수 있다.
- [0119] 단계 S2040에서, 불휘발성 메모리 장치(100)의 테스트 결과에 기초하여 결정된 프로그램 방법에 따라 프로그램 동작을 수행할 수 있다. 단계 S2040는 디스차아지 구간(tDSC, tDSC1, tDSC2)을 갖는 프로그램 전압(VPGM1, VPGM2)이 선택 워드라인으로 인가되도록 하여, 비선택 워드라인(Unselected WL)의 패스 전압(Vpass1, Vpass2, Vpass3)에 커플링되더라도 프로그램 전압(VPGM1, VPGM2)이 오버슈트되지 않도록 또는 타겟 프로그램 전압 레벨로 빠르게 셋업되도록 할 수 있다.
- [0120] 도 21은 본 발명의 실시예들에 따른 불휘발성 메모리 장치가 메모리 카드 시스템에 적용된 예를 나타내는 블록도이다.
- [0121] 도 21을 참조하면, 메모리 카드 시스템(2100)은 호스트(2110) 및 메모리 카드(2120)를 포함할 수 있다. 호스트(2110)는 호스트 컨트롤러(2111) 및 호스트 접속부(2112)를 포함할 수 있다. 메모리 카드(2120)는 카드 접속부(2121), 카드 컨트롤러(2122) 및 불휘발성 메모리 장치(2123)를 포함할 수 있다.
- [0122] 메모리 카드(2120)의 불휘발성 메모리 장치(2123)는 도 1 내지 도 20에 도시된 실시예들을 이용하여 구현될 수 있다. 불휘발성 메모리 장치(2123)는 프로그램 동작에서, 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압이 인가되고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압이 인가되고, 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압이 인가된 후 프로그램 전압보다 낮은 디스차아지 전압이 인가되고 제2 구간 동안 프로그램 전압이 인가되도록 제어하는 프로그램 컨트롤 로직부(2123)를 포함한다. 프로그램 컨트롤 로직부(2123)는 프로그램 전압의 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커플링율에 기초하여 디스차아지 전압 및/또는 제2 패스 전압을 조정할 수 있다.
- [0123] 메모리 카드(2120)는 USB, MMC, PCI-E, ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI, ESDI, 그리고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(2100)와 통신하도록 구성될 수 있다.
- [0124] 호스트(2110)는 메모리 카드(2120)에 데이터(DATA)를 기록하거나, 메모리 카드(2120)에 저장된 데이터(DATA)를 독출할 수 있다. 호스트 컨트롤러(2111)는 커맨드(CMD), 호스트(2110) 내의 클럭 발생기에서 발생한 클럭 신호(CLK) 및 데이터(DATA)를 호스트 접속부(2112)를 통해 메모리 카드(2120)로 전송할 수 있다.
- [0125] 카드 컨트롤러(2122)는 카드 접속부(2121)를 통해 수신된 커맨드에 응답하여, 카드 컨트롤러(2122) 내에 있는 클럭 발생기에서 발생한 클럭 신호에 동기하여 데이터를 불휘발성 메모리 장치(2123)에 제공할 수 있다. 불휘발성 메모리 장치(2123)는 호스트(2110)로부터 전송된 데이터를 저장할 수 있다.
- [0126] 메모리 카드(2120)는 콤팩트 플래시 카드(CFC: Compact Flash Card), 마이크로 드라이브(Microdrive), 스마트 미디어 카드(SMC: Smart Media Card) 멀티미디어 카드(MMC: Multimedia Card), 보안 디지털 카드(SDC: Security Digital Card), 유니버설 플래시 기억장치(UFS), 메모리 스틱(Memory Stick), 및 USB 플래시 메모리 드라이버 등으로 구현될 수 있다.
- [0127] 도 22는 본 발명의 실시예들에 따른 불휘발성 메모리 장치가 SSD 시스템에 적용된 예를 나타내는 블록도이다.
- [0128] 도 22를 참조하면, SSD 시스템(2200)은 호스트(2210) 및 SSD(2220)를 포함할 수 있다. SSD(2220)는 신호 커넥터(signal connector)를 통해 호스트(2210)와 신호를 주고 받으며, 전원 커넥터(power connector)를 통해 전원을 입력 받는다. SSD(2220)는 SSD 컨트롤러(2221), 보조 전원 장치(2222) 및 복수의 불휘발성 메모리 장치들

(2223, 2224, 2225)을 포함할 수 있다.

- [0129] 복수의 불휘발성 메모리 장치들(2223, 2224, 2225) 각각은 도 1 내지 도 20에 도시된 실시예들을 이용하여 구현될 수 있다. 불휘발성 메모리 장치들(2223, 2224, 2225) 각각은 프로그램 동작에서, 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압이 인가되고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압이 인가되고, 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압이 인가된 후 프로그램 전압보다 낮은 디스차이지 전압이 인가되고 제2 구간 동안 프로그램 전압이 인가되도록 제어하는 프로그램 컨트롤 로직부(2223a, 2224a, 2225a)를 포함한다. 프로그램 컨트롤 로직부(2223a, 2224a, 2225a)는 프로그램 전압의 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커플링율에 기초하여 디스차이지 전압 및/또는 제2 패스 전압을 조정할 수 있다.
- [0130] 도 23은 본 발명의 실시예들에 따른 불휘발성 메모리 장치를 포함하는 임베디드 멀티미디어 카드(embedded Multi Media Card: eMMC) 시스템을 설명하는 블록 다이어그램이다.
- [0131] 도23을 참조하면, eMMC 시스템(2300)은 eMMC 호스트(2310)와 eMMC 장치(2320)를 포함한다. eMMC 호스트(2310)와 eMMC 장치(2320)는 eMMC 인터페이스를 통해 연결될 수 있다.
- [0132] eMMC 호스트(2310)는 마이크로 프로세서 또는 어플리케이션 프로세서를 의미할 수 있고, 마이크로 프로세서 또는 어플리케이션 프로세서는 전자 장치에 내장 또는 구현될 수 있다. 전자 장치는 PC(Personal Computer), 랩탑 컴퓨터(laptop computer), 이동 전화기(mobile phone), 스마트폰(smartphone), 태블릿 PC(tablet PC), PDA(Personal Digital Assistant), EDA(Enterprise Digital Assistant), 디지털 카메라(digital camera), PMP(Portable Multimedia Player), PND(Portable Navigation Device), MP3 플레이어들, 또는 e-북(e-book) 등으로 구현될 수 있다.
- [0133] eMMC 호스트(2310)는 eMMC 장치(2320)의 데이터 처리 동작, 예컨대, 데이터 리드 동작과 데이터 라이트 동작 등을 제어할 수 있다. eMMC 호스트(2310)는 호스트 컨트롤러(2312)와 호스트 입출력 블록(2314)을 포함할 수 있다. 데이터 리드 동작 동안, 호스트 컨트롤러(2312)는 eMMC 장치(2320)의 불휘발성 메모리 장치(2327)로부터 독출된 데이터를 호스트 입출력 블록(2314)을 통하여 수신할 수 있다. 데이터 라이트 동작 동안, 호스트 컨트롤러(2312)는 eMMC 장치(2320)의 불휘발성 메모리 장치(2327)에 라이트될 데이터를 호스트 입출력 블록(2314)으로 전송할 수 있다.
- [0134] eMMC 호스트(2310)는 eMMC 호스트(2310)와 eMMC 장치(2320)에서 사용될 클럭 신호를 생성하고, 생성된 클럭 신호를 eMMC 장치(2320)로 제공할 수 있다. 또한, eMMC 호스트(2310)는 호스트 컨트롤러(2312)에서 사용될 입출력 동작 전압들을 생성하여 호스트 컨트롤러(2312)로 제공하고, eMMC 장치(2320)의 불휘발성 메모리 장치(2327)에서 사용될 코어 동작 전압들을 생성하여 eMMC 장치(2320)로 제공할 수 있다.
- [0135] eMMC 장치(2320)는 eMMC 입출력 블록(2321), 제어 로직 블록(2322), 버퍼 메모리(2324), 메모리 인터페이스(2325), 그리고 불휘발성 메모리 장치(2327)를 포함하는 멀티 칩 패키지로 구현될 수 있다. CPU(2323)를 포함하는 제어 로직 블록(2322)과 버퍼 메모리(2324), 그리고 메모리 인터페이스(2325)는 eMMC 호스트(2310)와 불휘발성 메모리 장치(2327) 사이에 데이터 통신을 제어하는 eMMC 컨트롤러(2326)로 동작할 수 있다.
- [0136] 데이터 라이트 동작 동안, CPU(2323)의 제어에 따라 eMMC 입출력 블록(2321)을 통하여 수신된 데이터는 버퍼 메모리(2324)에 임시적으로 저장될 수 있다. 메모리 인터페이스(2325)는 CPU(2323)의 제어에 따라 버퍼 메모리(2324)에 저장된 데이터를 리드하고, 리드된 데이터를 불휘발성 메모리 장치(2327)에 라이트할 수 있다.
- [0137] 데이터 리드 동작 동안, 메모리 인터페이스(2325)는 CPU(2323)의 제어에 따라 불휘발성 메모리 장치(2327)로부터 출력된 데이터를 버퍼 메모리(2324)에 저장할 수 있다. CPU(2323)의 제어에 따라 버퍼 메모리(2324)에 저장된 데이터는 eMMC 입출력 블록(2321)을 통하여 호스트 입출력 블록(2314)로 전송할 수 있다.
- [0138] eMMC 시스템(2300) 내 불휘발성 메모리 장치(2327)는 도 1 내지 도 20에 도시된 실시예들을 이용하여 구현될 수 있다. 불휘발성 메모리 장치(2327)는 프로그램 동작에서, 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압이 인가되고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압이 인가되고, 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압이 인가된 후 프로그램 전압보다 낮은 디스차이지 전압이 인가되고 제2 구간 동안 프로그램 전압이 인가되도록 제어하는 프로그램 컨트롤 로직부(2332)를 포함한다. 프로그램 컨트롤 로직부(2332)는 프로그램 전압의 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커플링율에 기초하여 디스차이지 전압 및/또는 제2 패스 전압을 조정할 수 있다.

- [0139] 도 24는 본 발명의 실시예들에 따른 불휘발성 메모리 장치를 포함하는 UFS(Universal Flash Storage) 시스템을 설명하는 도면이다.
- [0140] 도 24를 참조하면, UFS 시스템(2400)은 UFS 호스트(2410)와 UFS 장치(2420)를 포함한다. UFS 호스트(2410)와 UFS 장치(2420)는 UFS 인터페이스를 통해 연결될 수 있다. UFS 시스템(2400)은 불휘발성 메모리 장치인 플래쉬 메모리를 기반으로 하고, 스마트 폰과 같은 모바일 장치에 주로 사용될 수 있다.
- [0141] UFS 호스트(2410)는 어플리케이션(2412), 장치 드라이버(2414), 호스트 컨트롤러(2416), 그리고 호스트 인터페이스(2418)를 포함할 수 있다. 어플리케이션(2412)은 UFS 호스트(2410)에서 실행되는 다양한 응용 프로그램들이다. 장치 드라이버(2414)는 UFS 호스트(2410)에 연결되어 사용되는 주변 장치들을 구동하기 위한 것으로, UFS 장치(2420)를 구동할 수 있다. 어플리케이션(2412)과 장치 드라이버(2414)는 소프트웨어 또는 펌웨어 등을 통해 구현될 수 있다.
- [0142] 호스트 컨트롤러(2416)는 어플리케이션(2412)과 장치 드라이버(2414)의 요청에 따라 UFS 장치(2420)로 제공할 프로토콜 또는 명령으로 생성하고, 생성된 명령을 호스트 인터페이스(2418)를 통해 UFS 장치(2420)로 제공할 수 있다. 호스트 컨트롤러(2416)는 장치 드라이버(2414)로부터 쓰기 요청을 받으면 호스트 인터페이스(2418)를 통해 UFS 장치(2420)로 쓰기 명령과 데이터를 제공하고, 읽기 요청을 받으면 호스트 인터페이스(2418)를 통해 UFS 장치(2420)로 읽기 명령을 제공하고 UFS 장치(2420)로부터 데이터를 입력받는다.
- [0143] UFS 장치(2420)는 장치 인터페이스(2421)를 통하여 UFS 호스트(2410)와 연결될 수 있다. 호스트 인터페이스(2418)와 장치 인터페이스(2421)는 데이터나 신호를 주고 받기 위한 데이터 라인과 전원을 제공하기 위한 전원 라인을 통하여 연결될 수 있다.
- [0144] UFS 장치(2420)는 장치 컨트롤러(2422), 버퍼 메모리(2424), 그리고 불휘발성 메모리 장치(2426)를 포함할 수 있다. 장치 컨트롤러(2422)는 불휘발성 메모리 장치(2426)의 쓰기, 읽기, 소거 등과 같은 전반적인 동작을 제어할 수 있다. 장치 컨트롤러(2422)는 어드레스와 데이터 버스를 통하여 버퍼 메모리(2424) 또는 불휘발성 메모리 장치(2426)와 데이터를 주고 받을 수 있다. 장치 컨트롤러(2422)는 중앙 처리 장치(CPU), 장치 DMA(Direct Memory Access), 플래쉬 DMA, 명령 관리자, 버퍼 관리자, 플래쉬 변환 계층(Flash Translation Layer: FTL), 플래쉬 관리자 등을 포함할 수 있다.
- [0145] UFS 장치(2420)는 UFS 호스트(2410)로부터 수신된 명령을 장치 인터페이스(2421)를 통하여 장치 DMA와 명령 관리자로 제공하고, 명령 관리자는 버퍼 관리자를 통해 데이터를 입력 받을 수 있도록 버퍼 메모리(2424)를 할당하고 데이터 전송 준비가 완료되면 UFS 호스트(2410)로 응답 신호를 보낼 수 있다.
- [0146] UFS 호스트(2410)는 응답 신호에 대응하여 데이터를 UFS 장치(2420)로 전송할 수 있다. UFS 장치(2420)는 전송된 데이터를 장치 DMA와 버퍼 관리자를 통해 버퍼 메모리(2424)에 저장할 수 있다. 버퍼 메모리(2424)에 저장된 데이터는 플래쉬 DMA를 통해 플래쉬 관리자로 제공되고, 플래쉬 관리자는 플래쉬 변환 계층(FTL)의 어드레스 매핑 정보를 참조하여 불휘발성 메모리 장치(2426)의 선택된 주소에 데이터를 저장할 수 있다.
- [0147] UFS 장치(2420)는 UFS 호스트(2410)의 명령에 필요한 데이터 전송과 프로그램이 완료되면, 장치 인터페이스(2421)를 통해 UFS 호스트(2410)로 응답 신호를 보내고 명령 완료를 알릴 수 있다. UFS 호스트(2410)는 응답 신호를 전달받은 명령에 대한 완료 여부를 장치 드라이버(2414)와 어플리케이션(2412)에 알려주고, 해당 명령을 종료할 수 있다.
- [0148] UFS 시스템(2400) 내 불휘발성 메모리 장치(2326)은 도 1 내지 도 20에 도시된 실시예들을 이용하여 구현될 수 있다. 불휘발성 메모리 장치(2426)는 프로그램 동작에서, 워드라인들 중 비선택된 워드라인들로 제1 구간 동안 제1 패스 전압이 인가되고 제2 구간 동안 제1 패스 전압보다 높은 제2 패스 전압이 인가되고, 워드라인들 중 선택된 워드라인으로 제1 구간 동안 프로그램 전압이 인가된 후 프로그램 전압보다 낮은 디스차이지 전압이 인가되고 제2 구간 동안 프로그램 전압이 인가되도록 제어하는 프로그램 컨트롤 로직부(2432)를 포함한다. 프로그램 컨트롤 로직부(2432)는 프로그램 전압의 레벨과 선택된 워드라인과 비선택된 워드라인들 사이의 커패시턴스에 기초하여 디스차이지 전압 및/또는 제2 패스 전압을 조정할 수 있다.
- [0149] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있다. 이러한 구현은 앞서 설명한 실시예의 기재로부터 본 발명이 속하는 기술분야의 당업자라면 쉽게 구현할 수 있을 것이다.

[0150] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

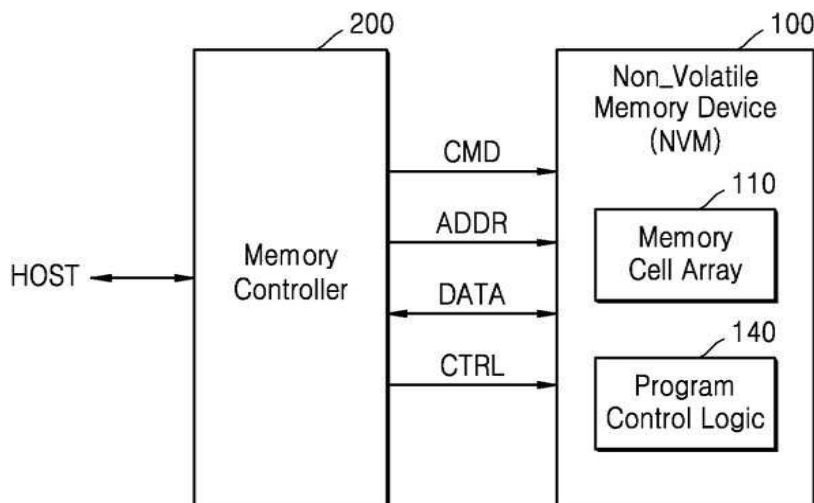
### 부호의 설명

[0151] 10: 메모리 시스템, 100: 메모리 장치  
200: 메모리 컨트롤러, 110: 메모리 셀 어레이  
120: 어드레스 디코더부, 130: 데이터 입출력부,  
140: 프로그램 컨트롤 로직부, 150: 전압 생성부

### 도면

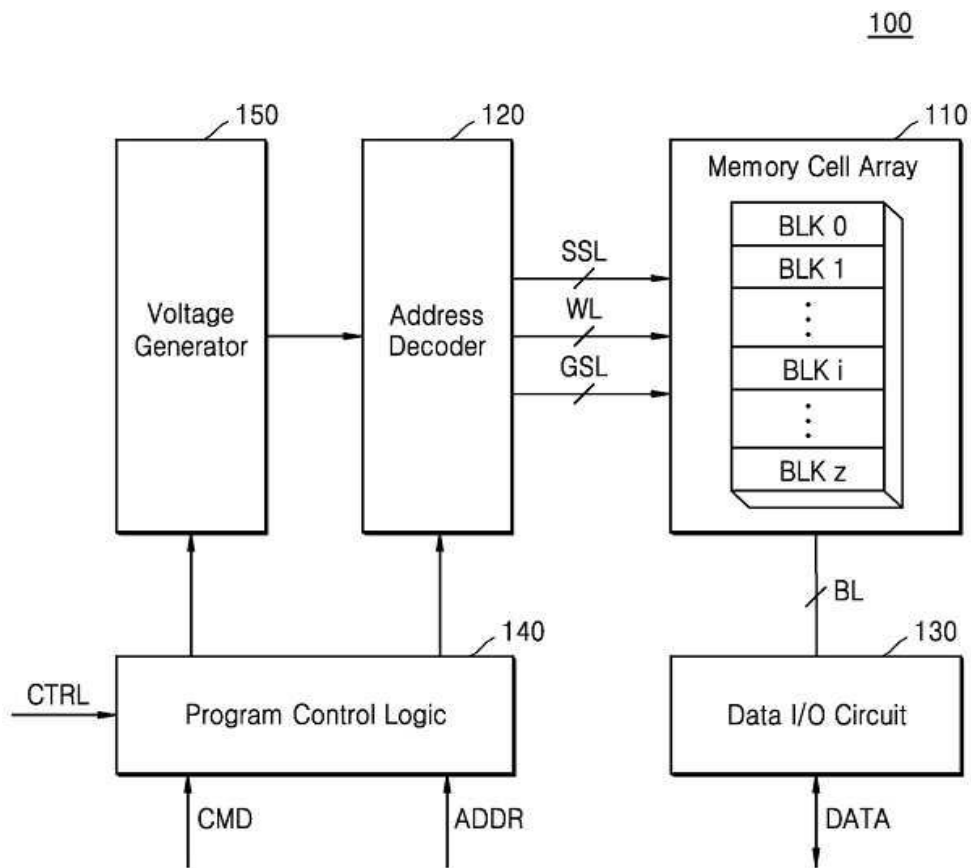
#### 도면1

10



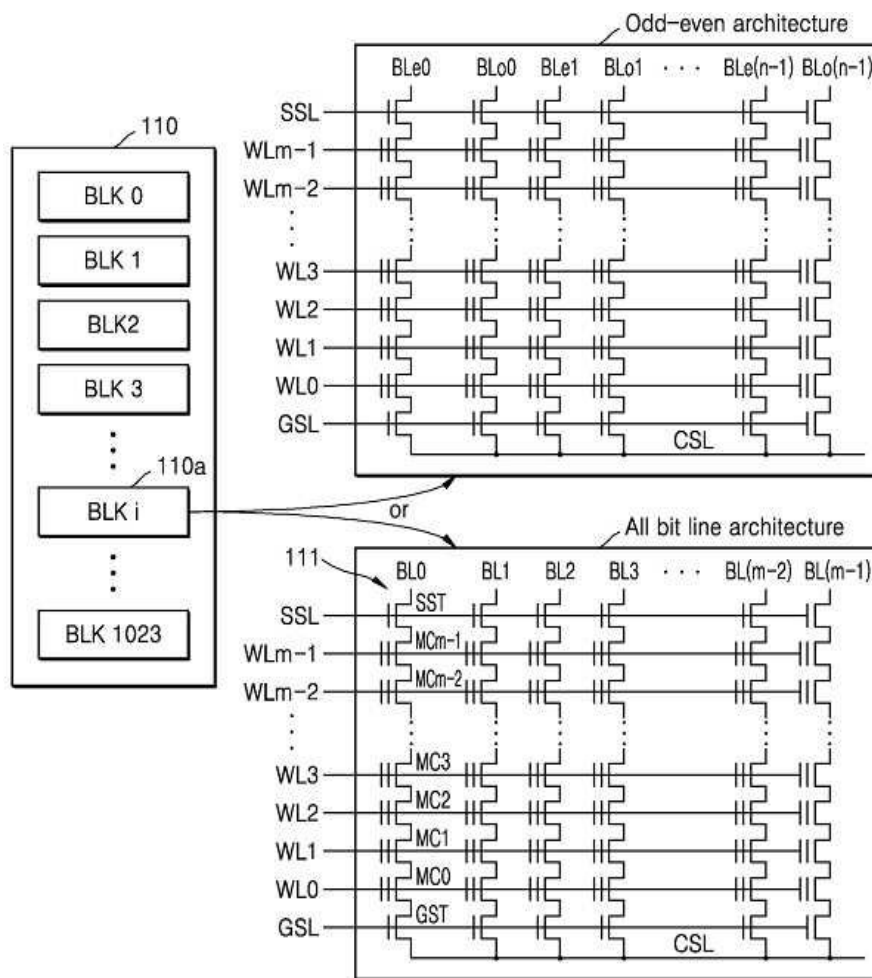


도면2

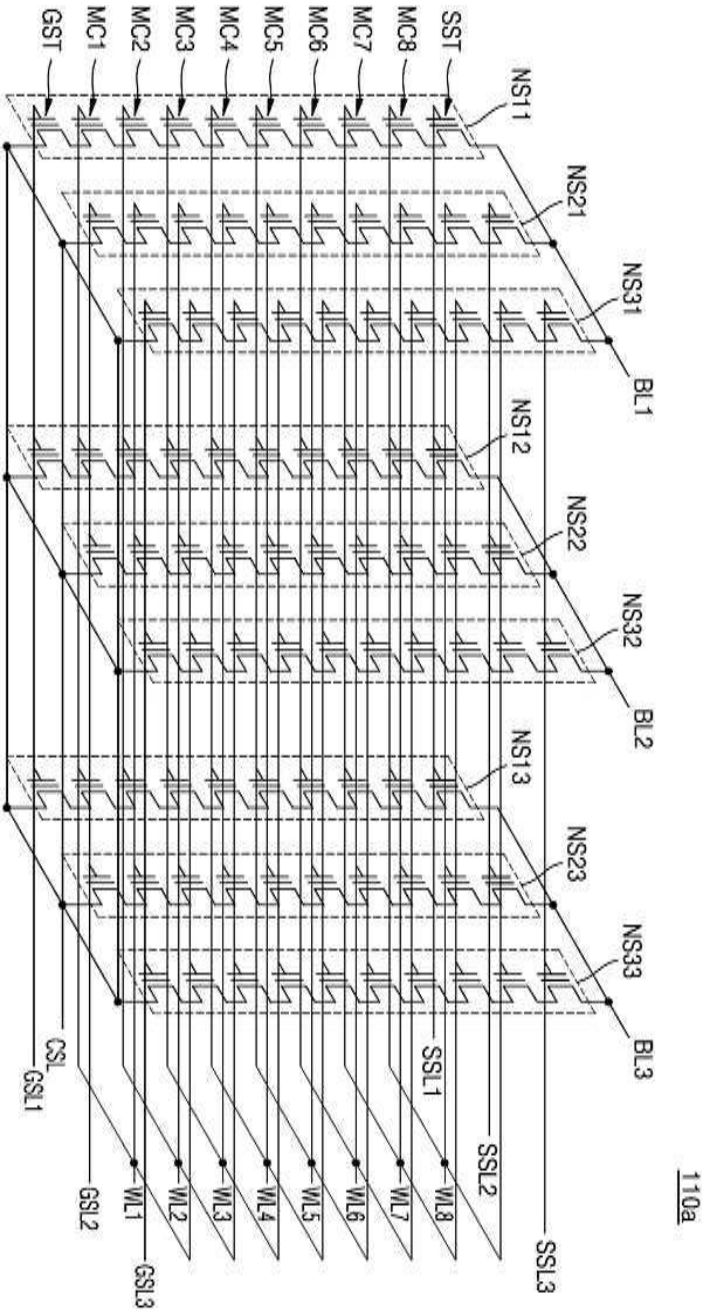




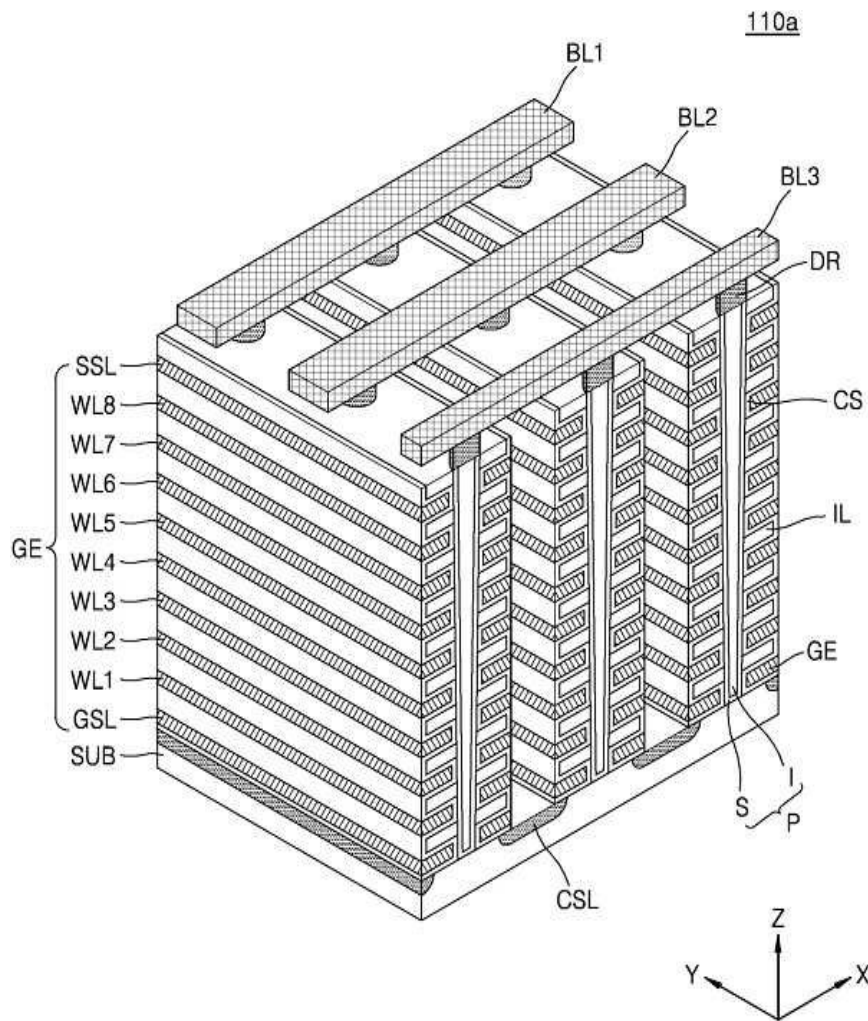
도면3



도면4



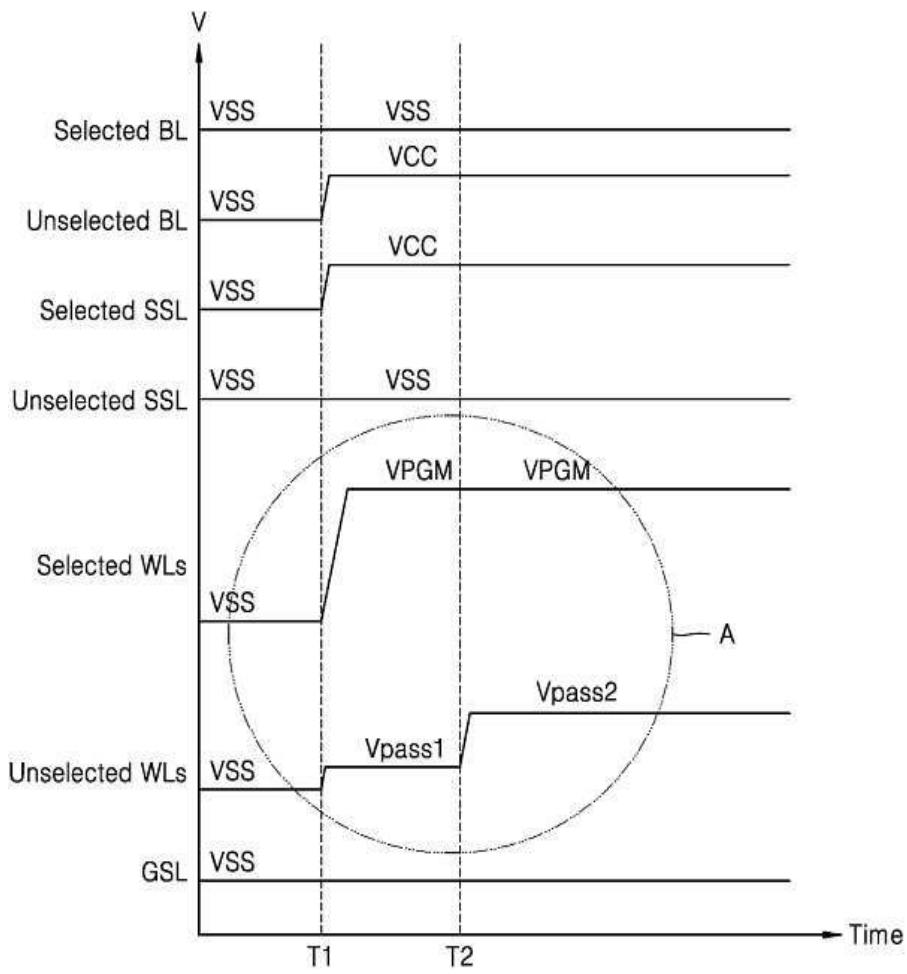
도면5



도면6

Selected BL	VSS
Unselected BL	VCC
Selected SSL	VCC
Unselected SSL	VSS
Selected WL	VPGM
Unselected WL	$V_{\text{pass1}} \rightarrow V_{\text{pass2}}$
GSL	VSS
Substrate	VSS

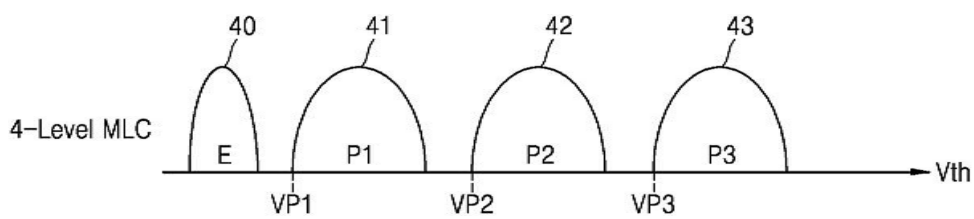
도면7



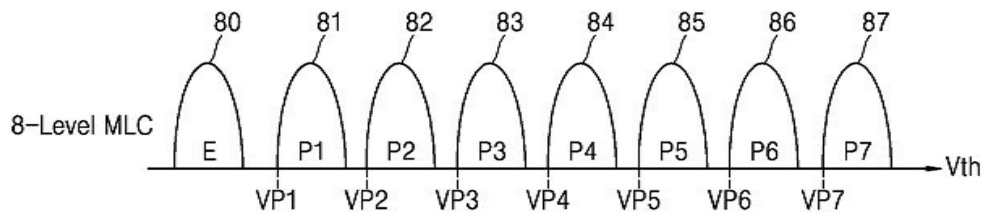
도면8a



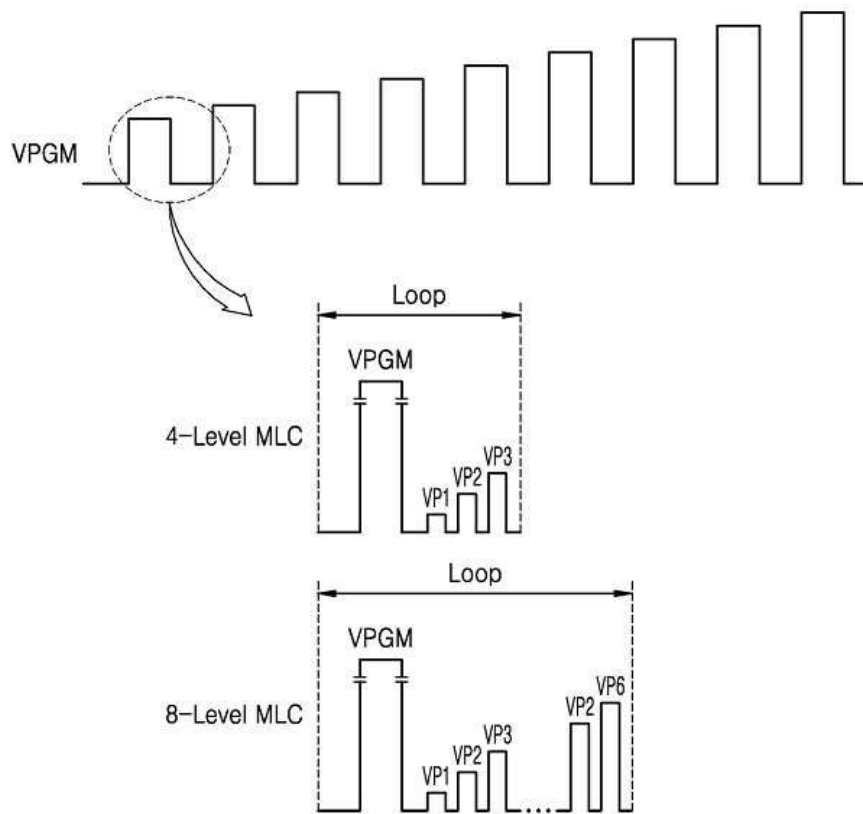
도면8b



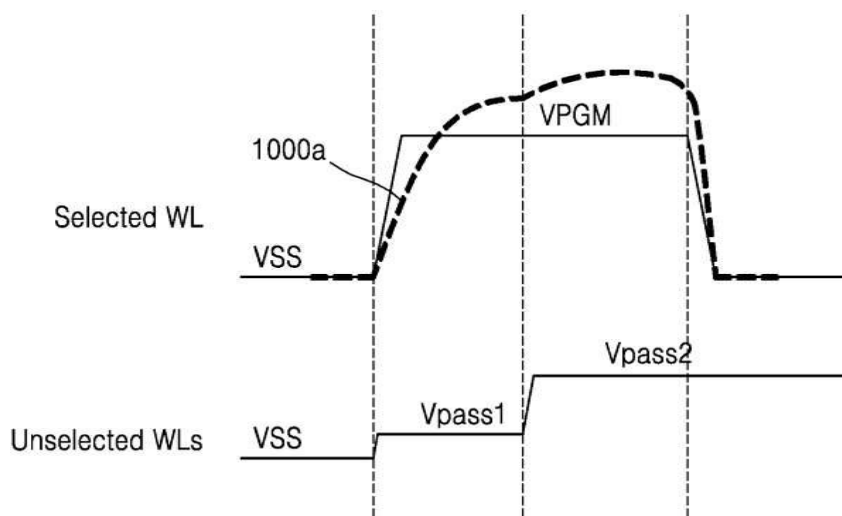
도면8c



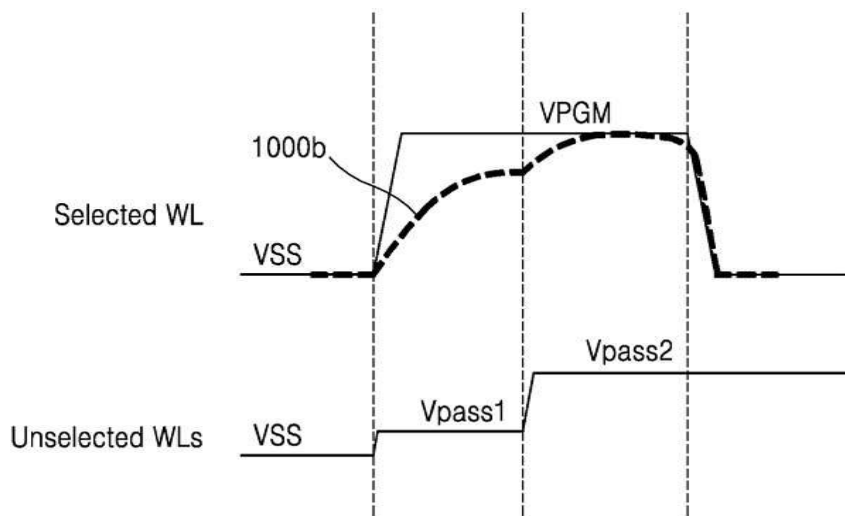
도면9



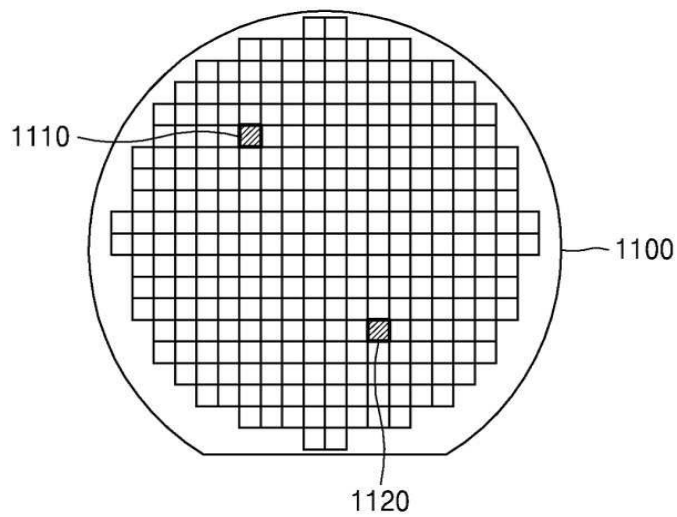
도면10a



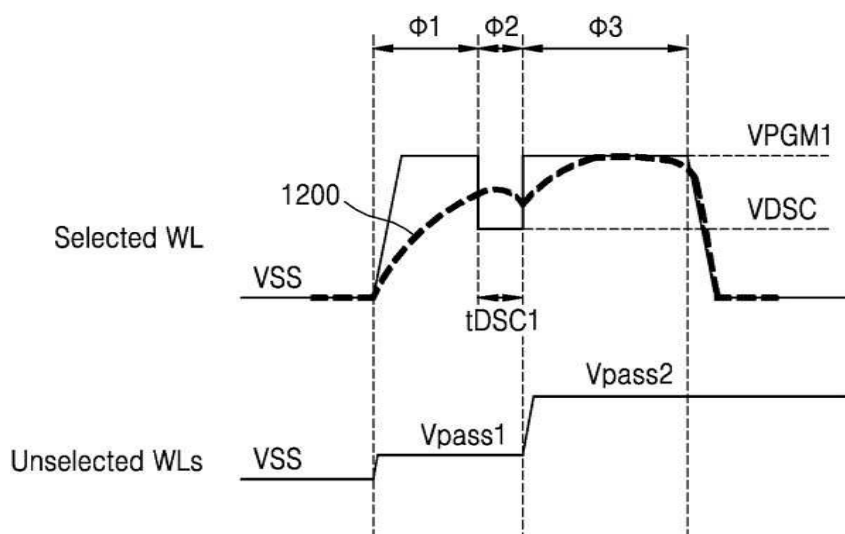
도면10b



도면11

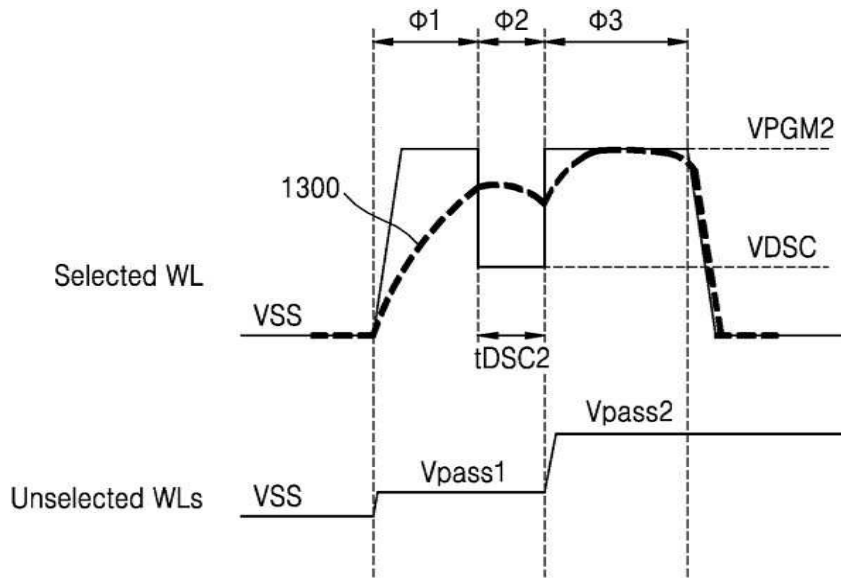


도면12

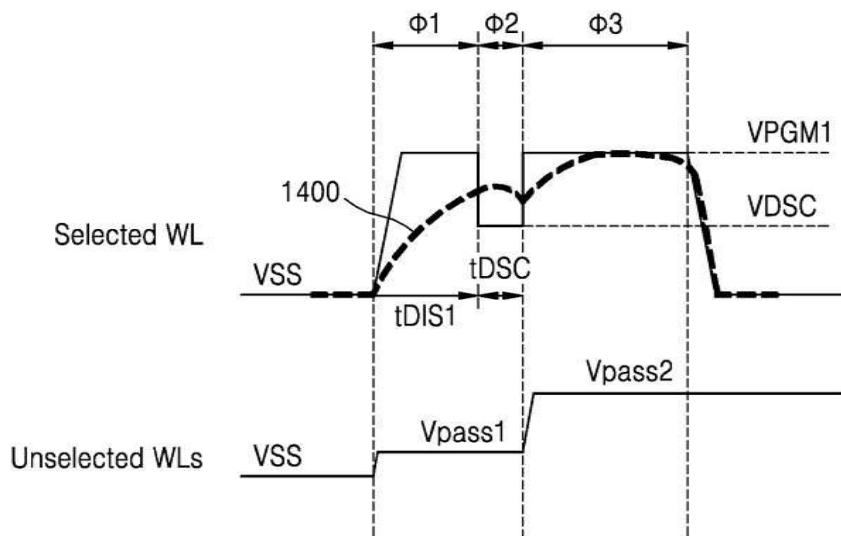




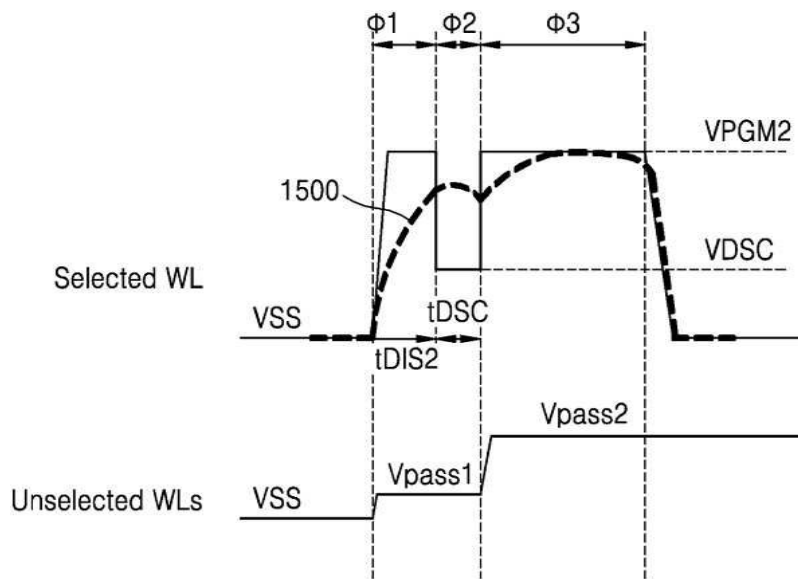
도면13



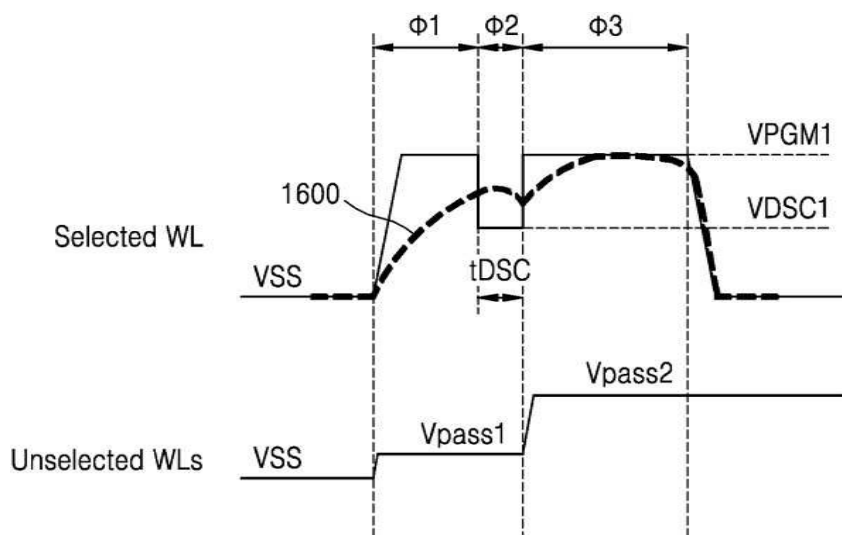
도면14



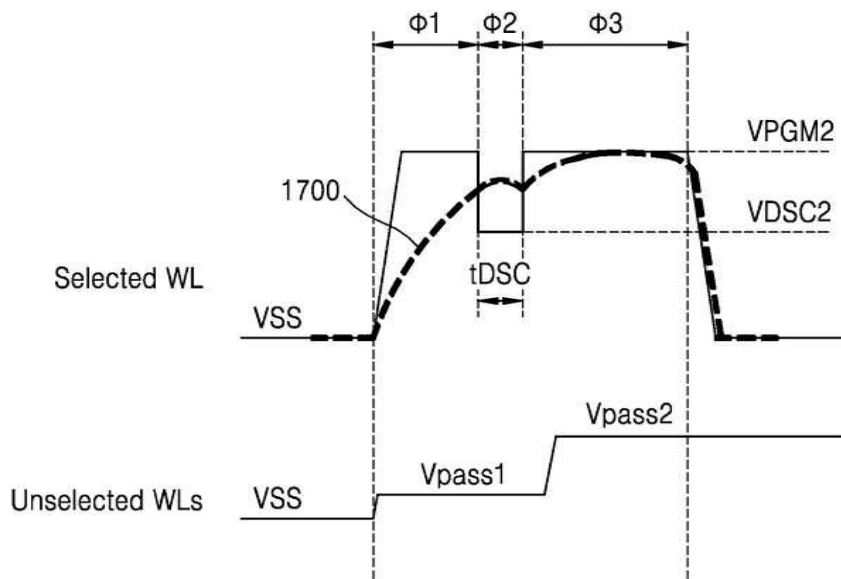
도면15



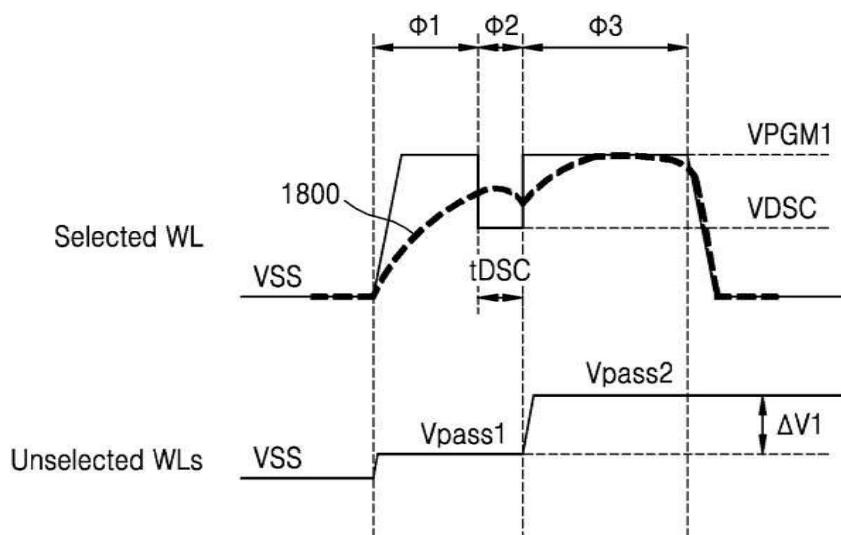
도면16



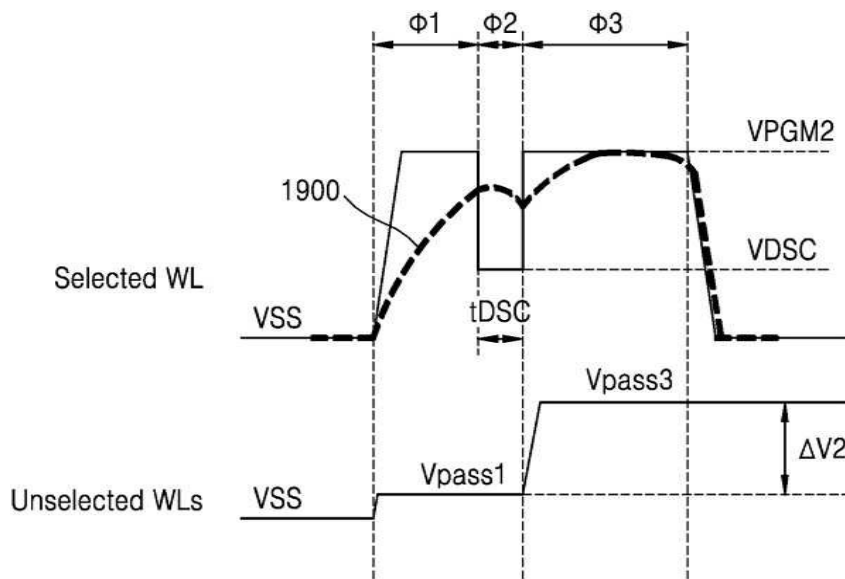
도면17



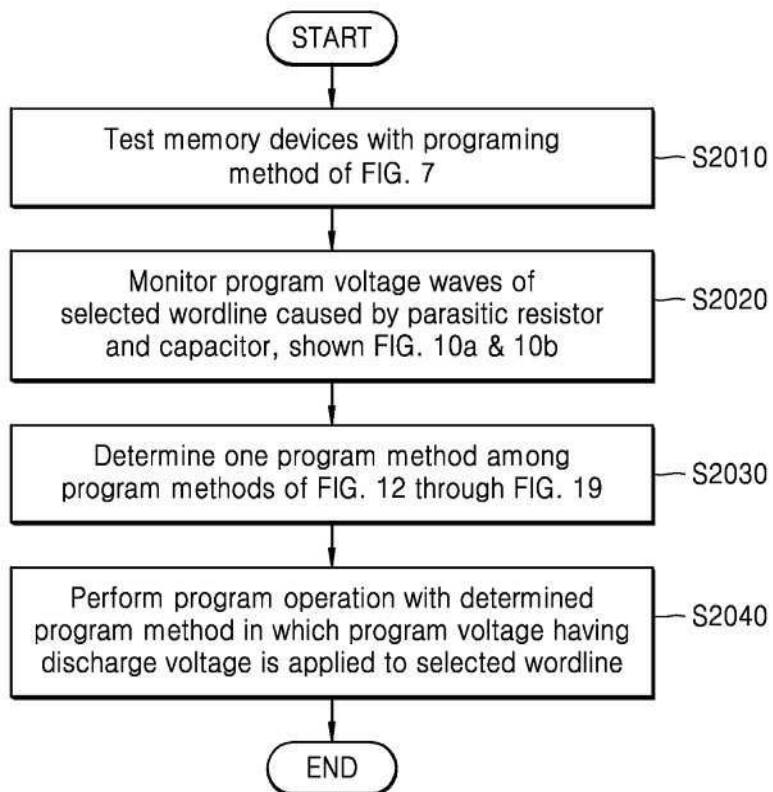
도면18



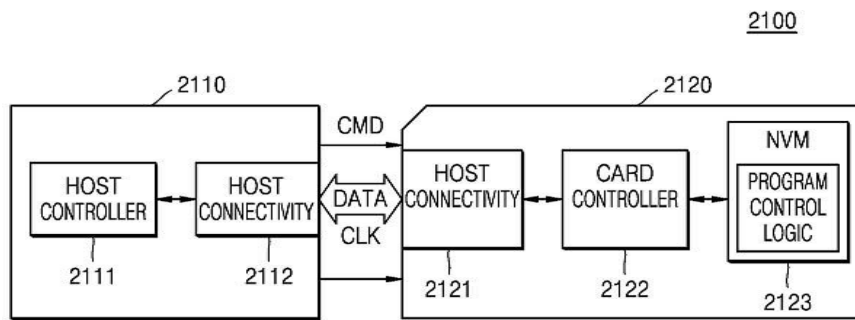
도면19



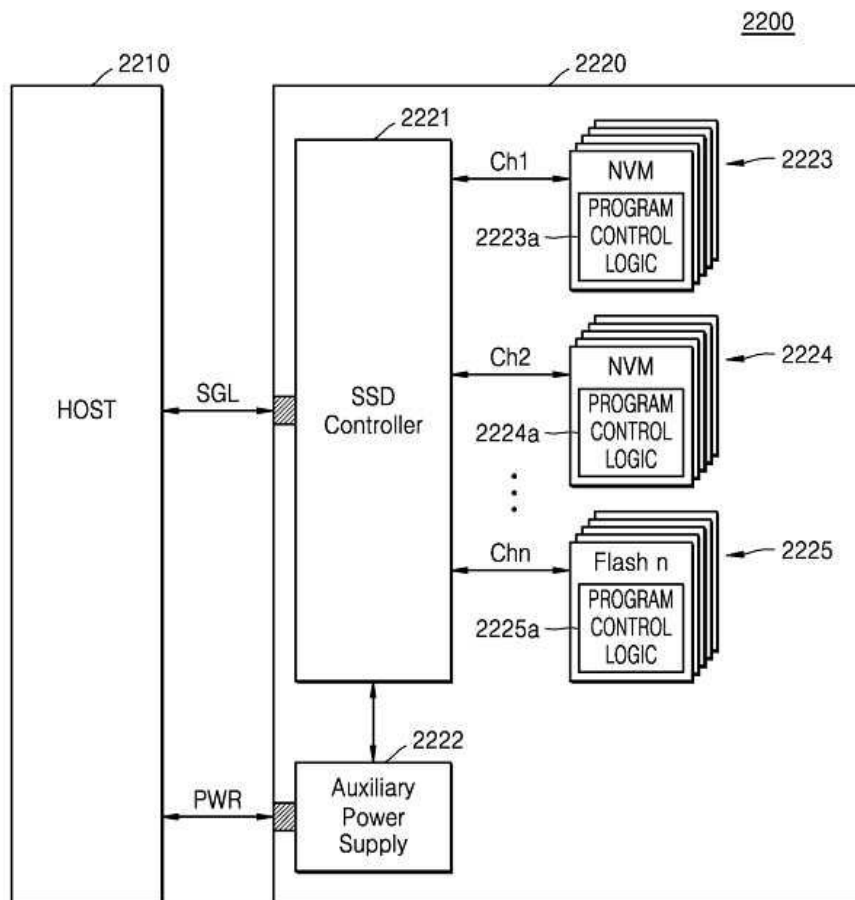
도면20



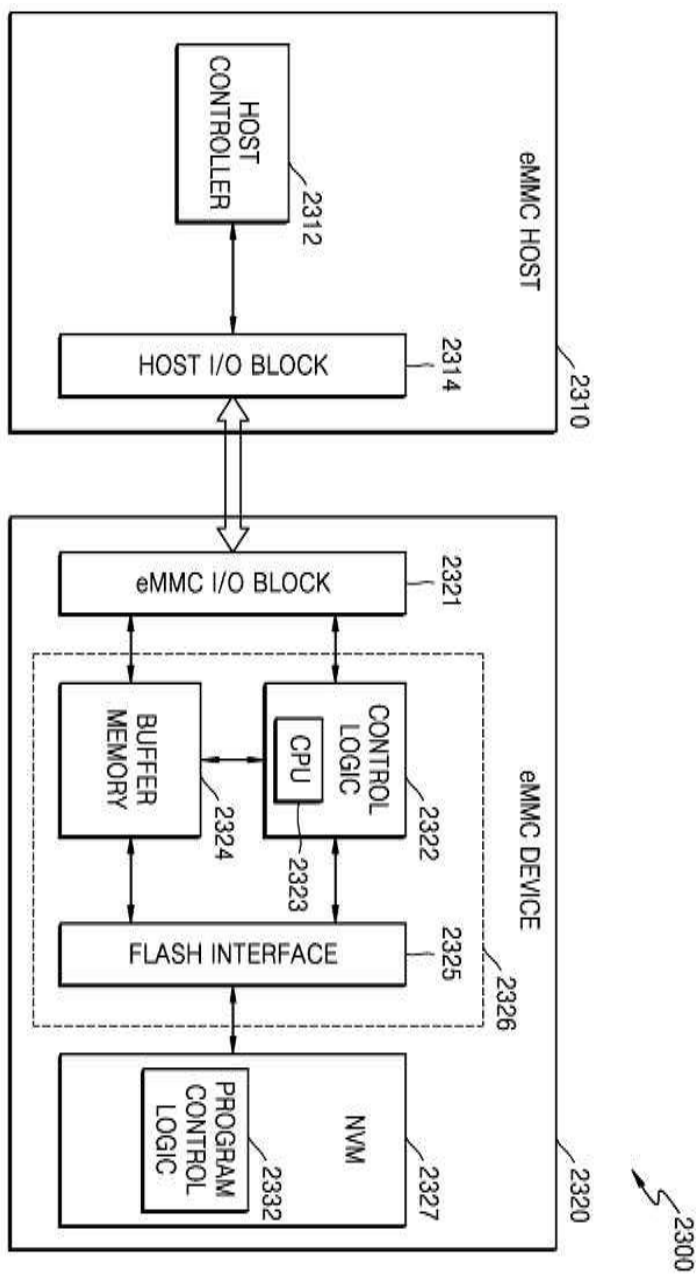
도면21



도면22



도면23





도면24

