



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년06월03일

(11) 등록번호 10-2405521

(24) 등록일자 2022년05월31일

(51) 국제특허분류(Int. Cl.)

G11C 11/22 (2006.01)

(52) CPC특허분류

G11C 11/2273 (2013.01)

G11C 11/221 (2013.01)

(21) 출원번호 10-2021-0001355

(22) 출원일자 2021년01월06일

심사청구일자 2021년01월06일

(56) 선행기술조사문헌

US20180366476 A1

KR1020040052018 A

US20040061153 A1

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 712호(신촌동)

고동한

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 712호(신촌동)

(뒷면에 계속)

(74) 대리인

민영준

전체 청구항 수 : 총 15 항

심사관 : 손윤식

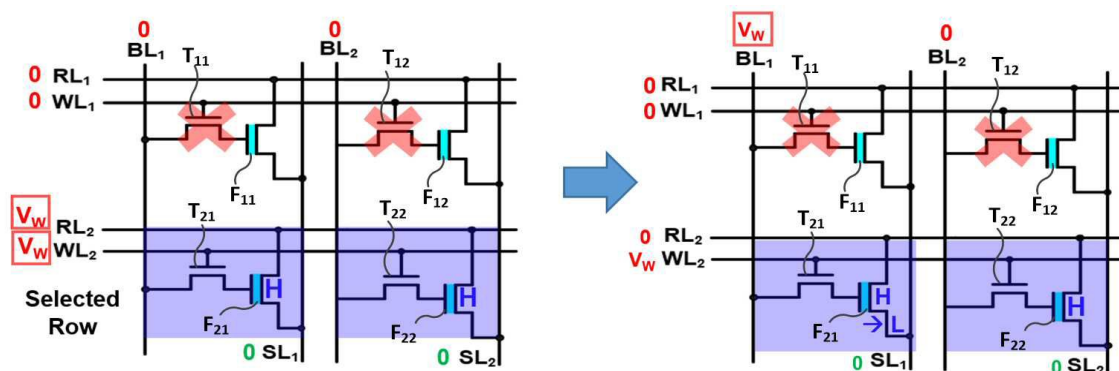
(54) 발명의 명칭 강유전체 메모리 장치 및 이의 리드/라이트 방법

## (57) 요약

본 발명은 각각 다수의 리드 라인 중 대응하는 리드 라인과 다수의 소스 라인 중 대응하는 소스 라인 사이에 연결되는 하나의 강유전체 트랜지스터(이하 FeFET)와 다수의 비트 라인 중 대응하는 비트 라인과 FeFET의 게이트 사이에 연결되고 게이트가 다수의 워드 라인 중 대응하는 워드 라인에 연결되는 하나의 트랜지스터를 구비하는

(뒷면에 계속)

대표도 - 도7



다수의 메모리 셀을 포함하는 메모리 셀 어레이 및 라이트 명령과 저장될 데이터와 함께 라이트될 메모리 셀에 대한 어드레스 정보가 인가되면, 제1 단계에서 다수의 워드 라인과 다수의 리드 라인 중 어드레스 정보의 로우 어드레스에 대응하는 워드 라인과 리드 라인을 선택하여 기지정된 포지티브 전압 레벨을 갖는 라이트 전압을 인가하고, 제2 단계에서 선택된 리드 라인에 접지 전압을 인가하며, 다수의 비트 라인 중 어드레스 정보의 칼럼 어드레스에 따라 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인에 라이트 전압을 인가하는 리드 라이트 제어부를 포함하여, 강유전체 메모리 장치 및 이의 리드/라이트 방법은 네거티브 전압을 이용하지 않을 뿐만 아니라 적은 종류의 전압 레벨로도 리드/라이트 동작을 수행할 수 있으며 리드/라이트 시에 소모되는 전력량을 저감시킬 수 있는 강유전체 메모리 장치 및 이의 리드/라이트 방법을 제공할 수 있다.

(52) CPC특허분류

G11C 11/2255 (2013.01)

G11C 11/2257 (2013.01)

G11C 11/2275 (2013.01)

G11C 11/2297 (2013.01)

김세건

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 712호(신촌동)

(72) 발명자

오태우

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 712호(신촌동)

임세희

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 712호(신촌동)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711121368

과제번호 2020M3F3A2A01081918

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 원천기술개발사업

연구과제명 (2세부) 차세대 다치레벨 로직-메모리 융합소자를 이용한 고신뢰성 저전력 저면적

컴퓨팅-인-메모리 회로 및 아키텍처 개발(1/4)

기 여 율 1/1

과제수행기관명 연세대학교 산학협력단

연구기간 2020.07.01 ~ 2020.12.31

## 명세서

### 청구범위

#### 청구항 1

각각 다수의 리드 라인 중 대응하는 리드 라인과 다수의 소스 라인 중 대응하는 소스 라인 사이에 연결되는 하나의 강유전체 트랜지스터(이하 FeFET)와 다수의 비트 라인 중 대응하는 비트 라인과 FeFET의 게이트 사이에 연결되고 게이트가 다수의 워드 라인 중 대응하는 워드 라인에 연결되는 하나의 트랜지스터를 구비하는 다수의 메모리 셀을 포함하는 메모리 셀 어레이; 및

라이트 명령과 저장될 데이터와 함께 라이트될 메모리 셀에 대한 어드레스 정보가 인가되면, 제1 단계에서 상기 다수의 워드 라인과 상기 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인과 리드 라인을 선택하여 기지정된 포지티브 전압 레벨을 갖는 라이트 전압을 인가하고, 선택되지 않은 워드 라인과 리드 라인 및 상기 다수의 비트 라인으로 접지 전압을 인가하며, 상기 다수의 소스 라인은 플로팅시키고, 제2 단계에서 상기 다수의 워드 라인은 제1 단계에서의 전압을 유지하고, 상기 다수의 리드 라인에 접지 전압을 인가하며, 상기 다수의 비트 라인 중 상기 어드레스 정보의 칼럼 어드레스에 따라 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인에 상기 라이트 전압을 인가하고, 나머지 비트라인에는 상기 접지 전압을 인가하며, 상기 다수의 소스 라인은 플로팅시키는 리드 라이트 제어부를 포함하는 강유전체 메모리 장치.

#### 청구항 2

제1항에 있어서, 상기 FeFET는

히스테리시스 커브의 패턴이 포지티브 전압 방향으로 시프트되어 1의 데이터를 저장하는 상대적으로 낮은 전압 레벨의 제1 문턱전압과 0의 데이터를 저장하는 상대적으로 높은 전압 레벨의 제2 문턱전압이 양의 전압 레벨을 갖는 강유전체 메모리 장치.

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

제2항에 있어서, 상기 리드 라이트 제어부는

리드 명령과 리드될 데이터가 저장된 메모리 셀에 대한 어드레스 정보가 인가되면, 다수의 워드 라인과 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인을 선택하여 기지정된 데이터 전압을 인가하고, 로우 어드레스에 대응하는 리드 라인을 선택하여 기지정된 드레인 리드 전압을 인가하며, 상기 다수의 비트 라인으로는 기지정된 게이트 리드 전압을 인가하는 강유전체 메모리 장치.

#### 청구항 6

제5항에 있어서, 상기 리드 라이트 제어부는

선택되지 않은 워드 라인과 선택되지 않은 리드 라인으로 접지 전압을 인가하고, 상기 다수의 소스 라인은 플로팅시키는 강유전체 메모리 장치.

#### 청구항 7

제6항에 있어서, 상기 강유전체 메모리 장치는

상기 다수의 소스 라인 각각에 연결되어, 상기 메모리 셀로부터 상기 소스 라인을 통해 인가되는 전압을 증폭하여 상기 메모리 셀에 저장된 데이터를 판별하는 다수의 센스 앰프를 포함하는 센스 앰프부를 더 포함하는 강유

전체 메모리 장치.

#### 청구항 8

제5항에 있어서, 상기 리드 라이트 제어부는

로우 어드레스를 인가받아 디코딩하여, 상기 다수의 리드 라인과 다수의 라이트 중 로우 어드레스에 대응하는 리드 라인과 워드 라인을 선택하고, 라이트 명령에 응답하여 선택된 리드 라인과 워드 라인에 라이트 전압을 인가하며, 리드 명령에 응답하여 선택된 리드 라인과 워드 라인으로 각각 드레인 리드 전압과 데이터 전압을 인가하는 로우 디코더;

칼럼 어드레스를 인가받아 디코딩하여 출력하는 칼럼 디코더; 및

라이트 명령이 인가되면, 상기 디코딩된 칼럼 어드레스와 저장될 데이터를 인가받고, 인가된 데이터 중 1의 데이터가 저장될 메모리 셀에 대응하는 비트 라인에 상기 라이트 전압을 인가하며, 리드 명령이 인가되면, 상기 다수의 비트 라인으로 게이트 리드 전압을 인가하여, 상기 다수의 센스 앰프에서 판별된 데이터를 획득하는 데이터 입출력부를 포함하는 강유전체 메모리 장치.

#### 청구항 9

제8항에 있어서, 상기 라이트 전압은 상기 제2 문턱전압보다 높은 기지정된 전압 레벨을 갖고,

상기 게이트 리드 전압과 상기 데이터 전압은 상기 제1 문턱전압과 상기 제2 문턱전압 사이의 전압 레벨을 가지며,

상기 드레인 리드 전압은 상기 게이트 리드 전압과 상기 라이트 전압 사이의 전압 레벨을 갖는 강유전체 메모리 장치.

#### 청구항 10

각각 다수의 리드 라인 중 대응하는 리드 라인과 다수의 소스 라인 중 대응하는 소스 라인 사이에 연결되는 하나의 강유전체 트랜지스터(이하 FeFET)와 다수의 비트 라인 중 대응하는 비트 라인과 FeFET의 게이트 사이에 연결되고 게이트가 다수의 워드 라인 중 대응하는 워드 라인에 연결되는 하나의 트랜지스터를 구비하는 다수의 메모리 셀을 포함하는 강유전체 메모리 장치의 라이트 방법에 있어서,

라이트 명령과 저장될 데이터와 함께 라이트될 메모리 셀에 대한 어드레스 정보가 인가되면, 상기 다수의 워드 라인과 상기 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인과 리드 라인을 선택하여 기지정된 포지티브 전압 레벨을 갖는 라이트 전압을 인가하고, 선택되지 않은 워드 라인과 리드 라인 및 상기 다수의 비트 라인으로 접지 전압을 인가하며, 상기 다수의 소스 라인은 플로팅시켜 해당 행의 모든 메모리 셀에 0의 데이터를 라이트하는 제1 단계; 및

상기 다수의 리드 라인에 접지 전압을 인가하고, 상기 다수의 워드 라인은 제1 단계에서의 전압을 유지하며, 상기 다수의 비트 라인 중 상기 어드레스 정보의 칼럼 어드레스에 따라 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인에 상기 라이트 전압을 인가하고, 나머지 비트라인에는 상기 접지 전압을 인가하며, 상기 다수의 소스 라인은 플로팅시키는 제2 단계를 포함하는 강유전체 메모리 장치의 라이트 방법.

#### 청구항 11

제10항에 있어서, 상기 FeFET는

히스테리시스 커브의 패튼이 포지티브 전압 방향으로 시프트되어 1의 데이터를 저장하는 상대적으로 낮은 전압 레벨의 제1 문턱전압과 0의 데이터를 저장하는 상대적으로 높은 전압 레벨의 제2 문턱전압이 양의 전압 레벨을 갖는 강유전체 메모리 장치의 라이트 방법.

#### 청구항 12

제11항에 있어서, 상기 제1 단계는

라이트 명령과 저장될 데이터와 함께 라이트될 메모리 셀에 대한 어드레스 정보가 인가되면, 다수의 워드 라인과 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인과 리드 라인을 선택하는 단

계; 및

선택된 워드 라인과 리드 라인으로 기지정된 포지티브 전압 레벨을 갖는 라이트 전압을 인가하고, 선택되지 않은 워드 라인과 리드 라인과 상기 다수의 비트 라인으로 접지 전압을 인가하며, 상기 다수의 소스 라인은 플로팅시키는 단계를 포함하는 강유전체 메모리 장치의 라이트 방법.

### 청구항 13

제11항에 있어서, 상기 제2 단계는

다수의 비트 라인 중 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인에 상기 라이트 전압을 인가하는 단계; 및

0의 데이터로 유지되어야 하는 메모리 셀에 대응하는 비트 라인에 접지 전압을 인가하고, 상기 다수의 소스 라인은 플로팅시키는 단계를 포함하는 강유전체 메모리 장치의 라이트 방법.

### 청구항 14

제11항에 있어서, 상기 라이트 전압은

상기 제2 문턱전압보다 높은 기지정된 전압 레벨을 갖는 강유전체 메모리 장치의 라이트 방법.

### 청구항 15

각각 다수의 리드 라인 중 대응하는 리드 라인과 다수의 소스 라인 중 대응하는 소스 라인 사이에 연결되는 하나의 강유전체 트랜지스터(이하 FeFET)와 다수의 비트 라인 중 대응하는 비트 라인과 FeFET의 게이트 사이에 연결되고 게이트가 다수의 워드 라인 중 대응하는 워드 라인에 연결되는 하나의 트랜지스터를 구비하는 다수의 메모리 셀을 포함하는 강유전체 메모리 장치의 리드 방법에 있어서,

리드 명령과 리드될 데이터가 저장된 메모리 셀에 대한 어드레스 정보가 인가되면, 상기 다수의 워드 라인과 상기 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인을 선택하여 기지정된 데이터 전압을 인가하고, 로우 어드레스에 대응하는 리드 라인을 선택하여 기지정된 드레인 리드 전압을 인가하는 단계;

상기 다수의 비트 라인으로는 기지정된 게이트 리드 전압을 인가하는 단계; 및

선택되지 않은 워드 라인과 선택되지 않은 리드 라인으로 접지 전압을 인가하고, 상기 다수의 소스 라인은 플로팅시키는 단계를 더 포함하는 강유전체 메모리 장치의 리드 방법.

### 청구항 16

제15항에 있어서, 상기 강유전체 메모리 장치의 리드 방법은

상기 다수의 소스 라인 각각에 연결된 다수의 센스 앰프를 이용하여 상기 메모리 셀로부터 상기 소스 라인을 통해 인가되는 전압을 증폭하여 상기 메모리 셀에 저장된 데이터를 판별하는 단계를 더 포함하는 강유전체 메모리 장치의 리드 방법.

### 청구항 17

제15항에 있어서, 상기 FeFET는

히스테리시스 커브의 패턴이 포지티브 전압 방향으로 시프트되어 1의 데이터를 저장하는 상대적으로 낮은 전압 레벨의 제1 문턱전압과 0의 데이터를 저장하는 상대적으로 높은 전압 레벨의 제2 문턱전압이 양의 전압 레벨을 갖고,

상기 게이트 리드 전압과 상기 데이터 전압은 상기 제1 문턱전압과 상기 제2 문턱전압 사이의 전압 레벨을 가지며,

상기 드레인 리드 전압은 상기 게이트 리드 전압과 상기 라이트 전압 사이의 전압 레벨을 갖는 강유전체 메모리 장치의 리드 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 강유전체 메모리 장치 및 이의 리드/라이트 방법에 관한 것으로, 저전력으로 리드 및 라이트를 수행하는 강유전체 메모리 장치 및 이의 리드/라이트 방법에 관한 것이다.

### 배경 기술

[0002] 비휘발성 메모리(Non-Volatile Memory: NVM)는 대기 모드에서 전원을 차단하여도 데이터가 유지 가능하여 대기 전력을 소모하지 않을 뿐만 아니라 휘발성 메모리보다 높은 집적도를 가져 고용량으로 구현하기에 유리하다는 장점이 있다.

[0003] 도 1은 강유전체 메모리 소자의 구조를 나타내고, 도 2는 강유전체 메모리 소자의 히스테리시스 특성을 나타낸 도면이다.

[0004] 비휘발성 메모리 중에서도 강유전체 메모리(Ferroelectric random access memory: 이하 FeRAM)는 강유전체를 메모리 소자로 이용하는 메모리 장치로서 기존에 강유전체를 캐패시터 소자에 적용하는 방식이 주로 이용되었으나, 현재는 도 1에 도시된 바와 같이, MOSFET 구조에서 게이트(Gate)와 산화막(Oxide layer) 사이에 강유전체(Ferroelectric) layer가 추가된 구조를 갖는 강유전체 트랜지스터(Ferroelectric FET: 이하 FeFET) 소자로 구성하는 방식이 매우 주목받고 있다. 도 1과 같이 FeFET 소자로 강유전체 메모리를 구성하게 되면, CMOS 회로와의 호환성이 우수하며, STT-MRAM, PRAM 및 ReRAM과 같은 기존 다른 비휘발성 메모리에 대비하여 높은 온/오프 비율(ON/OFF ratio)( $10^{15}$ )과 빠른 라이트(write) 속도(10ns) 및 낮은 쓰기 전력 소모로 우수한 성능을 나타낸다는 장점이 있다.

[0005] 도 2에 도시된 바와 같이, FeFET 소자는 강유전체의 히스테리시스 특성에 따라 게이트-소스 전압( $V_{GS}$ ) 또는 게이트-드레인 전압( $V_{GD}$ )에 따라 문턱전압( $V_{TH}$ )이 가변된다. 이에 가변되는 문턱전압( $V_{TH}$ )을 이용하여 1비트의 데이터를 저장할 수 있으며, 일반적으로 가변되는 문턱전압( $V_{TH}$ )중 상대적으로 낮은 전압 레벨의 제1 문턱전압( $V_{TH1}$ )이 논리 1(Logic 1)을 저장하고, 높은 전압 레벨의 제2 문턱전압( $V_{TH2}$ )이 논리 0(Logic 0)을 저장하는 것으로 지정된다.

[0006] 도 1과 같이 FeFET 소자는 소스-게이트-드레인의 3 단자 구조(3 terminal structure)로 리드/라이트 경로가 상이하여 리드/라이트 실패가 발생할 가능성이 매우 낮으며 라이트 회로 구조가 간단하다는 장점이 있다.

[0007] 한편 기존의 강유전체 메모리는 각 셀이 하나의 FeFET로 구성되는 1 FeFET 구조와 하나의 트랜지스터와 하나의 FeFET로 구성되는 1T + 1FeFET 구조 및 2개의 트랜지스터와 하나의 FeFET로 구성되는 2T + 1FeFET 구조 등이 이용되고 있다.

[0008] 1 FeFET 구조에서는 각 셀이 하나의 FeFET로 구성되므로, 셀 크기가 작아 집적도가 높은 반면, 라이트 디스터번스(write disturbance)가 발생할 수 있다는 문제가 있다. 그리고 1T + 1FeFET 구조에서는 라이트 디스터번스가 발생하지는 않으나 문턱전압 강하가 발생할 수 있다는 문제가 있으며, 2T + 1FeFET 구조에서도 문턱전압 강하가 발생할 수 있을 뿐만 아니라, 셀 면적이 커서 집적도가 낮아지는 문제가 있다.

[0009] 특히 1 FeFET, 1T + 1FeFET 및 2T + 1FeFET 구조 모두에서 기존의 리드 라이트 방식에서는 리드/라이트 동작 시에 전력 소모가 크다는 단점이 있으며, 라이트 동작시에 네거티브 전압을 이용해야 하는 번거로움이 있다.

## 선행기술문헌

### 특허문헌

[0010] (특허문헌 0001) 한국 공개 특허 제10-2003-0048881호 (2003.06.25 공개)

## 발명의 내용

## 해결하려는 과제

- [0011] 본 발명의 목적은 리드/라이트 동작 시 전력 소모를 저감할 수 있는 강유전체 메모리 장치 및 이의 리드/라이트 방법을 제공하는데 있다.
- [0012] 본 발명의 다른 목적은 적은 종류의 전압 레벨로 리드/라이트 동작을 수행할 수 있는 강유전체 메모리 장치 및 이의 리드/라이트 방법을 제공하는데 있다.

## 과제의 해결 수단

- [0013] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 강유전체 메모리 장치는 각각 다수의 리드 라인 중 대응하는 리드 라인과 다수의 소스 라인 중 대응하는 소스 라인 사이에 연결되는 하나의 강유전체 트랜지스터(이하 FeFET)와 다수의 비트 라인 중 대응하는 비트 라인과 FeFET의 게이트 사이에 연결되고 게이트가 다수의 워드 라인 중 대응하는 워드 라인에 연결되는 하나의 트랜지스터를 구비하는 다수의 메모리 셀을 포함하는 메모리 셀 어레이; 및 라이트 명령과 저장될 데이터와 함께 라이트될 메모리 셀에 대한 어드레스 정보가 인가되면, 제1 단계에서 다수의 워드 라인과 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인과 리드 라인을 선택하여 기지정된 포지티브 전압 레벨을 갖는 라이트 전압을 인가하고, 제2 단계에서 선택된 리드 라인에 접지 전압을 인가하며, 다수의 비트 라인 중 상기 어드레스 정보의 칼럼 어드레스에 따라 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인에 상기 라이트 전압을 인가하는 리드 라이트 제어부를 포함한다.
- [0014] 상기 FeFET는 히스테리시스 커브의 패턴이 포지티브 전압 방향으로 시프트되어 1의 데이터를 저장하는 상대적으로 낮은 전압 레벨의 제1 문턱전압과 0의 데이터를 저장하는 상대적으로 높은 전압 레벨의 제2 문턱전압이 양의 전압 레벨을 가질 수 있다.
- [0015] 상기 리드 라이트 제어부는 제1 단계에서 선택되지 않은 워드 라인과 리드 라인과 상기 다수의 비트 라인으로 접지 전압을 인가하고, 상기 다수의 소스 라인은 플로팅시킬 수 있다.
- [0016] 상기 리드 라이트 제어부는 제2 단계에서 0의 데이터로 유지되어야 하는 메모리 셀에 대응하는 비트 라인에 접지 전압을 인가하고, 상기 다수의 소스 라인은 플로팅시킬 수 있다.
- [0017] 상기 리드 라이트 제어부는 리드 명령과 리드될 데이터가 저장된 메모리 셀에 대한 어드레스 정보가 인가되면, 다수의 워드 라인과 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인을 선택하여 기지정된 데이터 전압을 인가하고, 로우 어드레스에 대응하는 리드 라인을 선택하여 기지정된 드레인 리드 전압을 인가하며, 상기 다수의 비트 라인으로는 기지정된 게이트 리드 전압을 인가할 수 있다.
- [0018] 상기 리드 라이트 제어부는 선택되지 않은 워드 라인과 선택되지 않은 리드 라인으로 접지 전압을 인가하고, 상기 다수의 소스 라인은 플로팅시킬 수 있다.
- [0019] 상기 강유전체 메모리 장치는 상기 다수의 소스 라인 각각에 연결되어, 상기 메모리 셀로부터 상기 소스 라인을 통해 인가되는 전압을 증폭하여 상기 메모리 셀에 저장된 데이터를 판별하는 다수의 센스 앰프를 포함하는 센스 앰프부를 더 포함할 수 있다.
- [0020] 상기 리드 라이트 제어부는 로우 어드레스를 인가받아 디코딩하여, 상기 다수의 리드 라인과 다수의 라이트 중 로우 어드레스에 대응하는 리드 라인과 워드 라인을 선택하고, 라이트 명령에 응답하여 선택된 리드 라인과 워드 라인에 라이트 전압을 인가하며, 리드 명령에 응답하여 선택된 리드 라인과 워드 라인으로 각각 드레인 리드 전압과 데이터 전압을 인가하는 로우 디코더; 칼럼 어드레스를 인가받아 디코딩하여 출력하는 칼럼 디코더; 및 라이트 명령이 인가되면, 상기 디코딩된 칼럼 어드레스와 저장될 데이터를 인가받고, 인가된 데이터 중 1의 데이터가 저장될 메모리 셀에 대응하는 비트 라인에 상기 라이트 전압을 인가하며, 리드 명령이 인가되면, 상기 다수의 비트 라인으로 게이트 리드 전압을 인가하여, 상기 다수의 센스 앰프에서 판별된 데이터를 획득하는 데이터 입출력부를 포함할 수 있다.
- [0021] 상기 라이트 전압은 상기 제2 문턱전압보다 높은 기지정된 전압 레벨을 갖고, 상기 게이트 리드 전압과 상기 데이터 전압은 상기 제1 문턱전압과 상기 제2 문턱전압 사이의 전압 레벨을 가지며, 상기 드레인 리드 전압은 상기 게이트 리드 전압과 상기 라이트 전압 사이의 전압 레벨을 가질 수 있다.
- [0022] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 강유전체 메모리 장치의 리드/라이트 방법은 각각 다

수의 리드 라인 중 대응하는 리드 라인과 다수의 소스 라인 중 대응하는 소스 라인 사이에 연결되는 하나의 강유전체 트랜지스터(이하 FeFET)와 다수의 비트 라인 중 대응하는 비트 라인과 FeFET의 게이트 사이에 연결되고 게이트가 다수의 워드 라인 중 대응하는 워드 라인에 연결되는 하나의 트랜지스터를 구비하는 다수의 메모리 셀을 포함하는 강유전체 메모리 장치의 리드/라이트 방법에 있어서, 라이트 명령과 저장될 데이터와 함께 라이트될 메모리 셀에 대한 어드레스 정보가 인가되면, 다수의 워드 라인과 다수의 리드 라인 중 상기 어드레스 정보의 로우 어드레스에 대응하는 워드 라인과 리드 라인을 선택하여 기지정된 포지티브 전압 레벨을 갖는 라이트 전압을 인가하여, 해당 행의 모든 메모리 셀에 0의 데이터를 라이트하는 제1 단계; 및 선택된 리드 라인에 접지 전압을 인가하고, 다수의 비트 라인 중 상기 어드레스 정보의 칼럼 어드레스에 따라 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인에 상기 라이트 전압을 인가하는 제2 단계를 포함한다.

### 발명의 효과

[0023] 따라서, 본 발명의 실시예에 따른 강유전체 메모리 장치와 이의 리드/라이트 방법은 강유전체 메모리 장치 및 이의 리드/라이트 방법은 네거티브 전압을 이용하지 않을 뿐만 아니라 적은 종류의 전압 레벨로도 리드/라이트 동작을 수행할 수 있으며 리드/라이트 시에 소모되는 전력량을 저감시킬 수 있다.

### 도면의 간단한 설명

[0024] 도 1은 강유전체 메모리 소자의 구조를 나타낸다.  
 도 2는 강유전체 메모리 소자의 히스테리시스 특성을 나타낸 도면이다.  
 도 3은 1 FeFET 구조의 강유전체 메모리 장치의 리드/라이트 동작을 설명하기 위한 도면이다.  
 도 4는 1T + 1FeFET 구조의 강유전체 메모리 장치의 리드/라이트 동작을 설명하기 위한 도면이다.  
 도 5는 2T + 1FeFET 구조의 강유전체 메모리 장치의 리드/라이트 동작을 설명하기 위한 도면이다.  
 도 6은 본 발명의 일 실시예에 따른 강유전체 메모리 소자의 히스테리시스 특성을 나타낸 도면이다.  
 도 7은 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 라이트 동작을 설명하기 위한 도면이다.  
 도 8은 도 7의 강유전체 메모리 장치의 라이트 타이밍 다이어그램을 나타낸다.  
 도 9는 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 리드 동작을 설명하기 위한 도면이다.  
 도 10은 도 7의 강유전체 메모리 장치의 리드 타이밍 다이어그램을 나타낸다.  
 도 11은 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 개략적 구조를 나타낸다.  
 도 12는 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 라이트 방법을 나타낸다.  
 도 13은 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 리드 방법을 나타낸다.

### 발명을 실시하기 위한 구체적인 내용

[0025] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0026] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.

[0027] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0028] 도 3은 1 FeFET 구조의 강유전체 메모리 장치의 리드/라이트 동작을 설명하기 위한 도면이다.

[0029] 도 3에서는 다수의 워드 라인(WL)과 다수의 비트 라인(BL) 및 다수의 소스 라인(SL)에 의해 정의되는 다수의 메



모리 셀이 포함되는 메모리 셀 어레이에서 2개의 워드 라인(WL<sub>1</sub>, WL<sub>2</sub>) 2개의 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>) 및 다수의 소스 라인(SL<sub>1</sub>, SL<sub>2</sub>)이 교차하는 위치에 배치되고, 각각 1개의 FeFET(F<sub>11</sub>, F<sub>12</sub>, F<sub>21</sub>, F<sub>22</sub>)로 구성되는 4개의 메모리 셀을 예시적으로 도시하였다. 도 3에서 (a)는 라이트 동작을 나타내고, (b)는 리드 동작을 나타낸다.

[0030] 도 3의 (a)를 참조하면, 1 FeFET 구조의 강유전체 메모리 장치에서 라이트 동작은 0의 데이터를 라이트하는 단계와 1의 데이터를 라이트하는 2단계의 동작으로 수행될 수 있다. 여기서는 4개의 메모리 셀 중 2개의 워드 라인(WL<sub>1</sub>, WL<sub>2</sub>) 중 제2 워드 라인(WL<sub>2</sub>)에 대응하는 2개의 메모리 셀에 1 및 0의 데이터를 라이트하는 과정을 예로 들어 설명한다. 즉 제2 행이 선택되어 데이터를 라이트하는 과정을 나타낸다.

[0031] 1 FeFET 구조의 강유전체 메모리 장치에서는 우선 0의 데이터를 제22 FeFET(F<sub>22</sub>)에 라이트하기 위해, 선택되는 제2 워드 라인(WL<sub>2</sub>)에 기지정된 네거티브 라이트 전압(-V<sub>W</sub>)을 인가하고, 선택되지 않은 나머지 워드 라인(WL<sub>1</sub>)에는 네거티브 라이트 전압(-V<sub>W</sub>)의 1/2 레벨의 전압(-V<sub>W</sub>/2)을 인가한다.

[0032] 한편, 0의 데이터가 라이트되어야 하는 제22 FeFET(F<sub>22</sub>)에 대응하는 제2 비트 라인(BL<sub>2</sub>)은 기지정된 접지 전압으로 유지하는 반면, 나머지 비트 라인(BL<sub>1</sub>)에는 선택되지 않은 워드 라인(WL<sub>1</sub>)과 마찬가지로 네거티브 라이트 전압(-V<sub>W</sub>)의 1/2 레벨의 전압(-V<sub>W</sub>/2)을 인가한다. 이때 모든 소스 라인(SL<sub>1</sub>, SL<sub>2</sub>)은 접지 전압이 유지된다.

[0033] 이에 제22 FeFET(F<sub>22</sub>)에는 제2 워드 라인(WL<sub>2</sub>)을 통해 게이트에 네거티브 라이트 전압(-V<sub>W</sub>)이 인가되고, 제2 비트 라인(BL<sub>2</sub>)과 제2 소스 라인(SL<sub>2</sub>)은 접지 전압이 유지되므로, 게이트-소스 및 게이트-드레인 사이에는 네거티브 라이트 전압(-V<sub>W</sub>)만큼의 전압 차이가 인가되며, 이로 인해 게이트와 산화막 사이에 배치된 강유전체에는 네거티브 라이트 전압(-V<sub>W</sub>)이 인가되어 제22 FeFET(F<sub>22</sub>)의 문턱전압(V<sub>TH</sub>)이 제2 문턱전압(V<sub>TH2</sub>)으로 높아지게 된다.

[0034] 이후 제21 FeFET(F<sub>21</sub>)에 1의 데이터를 라이트하는 단계에서는 제2 워드 라인(WL<sub>2</sub>)에 포지티브 라이트 전압(V<sub>W</sub>)을 인가하고, 선택되지 않은 나머지 워드 라인(WL<sub>1</sub>)에는 포지티브 라이트 전압(V<sub>W</sub>)의 1/2 레벨의 전압(V<sub>W</sub>/2)을 인가한다. 그리고 1의 데이터가 라이트되어야 하는 제21 FeFET(F<sub>21</sub>)에 대응하는 제1 비트 라인(BL<sub>1</sub>)과 제1 소스 라인(SL<sub>1</sub>)에는 접지 전압을 인가하는 반면, 나머지 비트 라인(BL<sub>2</sub>)과 소스 라인(SL<sub>2</sub>)에는 포지티브 라이트 전압(V<sub>W</sub>)을 인가한다.

[0035] 즉 0의 데이터가 라이트되는 제22 FeFET(F<sub>22</sub>)와 달리, 제21 FeFET(F<sub>21</sub>)에는 게이트로 포지티브 라이트 전압(V<sub>W</sub>)이 인가되어, 제21 FeFET(F<sub>21</sub>)의 문턱전압(V<sub>TH</sub>)이 제1 문턱전압(V<sub>TH1</sub>)으로 낮아지게 된다.

[0036] 결과적으로 제21 FeFET(F<sub>21</sub>)는 상대적으로 낮은 제1 문턱전압(V<sub>TH1</sub>)을 갖게 되고, 제22 FeFET(F<sub>22</sub>)는 상대적으로 높은 제2 문턱전압(V<sub>TH2</sub>)을 갖게 되어 데이터 1과 0을 저장하게 된다.

[0037] 그리고 도 3의 (b)를 참조하면, 리드 과정에서 같은 1 FeFET 구조의 강유전체 메모리 장치는 선택된 행에 대응하는 제2 워드 라인(WL<sub>2</sub>)으로 기지정된 게이트 리드 전압(V<sub>G\_READ</sub>)을 인가하고, 모든 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>)으로는 기지정된 드레인 리드 전압(V<sub>D\_READ</sub>)을 인가하여, 소스 라인(SL<sub>1</sub>, SL<sub>2</sub>)을 통해 흐르는 전류(I<sub>ON</sub>)를 측정하여, 선택된 제2 워드 라인(WL<sub>2</sub>) 상의 FeFET(F<sub>12</sub>, F<sub>22</sub>)에 저장된 데이터를 판별한다. 이때, 제21 FeFET(F<sub>12</sub>)는 네거티브의 전압 레벨인 제1 문턱전압(V<sub>TH1</sub>)을 갖는 반면, 제22 FeFET(F<sub>22</sub>)는 포지티브의 전압 레벨인 제2 문턱전압(V<sub>TH2</sub>)을 가지므로, 제21 FeFET(F<sub>21</sub>)를 통해서만 전류(I<sub>ON</sub>)가 흐르는 반면, 제22 FeFET(F<sub>22</sub>)에서는 전류가 흐르지 않는다. 따라서 제21 FeFET(F<sub>21</sub>)과 제22 FeFET(F<sub>22</sub>)에 저장된 데이터를 용이하게 판별할 수 있다.

[0038] 이와 같이 도 3에 도시된 1 FeFET 구조의 강유전체 메모리 장치에서는 메모리 셀이 1개의 FeFET 만으로 구성되므로, 집적도를 크게 향상시킬 수 있다는 장점이 있다.

[0039] 다만 도 3의 (a)에서 왼쪽의 제22 FeFET(F<sub>22</sub>)에 0의 데이터를 라이트하는 경우를 다시 살펴보면, 붉은 색으로 표시된 제12 FeFET(F<sub>12</sub>)에는 제1 워드 라인(WL<sub>1</sub>)으로 네거티브 라이트 전압(-V<sub>W</sub>)의 1/2 레벨의 전압(-V<sub>W</sub>/2)이 인가되고, 제2 비트 라인(BL<sub>2</sub>) 및 제2 소스 라인(SL<sub>2</sub>)으로는 접지 전압이 인가되므로, 제12 FeFET(F<sub>12</sub>)의 게이트-소

스 및 게이트-드레인 사이에는 네거티브 라이트 전압( $-V_W$ )의 1/2 레벨의 전압( $-V_W/2$ )만큼의 전압 차가 발생한다.

[0040] 그리고 붉은 색으로 표시된 제21 FeFET( $F_{21}$ )에는 제2 워드 라인( $WL_2$ )으로 네거티브 라이트 전압( $-V_W$ )이 인가되고, 제1 비트 라인( $BL_1$ )으로는 네거티브 라이트 전압( $-V_W$ )의 1/2 레벨의 전압( $-V_W/2$ )이 인가되므로, 제21 FeFET( $F_{21}$ )의 게이트-드레인 사이에도 네거티브 라이트 전압( $-V_W$ )의 1/2 레벨의 전압( $-V_W/2$ )만큼의 전압 차가 발생한다.

[0041] 또한 도 3의 (a)에서 오른쪽의 제21 FeFET( $F_{21}$ )에 1의 데이터를 라이트하는 경우를 살펴보면, 붉은 색으로 표시된 제11 FeFET( $F_{11}$ )에는 제1 워드 라인( $WL_1$ )으로 포지티브 라이트 전압( $V_W$ )의 1/2 레벨의 전압( $V_W/2$ )이 인가되고, 제1 비트 라인( $BL_1$ ) 및 제1 소스 라인( $SL_1$ )으로는 접지 전압이 인가되므로, 제11 FeFET( $F_{11}$ )의 게이트-소스 및 게이트-드레인 사이에는 포지티브 라이트 전압( $V_W$ )의 1/2 레벨의 전압( $V_W/2$ )만큼의 전압 차가 발생한다.

[0042] 그리고 붉은 색으로 표시된 제22 FeFET( $F_{22}$ )에는 제2 워드 라인( $WL_2$ )으로 포지티브 라이트 전압( $V_W$ )이 인가되고, 제2 비트 라인( $BL_2$ )과 제2 소스 라인( $SL_2$ )으로는 포지티브 라이트 전압( $V_W$ )의 1/2 레벨의 전압( $V_W/2$ )이 인가되므로, 제22 FeFET( $F_{22}$ )의 게이트-소스 및 게이트-드레인 사이에도 포지티브 라이트 전압( $V_W$ )의 1/2 레벨의 전압( $V_W/2$ )만큼의 전압 차가 발생한다.

[0043] 즉 라이트 동작들이 이루어지는 셀들 각각에서 발생하는 열이 인접하는 다른 셀의 전기적 상태를 불안정하게 만드는 라이트 디스터번스가 발생한다. 특히 도 3의 (a)에서 오른쪽에 도시된 바와 같이, 제2 문턱전압( $V_{TH2}$ )으로 높아지진 제22 FeFET( $F_{22}$ )의 문턱전압( $V_{TH}$ )을 다시 낮추게 되는 결과를 초래할 수 있다는 문제가 있다.

[0044] 또한 2단계 동작을 수행하는 동안 모든 비트 라인( $BL_1$ ,  $BL_2$ )에 적어도 한번의 전압 레벨 스위칭이 요구되며, 워드 라인( $WL_1$ ,  $WL_2$ )에는 2번의 전압 레벨 스위칭이 요구될 뿐만 아니라 2단계에서는 선택된 소스 라인( $SL_2$ )에서도 1번의 전압 레벨 스위칭이 요구되어 전력 소모가 크다는 단점이 있다.

[0045] 도 4는 1T + 1FeFET 구조의 강유전체 메모리 장치의 리드/라이트 동작을 설명하기 위한 도면이며, 도 4에서도 (a)는 라이트 동작을 나타내고, (b)는 리드 동작을 나타낸다.

[0046] 또한 도 4에서도 4개의 메모리 셀 만을 예시적으로 도시하였으며, 각 메모리 셀은 다수의 워드 라인(WL)과 다수의 리드 라인(RL), 다수의 비트 라인(BL) 및 다수의 소스 라인(SL)에 의해 정의되며, 각각 1개의 트랜지스터( $T_{11}$ ,  $T_{12}$ ,  $T_{21}$ ,  $T_{22}$ )와 1개의 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )로 구성된다.

[0047] 도 4를 참조하면, 1T + 1FeFET 구조의 강유전체 메모리 장치에서는 각 메모리 셀의 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )가 대응하는 리드 라인( $RL_1$ ,  $RL_2$ )과 소스 라인( $SL_1$ ,  $SL_2$ )에 각각 드레인과 소스가 연결된다. 그리고 트랜지스터( $T_{11}$ ,  $T_{12}$ ,  $T_{21}$ ,  $T_{22}$ )는 대응하는 비트 라인( $BL_1$ ,  $BL_2$ )과 대응하는 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )의 게이트 사이에 연결되고, 게이트는 대응하는 워드 라인( $WL_1$ ,  $WL_2$ )이 연결된다.

[0048] 도 4의 (a)에 도시된 바와 같이, 1T + 1FeFET 구조의 강유전체 메모리 장치의 라이트 동작은 1단계로 수행될 수 있다. 도 3에서와 마찬가지로 제2 워드 라인( $WL_2$ )에 대응하는 2개의 메모리 셀에 1 및 0의 데이터를 라이트하는 과정을 예로 들어 설명하면, 선택되는 제2 워드 라인( $WL_2$ )에 기지정된 포지티브 라이트 전압( $V_W$ )을 인가하고, 선택되지 않은 나머지 워드 라인( $WL_1$ )에는 네거티브 라이트 전압( $-V_W$ )을 인가한다. 따라서 포지티브 라이트 전압( $V_W$ )이 인가되는 제2 워드 라인( $WL_2$ )에 게이트가 연결된 2개의 트랜지스터( $T_{21}$ ,  $T_{22}$ )는 턴온되어, 대응하는 비트 라인( $BL_1$ ,  $BL_2$ )과 대응하는 FeFET( $F_{21}$ ,  $F_{22}$ )의 게이트를 연결한다. 반면, 네거티브 라이트 전압( $-V_W$ )이 인가되는 제1 워드 라인( $WL_1$ )에 게이트가 연결된 2개의 트랜지스터( $T_{11}$ ,  $T_{22}$ )는 오프 상태를 유지한다.

[0049] 그리고 1의 데이터가 라이트되어야 하는 제21 FeFET( $F_{21}$ )에 대응하는 제1 비트 라인( $BL_1$ )에는 포지티브 라이트 전압( $V_W$ )을 인가하고, 0의 데이터가 라이트되어야 하는 제22 FeFET( $F_{22}$ )에 대응하는 제2 비트 라인( $BL_2$ )에는 포

지터티브 라이트 전압( $V_W$ )을 인가한다. 이에 제21 FeFET( $F_{21}$ )의 게이트에는 포지티브 라이트 전압( $V_W$ )이 인가되는 반면, 제22 FeFET( $F_{22}$ )의 게이트에는 네거티브 라이트 전압( $-V_W$ )이 인가된다. 이때, 소스 라인( $SL_1$ ,  $SL_2$ )과 리드 라인( $RL_1$ ,  $RL_2$ )은 접지 전압으로 유지한다.

[0050] 따라서 제21 FeFET( $F_{21}$ )의 게이트-소스 및 게이트-드레인 전압은 포지티브 라이트 전압( $V_W$ )으로 나타나고, 제22 FeFET( $F_{22}$ )의 게이트-소스 및 게이트-드레인 전압은 네거티브 라이트 전압( $-V_W$ )으로 나타난다. 이에 제21 FeFET( $F_{21}$ )의 문턱전압( $V_{TH}$ )은 제1 문턱전압( $V_{TH1}$ )으로 낮아지는 반면, 제22 FeFET( $F_{22}$ )의 문턱전압( $V_{TH}$ )은 제2 문턱전압( $V_{TH2}$ )으로 높아지게 된다.

[0051] 도 4의 (b)를 참조하면, 리드 과정에서는 선택된 행에 대응하는 제2 리드 라인( $RL_2$ )으로 기지정된 드레인 리드 전압( $V_{D\_READ}$ )을 인가하고, 나머지 리드 라인( $RL_1$ )과 모든 비트 라인( $BL_1$ ,  $BL_2$ ), 워드 라인( $WL_1$ ,  $WL_2$ ) 및 소스 라인( $SL_1$ ,  $SL_2$ )은 접지 전압을 인가한다.

[0052] 제2 리드 라인( $RL_2$ )으로 드레인 리드 전압( $V_{D\_READ}$ )이 인가되면, 네거티브 문턱전압( $V_{TH}$ )인 제1 문턱전압( $V_{TH1}$ )을 갖는 제21 FeFET( $F_{21}$ )에는 전류( $I_{ON}$ )가 흐르는 반면, 제22 FeFET( $F_{22}$ )는 포지티브의 제2 문턱전압( $V_{TH2}$ )을 가지므로, 제22 FeFET( $F_{22}$ )을 통해서는 전류( $I_{ON}$ )가 흐르는 반면, 제22 FeFET( $F_{22}$ )에서는 전류가 흐르지 않는다. 이에 전류( $I_{ON}$ )를 측정하여 제21 FeFET( $F_{21}$ )과 제22 FeFET( $F_{22}$ ) 각각에 저장된 데이터를 판별할 수 있다.

[0053] 도 4에 도시된 1T + 1FeFET 구조의 강유전체 메모리 장치는 도 3의 1FeFET 구조의 강유전체 메모리 장치에 비해 각 메모리 셀에 1개의 트랜지스터가 추가됨으로 인해 집적도가 일부 낮아지는 반면, 라이트 동작시에 라이트 디스터번스가 발생하지 않는 장점이 있다. 그러나 1T + 1FeFET 구조의 강유전체 메모리 장치에서는 추가된 트랜지스터의 문턱전압으로 인해, 제21 FeFET( $F_{21}$ )의 게이트에 실제로 인가되는 전압 레벨이 포지티브 라이트 전압( $V_W$ )보다 낮아지는 문턱전압 강하( $V_{TH}$  drop)가 발생한다. 또한 라이트 동작 시에 모든 비트 라인( $BL_1$ ,  $BL_2$ )과 워드 라인( $WL_1$ ,  $WL_2$ )에 한번의 전압 레벨 스윙이 요구되고, 리드 동작 시에 리드 라인( $RL_2$ )과 소스 라인( $SL_1$ )이 구동되어 정적 전류 흐름이 발생됨에 따라 여전히 전력 소모가 크다는 문제가 있다.

[0054] 여기서 강유전체 메모리 장치가 전압을 감지하지 않고 전류를 측정하여 데이터를 판별하는 것은 스니크 전류(sneak current)가 발생할 수 있기 때문이다.

[0055] 도 4의 (b)와 같이, 선택된 제2 리드 라인( $RL_2$ )으로 기지정된 드레인 리드 전압( $V_{D\_READ}$ )을 인가하고, 나머지 리드 라인( $RL_1$ )과 모든 비트 라인( $BL_1$ ,  $BL_2$ ), 워드 라인( $WL_1$ ,  $WL_2$ ) 및 소스 라인( $SL_1$ ,  $SL_2$ )은 접지 전압을 인가하고, 일 예로 1의 데이터가 저장된 제21 FeFET( $F_{21}$ )과 동일한 소스 라인( $SL_1$ )에 연결된 제11 FeFET( $F_{11}$ )에 네거티브 문턱전압( $V_{TH}$ )인 제1 문턱전압( $V_{TH1}$ )을 갖는 경우, 즉 선택되지 않은 행의 제11 FeFET( $F_{11}$ )에 1의 데이터가 저장된 경우에, 제21 FeFET( $F_{21}$ )을 통해 소스 라인( $SL_1$ )으로 흐르는 전류가 다시 제11 FeFET( $F_{11}$ )을 통해 선택되지 않은 리드 라인( $RL_1$ )으로도 흐르는 스니크 전류가 발생하게 된다. 그리고 이러한 스니크 전류로 인해 소스 라인( $SL_1$ )의 전압 레벨에 변화하게 된다. 따라서 전압을 감지하는 방식으로 데이터를 판별할 수 없다.

[0056] 도 5는 2T + 1FeFET 구조의 강유전체 메모리 장치의 리드/라이트 동작을 설명하기 위한 도면이다.

[0057] 도 5는 각 메모리 셀에서 1개의 트랜지스터( $T_{111}$ ,  $T_{112}$ ,  $T_{121}$ ,  $T_{122}$ )와 1개의 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ ) 이외에 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )의 드레인과 리드 라인( $RL_1$ ,  $RL_2$ ) 사이에 연결되는 1개의 트랜지스터( $T_{211}$ ,  $T_{212}$ ,  $T_{221}$ ,  $T_{222}$ )를 추가로 구비하고, 추가된 트랜지스터( $T_{211}$ ,  $T_{212}$ ,  $T_{221}$ ,  $T_{222}$ )의 게이트가 대응하는 데이터 라인( $DL_1$ ,  $DL_2$ )에 연결된다.

[0058] 도 5의 (a)를 참조하면, 2T + 1FeFET 구조의 강유전체 메모리 장치에서 라이트 동작은 1T + 1FeFET 구조의 강유전체 메모리 장치와 유사하게 선택되는 제2 워드 라인( $WL_2$ )에 기지정된 포지티브 라이트 전압( $V_W$ )을 인가하고, 선택되지 않은 나머지 워드 라인( $WL_1$ )에는 네거티브 라이트 전압( $-V_W$ )을 인가한다. 그리고 1의 데이터가 라이트 되어야 하는 제21 FeFET( $F_{21}$ )에 대응하는 제1 비트 라인( $BL_1$ )에는 포지티브 라이트 전압( $V_W$ )을 인가하고, 0의 데

이터가 라이트되어야 하는 제22 FeFET( $F_{22}$ )에 대응하는 제2 비트 라인( $BL_2$ )에는 포지티브 라이트 전압( $V_W$ )을 인가한다. 이때, 소스 라인( $SL_1$ ,  $SL_2$ )과 리드 라인( $RL_1$ ,  $RL_2$ ) 및 데이터 라인( $DL_1$ ,  $DL_2$ )은 접지 전압으로 유지한다.

[0059] 한편 도 5의 (b)를 참조하면, 리드 동작 시에는 선택된 행에 대응하는 제2 리드 라인( $RL_2$ )으로 기지정된 드레인 리드 전압( $V_{D\_READ}$ )을 인가하고, 나머지 리드 라인( $RL_1$ )을 인가하고, 소스 라인( $SL_1$ ,  $SL_2$ )은 접지 전압을 인가하는 점에서 도 4의 1T + 1FeFET 구조의 강유전체 메모리 장치와 동일하다. 따라서 여전히 모든 비트 라인( $BL_1$ ,  $BL_2$ )과 워드 라인( $WL_1$ ,  $WL_2$ )에 한번의 전압 레벨 스위치가 요구되어 전력 소모가 크다.

[0060] 그러나 2T + 1FeFET 구조의 강유전체 메모리 장치는 리드 동작시에 비트 라인( $BL_1$ ,  $BL_2$ )에 기지정된 게이트 리드 전압( $V_{G\_READ}$ )을 인가하고, 데이터 라인( $DL_1$ ,  $DL_2$ )으로는 기지정된 데이터 전압( $V_{DD}$ )을 인가한다. 이에 2T + 1FeFET 구조의 강유전체 메모리 장치는 리드 전류( $I_{ON}$ )가 흐르는 경로 상에 추가 트랜지스터( $T_{211}$ ,  $T_{212}$ ,  $T_{221}$ ,  $T_{222}$ )를 구비하여, 1T + 1FeFET 구조의 강유전체 메모리 장치에 비해 리드 동작 시에 정적 전류량을 감소시키지만 여전히 정적 전류가 흐르는 점에서 전류 소모량이 적지 않을 뿐만 아니라, 각 메모리 셀에 2개의 트랜지스터가 구비됨으로써, 집적도가 낮아지게 된다는 한계가 있다.

[0061] 특히 포지티브 레벨의 전압뿐만 아니라 네거티브 레벨의 전압을 이용해야 함으로 인해, 전원 공급부의 구성이 매우 복잡해지는 문제가 있다.

[0062] 도 6은 본 발명의 일 실시예에 따른 강유전체 메모리 소자의 히스테리시스 특성을 나타낸 도면이다.

[0063] 도 1에 도시된 FeFET 소자의 히스테리시스 커브의 패턴은 FeFET 소자에 게이트 전극 구조나 강유전체층 내부에 금속층 추가를 비롯하여 구조 변화나 조성 변화 등을 통해 다양하게 변형될 수 있다. 이에 본 실시예에서는 도 6에 도시된 바와 같이, FeFET 소자의 히스테리시스 커브의 패턴을 포지티브 전압 방향으로 시프트되도록 하며, 특히 낮은 전압 레벨의 제1 문턱전압( $V_{TH1}$ )이 포지티브 전압 레벨이 되도록 FeFET 소자의 히스테리시스 커브의 패턴이 시프트되도록 한다. 이에 제1 문턱전압( $V_{TH1}$ )과 제2 문턱전압( $V_{TH2}$ )은 모두 포지티브 전압 레벨(여기서는 일 예로 0.68V 및 1.58V)이 될 수 있다.

[0064] 도 6에 도시된 바와 같이, FeFET 소자의 히스테리시스 커브의 패턴을 포지티브 전압 방향으로 시프트되도록 하는 기법은 공지된 기술이므로 여기서는 상세한 설명은 생략한다.

[0065] 도 7은 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 라이트 동작을 설명하기 위한 도면이고, 도 8은 도 7의 강유전체 메모리 장치의 라이트 타이밍 다이어그램을 나타낸다.

[0066] 도 7을 참조하면, 본 실시예에 따른 강유전체 메모리 장치의 구조는 기본적으로 도 4에 도시된 1T + 1FeFET 강유전체 메모리 장치와 동일하다. 즉 다수의 워드 라인(WL)과 다수의 리드 라인(RL), 다수의 비트 라인(BL) 및 다수의 소스 라인(SL)에 의해 정의되는 다수의 메모리 셀을 구비하는 메모리 셀 어레이를 포함하고, 각 메모리 셀은 1개의 트랜지스터( $T_{11}$ ,  $T_{12}$ ,  $T_{21}$ ,  $T_{22}$ )와 1개의 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )로 구성된다. 다만 본 실시예에서는 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )가 도 6과 같이 히스테리시스 커브의 패턴을 포지티브 전압 방향으로 시프트된 FeFET 소자로 구현된다.

[0067] 각 메모리 셀에서 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )는 다수의 리드 라인(RL)과 다수의 소스 라인(SL) 중 대응하는 리드 라인( $RL_1$ ,  $RL_2$ )과 소스 라인( $SL_1$ ,  $SL_2$ ) 사이에 양단이 연결된다. 그리고 트랜지스터( $T_{11}$ ,  $T_{12}$ ,  $T_{21}$ ,  $T_{22}$ )는 다수의 비트 라인(BL) 중 대응하는 비트 라인( $BL_1$ ,  $BL_2$ )과 대응하는 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )의 게이트 사이에 연결되며, 게이트는 다수의 워드 라인(WL) 중 대응하는 워드 라인( $WL_1$ ,  $WL_2$ )에 연결되는 구조를 갖는다.

[0068] 즉 각 트랜지스터( $T_{11}$ ,  $T_{12}$ ,  $T_{21}$ ,  $T_{22}$ )는 게이트에 연결된 대응하는 워드 라인( $WL_1$ ,  $WL_2$ )으로 인가되는 전압 레벨에 따라 온/오프되어 대응하는 비트 라인( $BL_1$ ,  $BL_2$ )과 FeFET( $F_{11}$ ,  $F_{12}$ ,  $F_{21}$ ,  $F_{22}$ )의 게이트를 전기적으로 연결하거나 차단한다.

[0069] 도 7에서는 일 예로 다수의 워드 라인(WL)과 다수의 리드 라인(RL)이 제1 방향으로 나란하게 진행하도록 배열되고, 다수의 비트 라인(BL) 및 다수의 소스 라인(SL)은 제1 방향과 수직한 제2 방향으로 나란하게 진행하도록 배

열되는 것으로 도시하였으나, 각 라인의 진행 방향은 메모리 셀 어레이의 설계에 따라 상이해질 수 있다.

- [0070] 도 8의 타이밍 다이어그램을 참조하여 도 7의 강유전체 메모리 장치의 라이트 동작을 설명하면, 본 실시예에 따른 강유전체 메모리 장치의 라이트 동작 또한 2개의 단계로 구성된다.
- [0071] 여기서도 일 예로 2행에 배치된 메모리 셀에 데이터를 라이트하는 경우를 가정하여 설명하며, 제2 행에서 제1 열의 메모리 셀에는 1의 데이터를 라이트하고, 제2 열의 메모리 셀에는 0의 데이터를 라이트하는 경우를 가정한다.
- [0072] 우선 제1 단계에서는 데이터가 라이트되도록 선택된 행(여기서는 제2 행)에 대응하는 제2 워드 라인(WL<sub>2</sub>)과 제2 리드 라인(RL<sub>2</sub>)으로만 기지정된 포지티브 라이트 전압(V<sub>W</sub>)(일 예로 4V)을 인가하고, 다수의 소스 라인(SL)은 플로팅(floating)시키며, 나머지 모든 라인은 포지티브 라이트 전압(V<sub>W</sub>)보다 낮은 전압 레벨의 접지 전압으로 유지한다. 즉 선택된 제2 워드 라인(WL<sub>2</sub>)과 제2 리드 라인(RL<sub>2</sub>)의 2개의 라인으로만 동일한 포지티브 라이트 전압(V<sub>W</sub>)을 인가한다.
- [0073] 포지티브 라이트 전압(V<sub>W</sub>)이 제2 워드 라인(WL<sub>2</sub>)으로 인가됨에 따라 제2 워드 라인(WL<sub>2</sub>)에 게이트가 연결된 2개의 트랜지스터(T<sub>21</sub>, T<sub>22</sub>)가 턴온되어, 대응하는 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>)과 대응하는 FeFET(F<sub>21</sub>, F<sub>22</sub>)의 게이트를 연결한다.
- [0074] 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>)이 모두 접지 전압을 유지하고 있으며, 제2 리드 라인(RL<sub>2</sub>)으로도 포지티브 라이트 전압(V<sub>W</sub>)이 인가되고, 소스 라인(SL)은 플로팅 상태이므로, 제21 및 제22 FeFET(F<sub>21</sub>, F<sub>22</sub>) 각각의 게이트-드레인에는 포지티브 라이트 전압(V<sub>W</sub>)만큼의 역전압차가 발생한다. 이에 제21 및 제22 FeFET(F<sub>21</sub>, F<sub>22</sub>)의 문턱전압(V<sub>TH</sub>)이 FeFET의 히스테리시스 특성에 따른 제1 및 제2 문턱전압(V<sub>TH1</sub>, V<sub>TH2</sub>) 중 상대적으로 높은 전압 레벨(일 예로 1.58V)의 제2 문턱전압(V<sub>TH2</sub>)으로 높아지게 된다. 즉 선택된 행의 모든 메모리 셀에 0의 데이터가 라이트된다.
- [0075] 도 4 및 도 5에서는 워드 라인(WL)과 리드 라인(RL)이 각각 라이트 동작 시와 리드 동작 시에 구분되어 이용되었으나, 본 발명에서는 라이트 동작 시에 제1 단계에서 선택된 메모리 셀에 대응하는 리드 라인(RL<sub>2</sub>)으로 포지티브 라이트 전압(V<sub>W</sub>)을 인가한다. 다만 제21 및 제22 FeFET(F<sub>21</sub>, F<sub>22</sub>)의 게이트에 연결되는 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>)이 모두 접지 전압을 유지하고 있으므로, FeFET(F<sub>21</sub>, F<sub>22</sub>)는 오프 상태를 유지하고 있어, 리드 라인(RL<sub>2</sub>)으로 포지티브 라이트 전압(V<sub>W</sub>)이 인가되더라도, 리드 라인(RL<sub>2</sub>)이 포지티브 라이트 전압(V<sub>W</sub>)로 차지될 뿐, 대응하는 소스 라인(SL<sub>1</sub>, SL<sub>2</sub>)과의 전류 경로가 형성되지 않아 전력 소모량은 매우 미미한 수준이다. 또한 제2 워드 라인(WL<sub>2</sub>)은 제21 및 제22 FeFET(F<sub>21</sub>, F<sub>22</sub>)의 게이트에 연결되므로 마찬가지로 전력 소모량이 매우 적다.
- [0076] 이후, 제2 단계에서 제2 워드 라인(WL<sub>2</sub>)은 포지티브 라이트 전압(V<sub>W</sub>)이 그대로 인가되고, 제2 리드 라인(RL<sub>2</sub>)은 접지 전압을 인가한다. 그리고 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 제1 비트 라인(BL<sub>1</sub>)으로 포지티브 라이트 전압(V<sub>W</sub>)을 인가한다. 이때 선택되지 않은 워드 라인(WL<sub>1</sub>)과 리드 라인(RL<sub>1</sub>) 및 비트 라인(BL<sub>2</sub>)은 접지 전압이 유지되고, 소스 라인(SL)은 플로팅 상태를 유지한다. 즉 제2 리드 라인(RL<sub>2</sub>)과 제1 비트 라인(BL<sub>1</sub>)에만 전압 스윙이 발생한다.
- [0077] 이에 제21 FeFET(F<sub>21</sub>)의 게이트에는 포지티브 라이트 전압(V<sub>W</sub>)이 인가되고, 드레인에는 접지 전압이 인가되어 제21 FeFET(F<sub>21</sub>)의 게이트-드레인에는 포지티브 라이트 전압(V<sub>W</sub>)만큼의 전압차가 발생하여, 제21 FeFET(F<sub>21</sub>)의 문턱전압(V<sub>TH</sub>)이 상대적으로 낮은 전압 레벨(일 예로 0.68V)의 제1 문턱전압(V<sub>TH1</sub>)으로 낮아지게 된다. 즉 해당 메모리 셀에 데이터 1이 라이트 된다. 이때 제21 FeFET(F<sub>21</sub>)의 게이트에는 제2 비트 라인(BL<sub>2</sub>)을 통해 접지 전압이 인가되므로, 게이트-드레인 전압차가 발생하지 않아 제2 문턱전압(V<sub>TH2</sub>)을 유지한다.
- [0078] 즉 본 실시예에 따른 강유전체 메모리 장치는 선택된 행의 메모리 셀에 배치된 메모리 셀에 데이터를 라이트하는 경우에 해당 행에 대응하는 하나의 워드 라인(WL<sub>2</sub>)과 하나의 리드 라인(RL<sub>2</sub>) 및 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인(BL<sub>1</sub>)으로 인가되는 전압 레벨만을 스윙하도록 구성되어, 전력 소모를 크게



줄일 수 있다. 뿐만 아니라, 전압 레벨이 스윙되는 라인들에서도 모두 동일한 포지티브 라이트 전압( $V_W$ )만을 인가하므로, 라이트 동작을 위해 요구되는 전압 레벨로 하나의 전압만을 생성하면 된다. 따라서 강유전체 메모리 장치의 전원 공급 장치의 구성을 매우 단순화할 수 있다.

[0079] 도 9는 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 리드 동작을 설명하기 위한 도면이고, 도 10은 도 7의 강유전체 메모리 장치의 리드 타이밍 다이어그램을 나타낸다.

[0080] 도 9에서도 본 실시예에 따른 강유전체 메모리 장치로 도 7과 마찬가지로 1T + 1FeFET 강유전체 메모리 장치를 도시하였다. 다만, 본 실시예에서 강유전체 메모리 장치는 리드 동작시에 도 3 내지 도 5와 달리 전류가 아닌 전압을 감지하여 데이터를 판별하도록 구성되며, 이에 다수의 소스 라인(SL)에 각각 연결되는 다수의 센스 앰프(SA)를 더 구비한다.

[0081] 도 10을 참조하여, 도 9의 강유전체 메모리 장치의 리드 동작을 설명하면, 선택된 메모리 셀에 대응하는 워드 라인(WL<sub>2</sub>)으로는 기지정된 데이터 전압( $V_{DD}$ )을 인가하고, 리드 라인(RL<sub>2</sub>)으로는 기지정된 드레인 리드 전압( $V_{D\_READ}$ )을 인가하여 워드 라인(WL<sub>2</sub>)과 리드 라인(RL<sub>2</sub>)을 각각 데이터 전압( $V_{DD}$ )과 드레인 리드 전압( $V_{D\_READ}$ ) 레벨로 프리차지 한다.

[0082] 그리고 선택되지 않은 워드 라인(WL<sub>1</sub>)과 리드 라인(RL<sub>1</sub>)은 접지 전압으로 유지하고, 모든 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>)으로는 기지정된 게이트 리드 전압( $V_{G\_READ}$ )을 인가하며, 모든 소스 라인(SL)은 플로팅 상태를 유지한다.

[0083] 즉 본 실시예에서는 선택된 메모리 셀에 대응하는 워드 라인(WL<sub>2</sub>)을 라이트 동작시 뿐만 아니라 리드 동작시에도 데이터 전압( $V_{DD}$ )을 인가하여 활용한다.

[0084] 여기서 게이트 리드 전압( $V_{G\_READ}$ )은 제1 문턱전압( $V_{TH1}$ )과 제2 문턱전압( $V_{TH2}$ ) 사이의 전압 레벨(일 예로 1V)을 가질 수 있다. 그리고 데이터 전압( $V_{DD}$ )은 게이트 리드 전압( $V_{G\_READ}$ )과 동일한 레벨로 설정될 수 있으며, 드레인 리드 전압( $V_{D\_READ}$ )은 게이트 리드 전압( $V_{G\_READ}$ )과 포지티브 라이트 전압( $V_W$ ) 사이의 전압 레벨(예를 들면 1.5V)를 가질 수 있다.

[0085] 워드 라인(WL<sub>2</sub>)으로는 데이터 전압( $V_{DD}$ )이 인가되어, 2개의 트랜지스터(T<sub>21</sub>, T<sub>22</sub>)는 턴온 상태가 되고, 이에 비트 라인(BL<sub>1</sub>, BL<sub>2</sub>)으로 인가된 게이트 리드 전압( $V_{G\_READ}$ )이 제21 및 제22 FeFET(F<sub>21</sub>, F<sub>22</sub>)의 게이트에 인가된다. 이때, 낮은 제1 문턱전압( $V_{TH1}$ )을 갖는 제21 FeFET(F<sub>21</sub>)은 제1 비트 라인(BL<sub>1</sub>)과 제21 트랜지스터(T<sub>21</sub>)를 통해 인가된 게이트 리드 전압( $V_{G\_READ}$ )에 응답하여 턴온 되지만, 제22 FeFET(F<sub>22</sub>)은 상대적으로 높은 제2 문턱전압( $V_{TH2}$ )을 가지므로 턴오프 상태로 유지된다. 그리고 제21 및 제22 FeFET(F<sub>21</sub>, F<sub>22</sub>)의 드레인에는 드레인 리드 전압( $V_{D\_READ}$ )으로 프리차지된 리드 라인(RL<sub>2</sub>)이 연결되고, 소스에는 플로팅 상태의 소스 라인(SL<sub>1</sub>, SL<sub>2</sub>)이 각각 연결되어 있다.

[0086] 이에 제2 리드 라인(RL<sub>2</sub>)을 통해 제21 FeFET(F<sub>21</sub>)의 드레인으로 인가된 드레인 리드 전압( $V_{D\_READ}$ )이 제1 소스 라인(SL<sub>1</sub>)을 통해 대응하는 센스 앰프(SA)로 인가된다. 그러나 제22 FeFET(F<sub>22</sub>)에서는 제2 문턱전압( $V_{TH2}$ )으로 인해, 제2 리드 라인(RL<sub>2</sub>)을 통해 인가된 드레인 리드 전압( $V_{D\_READ}$ )이 차단되어 제2 소스 라인(SL<sub>2</sub>)은 플로팅 상태를 유지한다. 즉 센스 앰프(SA)에 드레인 리드 전압( $V_{D\_READ}$ )이 인가되지 않는다.

[0087] 따라서 각 센스 앰프는 대응하는 소스 라인(SL<sub>1</sub>, SL<sub>2</sub>)을 통해 인가되는 전압 레벨을 감지하여 해당 메모리 셀에 저장된 데이터를 판별할 수 있다.

[0088] 센스 앰프(SA)는 일반적으로 OP 앰프 등으로 구현되어, 입력 단자 측에서 전류가 흐르지 않는다. 따라서 제2 리드 라인(RL<sub>2</sub>)으로부터 제1 소스 라인(SL<sub>1</sub>)으로 드레인 리드 전압( $V_{D\_READ}$ )이 인가되더라도, 제1 소스 라인(SL<sub>1</sub>)이 차지되는 동안 일시적으로만 전류(I<sub>ON</sub>)가 흐르고 이후로는 전류(I<sub>ON</sub>)가 흐르지 않게 된다. 전력 소비가 극히 미미한 수준으로 데이터를 리드할 수 있게 된다.

[0089] 결과적으로 본 실시예에 따른 강유전체 메모리 장치는 리드 및 라이트 동작 모두에서 리드 라인과 워드 라인을 함께 이용하고, 전압을 기반으로 데이터를 감지하도록 함으로써 전력 소모를 크게 줄일 수 있을 뿐만 아니라 네

거티브 전압을 생성하지 않으면서 적은 수의 전압 레벨로 데이터를 리드 및 라이트 할 수 있다.

- [0090] 도 11은 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 개략적 구조를 나타낸다.
- [0091] 도 11을 참조하면, 본 실시예의 강유전체 메모리 장치는 메모리 셀 어레이(110), 센스 앰프부(120), 로우 디코더(130), 칼럼 디코더(140), 데이터 입출력부(150) 및 전원 공급부(160)를 포함할 수 있다.
- [0092] 메모리 셀 어레이(110)에는 다수의 워드 라인(WL)과 다수의 리드 라인(RL), 다수의 비트 라인(BL) 및 다수의 소스 라인(SL) 각각이 기지정된 방향으로 배열되고, 다수의 워드 라인(WL)과 다수의 리드 라인(RL), 다수의 비트 라인(BL) 및 다수의 소스 라인(SL)에 의해 정의되는 다수의 메모리 셀(MC)을 구비한다. 그리고 다수의 메모리 셀(MC) 각각은 도 7 및 도 9에 도시된 바와 같이, 1개의 트랜지스터(T)와 1개의 FeFET(F)로 구성되어, FeFET의 문턱전압 레벨에 따라 서로 다른 데이터를 저장할 수 있다.
- [0093] 센스 앰프부(120)는 메모리 셀 어레이(110)의 다수의 소스 라인(SL)에 각각 연결되는 다수의 센스 앰프를 구비하고, 리드 동작 시에 소스 라인을 통해 인가되는 전압을 감지 및 증폭하여 데이터 입출력부(150)로 전달한다. 즉 선택된 메모리 셀에 저장된 데이터를 판별하여 데이터 입출력부(150)에 저장한다.
- [0094] 로우 디코더(130)는 리드 또는 라이트되는 메모리 셀을 지정하기 위해 인가되는 어드레스 정보 중 로우 어드레스와 리드 또는 라이트 명령을 인가받는다. 로우 디코더(130)는 로우 어드레스를 디코딩하여 다수의 워드 라인(WL)과 다수의 리드 라인(RL) 중 로우 어드레스에 대응하는 워드 라인(WL)과 리드 라인(RL)을 선택하고, 리드 명령인지 라이트 명령인지에 따라 선택된 워드 라인(WL)과 리드 라인(RL) 각각에 기지정된 전압을 인가하여 활성화한다.
- [0095] 로우 디코더(130)는 라이트 명령이 인가되면, 제1 단계에서 선택된 워드 라인(WL)과 리드 라인(RL)에 모두 기지정된 포지티브 라이트 전압( $V_W$ )을 인가하고, 이후, 제2 단계에서 선택된 워드 라인(WL)에는 포지티브 라이트 전압( $V_W$ )을 그대로 인가하는 반면, 리드 라인(RL)에는 접지 전압을 인가한다.
- [0096] 한편 로우 디코더(130)는 리드 명령이 인가되면, 선택된 워드 라인(WL)으로는 기지정된 데이터 전압( $V_{DD}$ )을 인가하고, 선택된 리드 라인(RL)으로는 기지정된 드레인 리드 전압( $V_{D\_READ}$ )을 인가하여 활성화한다.
- [0097] 칼럼 디코더(140)는 어드레스 정보 중 칼럼 어드레스를 인가받아 칼럼 어드레스를 디코딩하여 데이터 입출력부(150)로 전달한다.
- [0098] 데이터 입출력부(150)는 리드 또는 라이트 명령과 인가받고, 칼럼 디코더(140)로부터 디코딩된 칼럼 어드레스를 인가받는다. 데이터 입출력부(150)는 인가된 명령이 라이트 명령이면, 우선 제1 단계에서 모든 비트 라인(BL)에 접지 전압을 인가하고, 모든 소스 라인(SL)을 플로팅 시켜, 로우 디코더(130)에 의해 선택된 워드 라인(WL)과 리드 라인(RL)에 연결된 모든 메모리 셀(MC)의 FeFET(F)의 문턱전압이 높은 전압 레벨의 제2 문턱전압( $V_{TH2}$ )이 되도록 하여 0의 데이터가 라이트되도록 한다.
- [0099] 그리고 제2 단계에서 각 칼럼 어드레스에 대응하여 인가되는 데이터에 따라 1의 데이터가 라이트되어야 하는 메모리 셀에 대응하는 비트 라인(BL)에 포지티브 라이트 전압( $V_W$ )을 인가하여, 해당 비트 라인(BL)에 연결된 메모리 셀(MC)의 FeFET(F)의 문턱전압이 낮은 전압 레벨의 제1 문턱전압( $V_{TH1}$ )이 되도록 하여 1의 데이터가 라이트되도록 한다.
- [0100] 한편 데이터 입출력부(150)는 인가된 명령이 리드 명령이면, 모든 비트 라인(BL)에 게이트 리드 전압( $V_{G\_READ}$ )을 인가하고, 센스 앰프부(120)의 다수의 센스 앰프에서 증폭되어 판별된 데이터를 인가받아 외부로 출력한다.
- [0101] 여기서 로우 디코더(130)와 칼럼 디코더(140) 및 데이터 입출력부(150)의 구성을 일 예로서 리드 라이트 제어부로 통합될 수 있다.
- [0102] 전원 공급부(160)는 포지티브 라이트 전압( $V_W$ )과 데이터 전압( $V_{DD}$ ), 드레인 리드 전압( $V_{D\_READ}$ ) 및 게이트 리드 전압( $V_{G\_READ}$ )을 생성하여, 로우 디코더(130)로 포지티브 라이트 전압( $V_W$ )을 인가하고, 데이터 입출력부(150)로 데이터 전압( $V_{DD}$ )과 드레인 리드 전압( $V_{D\_READ}$ ) 및 게이트 리드 전압( $V_{G\_READ}$ )을 출력한다.
- [0103] 도 12는 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 라이트 방법을 나타낸다.

- [0104] 도 7, 도 8 및 도 11을 참조하여, 본 실시예에 따른 강유전체 메모리 장치의 라이트 방법을 설명하면, 우선 제1 단계(S10)에서 인가된 어드레스 정보 중 로우 어드레스 정보를 디코딩하여 다수의 워드 라인(WL)과 다수의 리드 라인(RL) 중 로우 어드레스에 대응하는 워드 라인(WL)과 리드 라인(RL)을 선택한다(S11). 즉 메모리 셀 어레이(100)의 다수의 메모리 셀(MC) 중 행 단위로 메모리 셀(MC)을 선택한다. 그리고 라이트 명령에 응답하여 선택된 워드 라인(WL)과 리드 라인(RL)에 모두 기지정된 포지티브 라이트 전압( $V_W$ )을 인가한다(S12). 이때, 비트 라인(BL)과 선택되지 않은 나머지 워드 라인(WL)과 리드 라인(RL)으로는 접지 전압을 유지하고, 소스 라인은 플로팅시켜, 선택된 워드 라인(WL)과 리드 라인(RL)에 연결된 모든 메모리 셀(MC)의 FeFET(F)의 문턱전압이 높은 전압 레벨의 제2 문턱전압( $V_{TH2}$ )이 되도록 하여 0의 데이터가 라이트되도록 한다(S13).
- [0105] 이후, 제2 단계(S20)에서는 인가된 어드레스 정보 중 칼럼 어드레스를 디코딩하고 행의 메모리 셀(MC) 각각에 저장될 데이터를 인가받아 획득한다(S21). 그리고 인가된 데이터에 따라 1의 데이터가 라이트되어야 하는 메모리 셀(MC)에 대응하는 비트 라인(BL)을 선택한다(S22). 비트 라인(BL)이 선택되면, 선택된 비트 라인(BL)으로 포지티브 라이트 전압( $V_W$ )을 인가하여 대응하는 메모리 셀(MC)의 FeFET(F)의 문턱전압이 낮은 전압 레벨의 제1 문턱전압( $V_{TH1}$ )이 되도록 하여 1의 데이터가 라이트되도록 한다(S23).
- [0106] 도 13은 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 리드 방법을 나타낸다.
- [0107] 도 9 내지 도 11을 참조하여, 본 실시예에 따른 강유전체 메모리 장치의 리드 방법을 설명하면, 인가된 어드레스 정보 중 로우 어드레스 정보를 디코딩하여 다수의 워드 라인(WL)과 다수의 리드 라인(RL) 중 로우 어드레스에 대응하는 워드 라인(WL)과 리드 라인(RL)을 선택한다(S31). 그리고 리드 명령에 응답하여, 선택된 워드 라인(WL)으로는 기지정된 데이터 전압( $V_{DD}$ )을 인가하고, 선택된 리드 라인(RL)으로는 기지정된 드레인 리드 전압( $V_{D\_READ}$ )을 인가한다(S32).
- [0108] 또한 모든 비트 라인(BL)에 게이트 리드 전압( $V_{G\_READ}$ )을 인가하고, 모든 소스 라인(SL)은 플로팅 시킨다(S33).
- [0109] 이후 각 메모리 셀(MC)의 FeFET(F)의 문턱전압에 따라 소스 라인(SL)으로 인가되는 전압을 감지 증폭하여 데이터를 판별한다(S34). 그리고 판별된 데이터를 출력한다(S35).
- [0110] 본 발명에 따른 방법은 컴퓨터에서 실행시키기 위한 매체에 저장된 컴퓨터 프로그램으로 구현될 수 있다. 여기서 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스 될 수 있는 임의의 가용 매체일 수 있고, 또한 컴퓨터 저장 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함하며, ROM(판독 전용 메모리), RAM(랜덤 액세스 메모리), CD(컴팩트 디스크)-ROM, DVD(디지털 비디오 디스크)-ROM, 자기 테이프, 플로피 디스크, 광데이터 저장장치 등을 포함할 수 있다.
- [0111] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.
- [0112] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

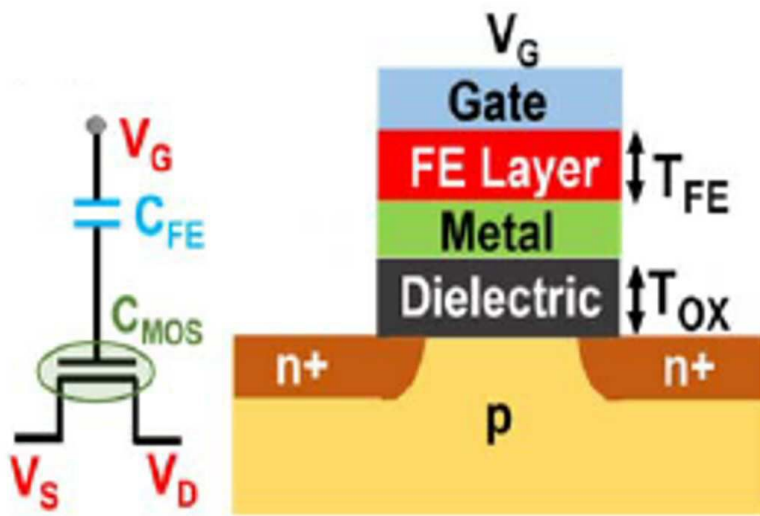
### 부호의 설명

- [0113] 110: 메모리 셀 어레이                      120: 센스 앰프부  
130: 로우 디코더                              140: 칼럼 디코더  
150: 데이터 입출력부                      160: 전원 공급부

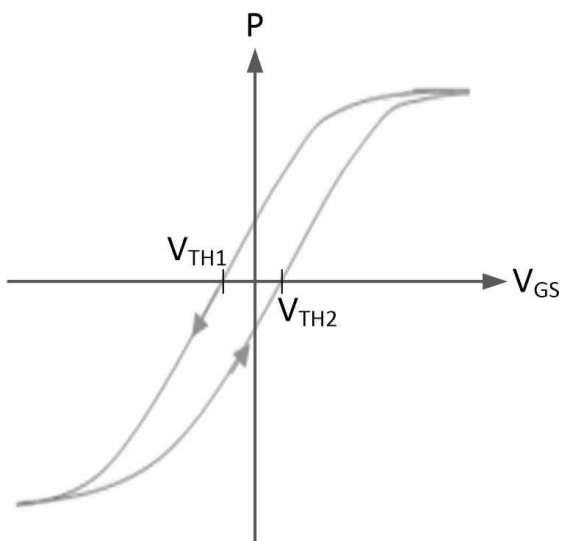


도면

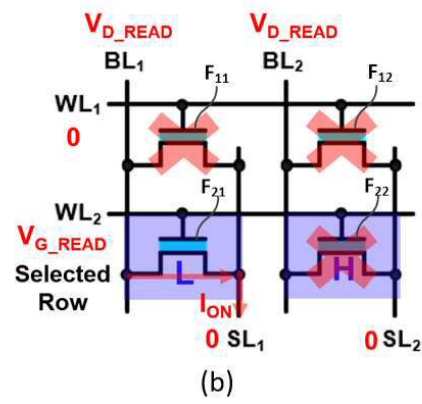
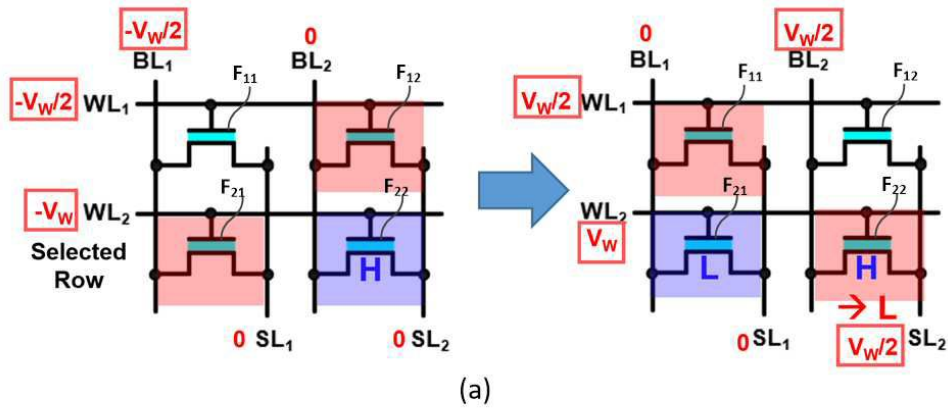
도면1



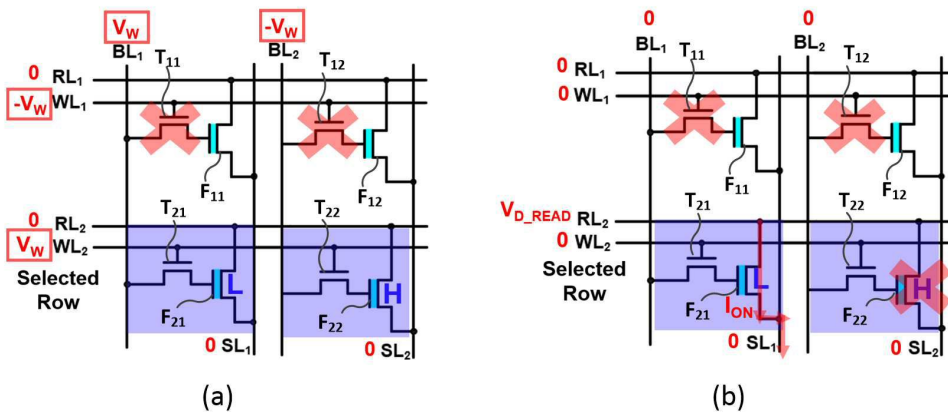
도면2



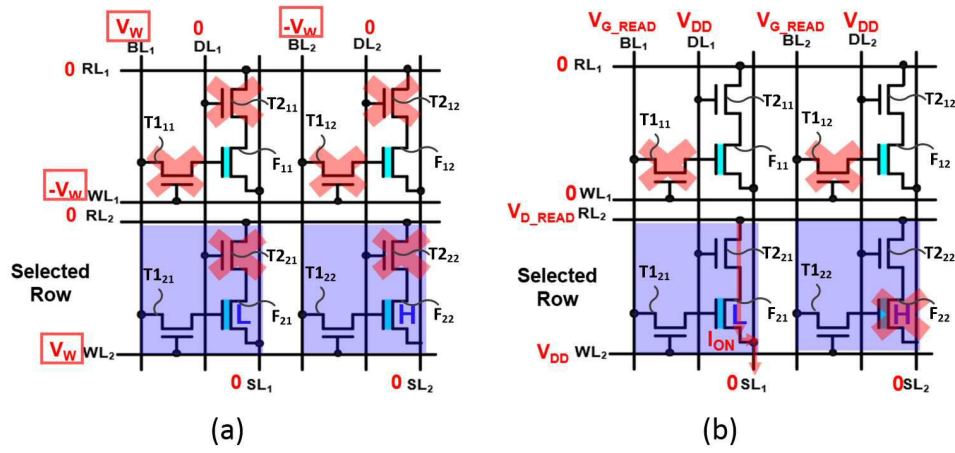
도면3



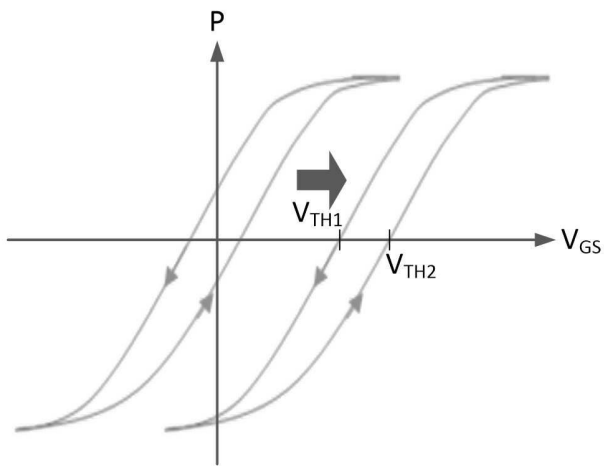
도면4



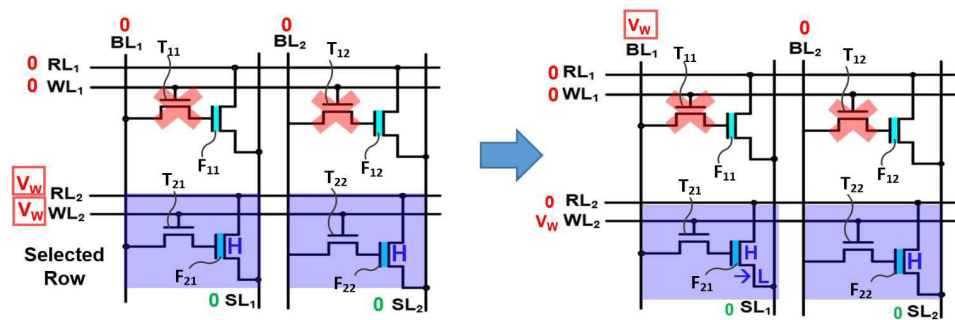
도면5



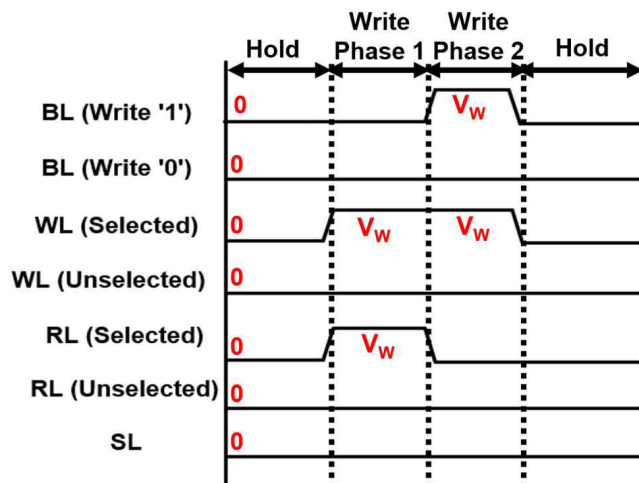
도면6



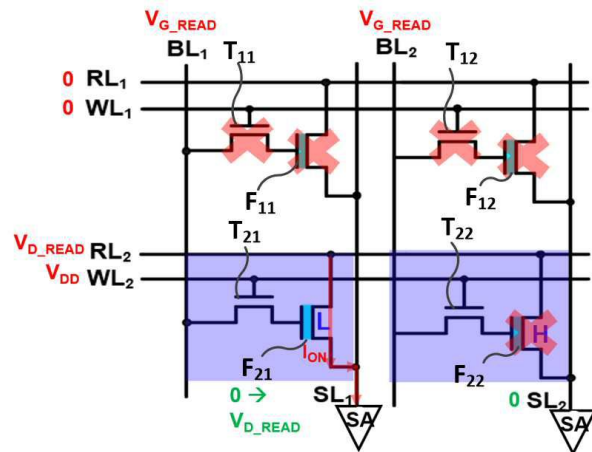
도면7



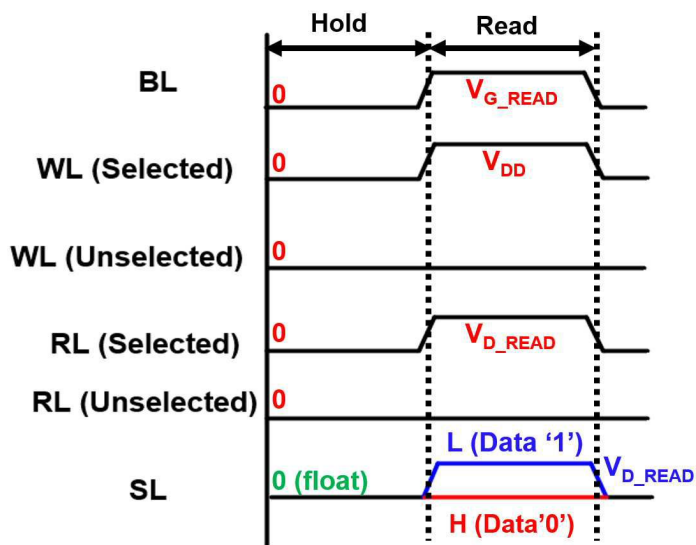
도면8



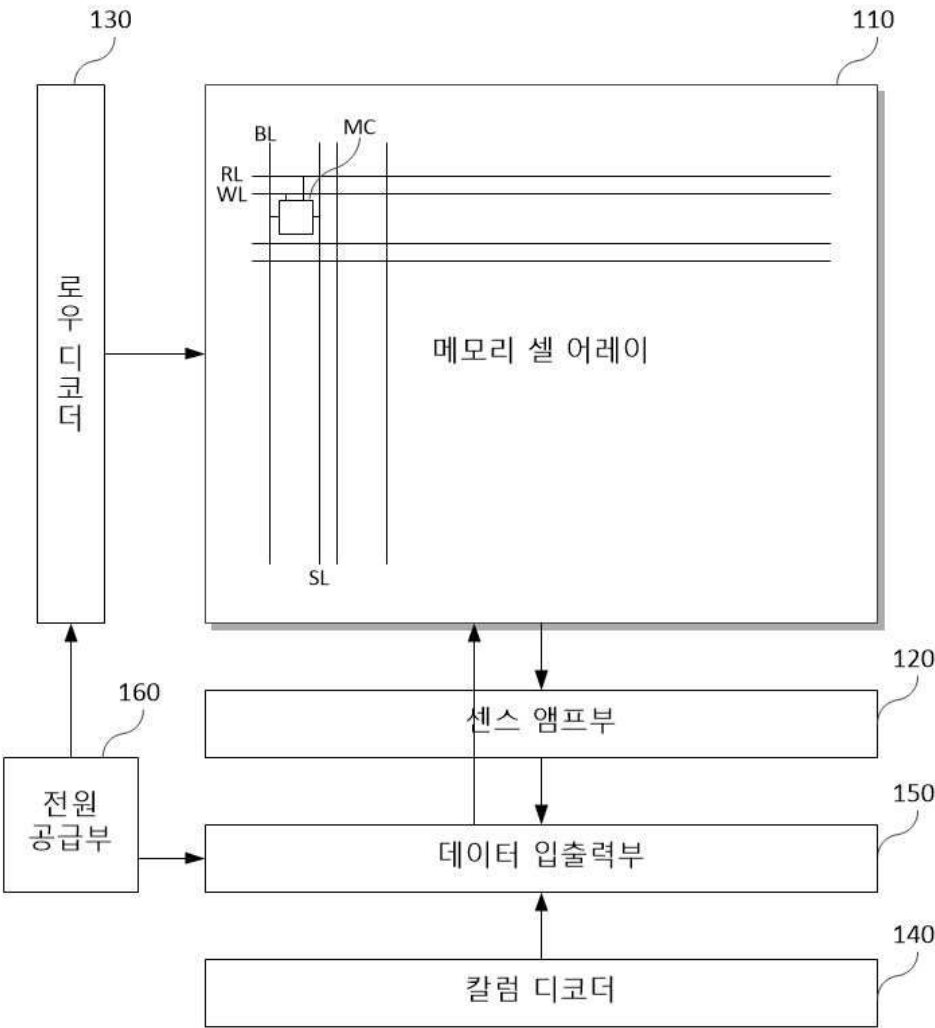
도면9



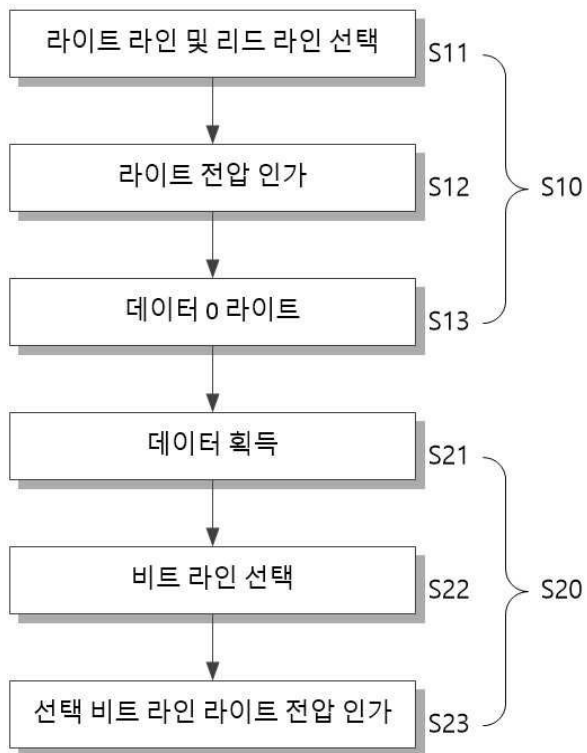
도면10



도면11



도면12



도면13

