



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0012777
(43) 공개일자 2023년01월26일

(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) G11C 7/10 (2021.01)
G11C 7/12 (2006.01) G11C 8/08 (2006.01)
(52) CPC특허분류
G11C 15/04 (2013.01)
G11C 7/1078 (2013.01)
(21) 출원번호 10-2021-0093467
(22) 출원일자 2021년07월16일
심사청구일자 2021년07월16일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 연세대학교 제3
공학관 C513(신촌동)
임세희
서울특별시 서대문구 연세로 50, 연세대학교 제3
공학관 C712(신촌동)
(74) 대리인
민영준

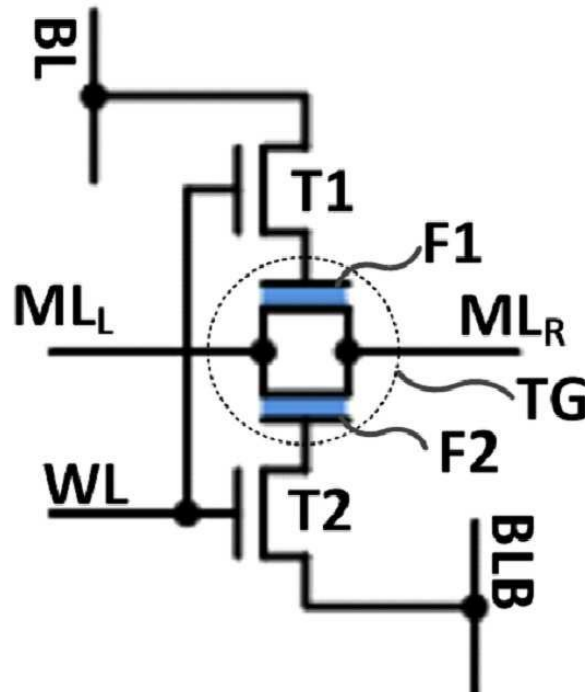
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 강유전체 소자 기반 NAND 타입 내용 주소화 메모리 셀 및 이를 포함하는 내용 주소화 메모리

(57) 요약

본 발명은 TCAM 셀 각각이 양단이 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인 사이에 직렬로 연결되는 제1 FeFET, 상기 제1 FeFET와 병렬로 연결되어 양단이 대응하는 매치라인 사이에 직렬로 연결되는 제2 FeFET, 상기 제1 FeFET의 게이트와 다수의 비트라인 중 대응하는 비트라인 사이에 연결되고, 게이트가 다수의 위
(뒷면에 계속)

대표도 - 도4



드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터 및 상기 제2 FeFET의 게이트와 다수의 비트라인 바 중 대응하는 비트라인바 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함하여, 적은 개수의 소자로 구성되어 좁은 면적에 고집적화하여 소형으로 제조될 수 있으며, 네거티브 전압을 이용하지 않고 라이트 디스터번스가 발생하지 않아 선택된 TCAM 셀에 안정적으로 데이터를 라이트할 수 있을 뿐만 아니라, 에너지 소모를 줄이면서 빠른 검색을 수행할 수 있는 NAND 타입 TCAM 셀 및 이를 포함하는 TCAM을 제공한다.

(52) CPC특허분류

G11C 7/12 (2013.01)

G11C 8/08 (2013.01)

(72) 발명자

고동한

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

김세권

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711097930
과제번호	2019M3F3A1A02071969
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자핵심선도기술
연구과제명	전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2019.06.28 ~ 2021.12.31

명세서

청구범위

청구항 1

양단이 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인 사이에 직렬로 연결되는 제1 FeFET;

상기 제1 FeFET와 병렬로 연결되어 양단이 대응하는 매치라인 사이에 직렬로 연결되는 제2 FeFET;

상기 제1 FeFET의 게이트와 다수의 비트라인 중 대응하는 비트라인 사이에 연결되고, 게이트가 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및

상기 제2 FeFET의 게이트와 다수의 비트라인바 중 대응하는 비트라인바 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함하는 NAND 타입 TCAM 셀.

청구항 2

제1항에 있어서, 상기 TCAM 셀은

라이트 동작에 의해 데이터 '0'이 저장되는 경우 상기 제1 FeFET는 HVT 상태(High V_{TH} State)를 갖고 상기 제2 FeFET는 LVT 상태(Low V_{TH} State)를 가지며,

데이터 '1'이 저장되는 경우 상기 제1 FeFET는 LVT 상태를 갖고 상기 제2 FeFET는 HVT 상태를 가지며,

데이터 'X'(don't care)가 저장되는 경우에는 상기 제1 및 제2 FeFET가 모두 LVT 상태를 갖는 NAND 타입 TCAM 셀.

청구항 3

제2항에 있어서, 상기 TCAM 셀은

상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 상기 TCAM 셀에 저장되는 데이터에 따라 제1 및 제2 FET가 LVT 상태를 갖도록 하는 제1 단계와

상기 TCAM 셀에 저장될 데이터에 따라 제1 및 제2 FET가 HVT 상태를 갖도록 하는 제2 단계로 상기 라이트 동작이 수행되는 NAND 타입 TCAM 셀.

청구항 4

제3항에 있어서, 상기 제1 및 제2 액세스 트랜지스터는

데이터와 함께 인가되는 어드레스에 의해 대응하는 워드라인이 선택되면, 상기 라이트 동작의 제1 및 제2 단계에서 대응하는 워드라인을 통해 인가되는 HVT보다 높은 기지정된 전압레벨의 라이트 전압에 응답하여 턴온되어, 상기 비트라인과 상기 제1 FeFET의 게이트를 전기적으로 연결하고, 상기 비트라인바와 상기 제2 FeFET의 게이트를 전기적으로 연결하는 NAND 타입 TCAM 셀.

청구항 5

제4항에 있어서, 상기 제1 및 제2 FeFET는

상기 라이트 동작의 제1 단계에서 상기 TCAM 셀에 저장될 데이터에 대응하여 상기 비트라인과 상기 비트라인바 중 적어도 하나를 통해 게이트로 인가되는 상기 라이트 전압에 응답하여 턴온되고, 게이트로 인가된 라이트 전압과 LVT보다 낮은 기지정된 전압레벨의 접지 전압을 갖는 상기 매치라인 사이의 전압차에 따라 LVT 상태를 갖고,

상기 라이트 동작의 제2 단계에서 상기 TCAM 셀에 저장될 데이터에 대응하여 상기 비트라인 또는 상기 비트라인바를 통해 게이트로 인가되는 상기 접지 전압과 대응하는 매치라인을 통해 인가되는 상기 라이트 전압 사이의

전압차에 따라 HVT 상태를 갖는 NAND 타입 TCAM 셀.

청구항 6

제2항에 있어서, 상기 TCAM 셀은

상기 대응하는 매치라인에서 상기 TCAM 셀을 기준으로 일측에 위치한 매치라인이 LVT와 HVT 사이의 기지정된 전압레벨을 갖는 전원 전압으로 프리차지되는 프리차지 단계와

상기 TCAM 셀의 제1 및 제2 FeFET의 상태와 검색될 데이터에 따라 상기 비트라인 및 상기 비트라인바를 통해 인가되는 전압레벨이 서로 대응하면, 상기 제1 및 제2 FeFET 중 턴온된 FeFET를 통해 상기 일측에 위치한 매치라인과 상기 TCAM 셀의 타측에 위치한 매치라인이 전기적으로 연결되어, 일측의 매치라인에 프리차지된 전압이 타측의 매치라인으로 전달되는 매치 평가 단계를 포함하여 검색 동작이 수행되는 NAND 타입 TCAM 셀.

청구항 7

제6항에 있어서, 상기 제1 및 제2 액세스 트랜지스터는

상기 검색 동작의 상기 프리차지 단계와 상기 매치 평가 단계에서 상기 워드라인이 상기 전원 전압의 레벨을 가져 턴온되어, 상기 비트라인과 상기 제1 FeFET의 게이트 및 상기 비트라인바와 상기 제2 FeFET의 게이트를 전기적으로 연결하는 NAND 타입 TCAM 셀.

청구항 8

제7항에 있어서, 상기 제1 및 제2 FeFET는

상기 프리차지 단계에서 상기 비트라인과 상기 비트라인바를 통해 인가되는 LVT보다 낮은 기지정된 전압레벨의 접지 전압에 의해 턴오프 상태를 가져, 일측의 매치라인과 타측의 매치라인 사이의 전기적 연결을 차단하고,

상기 매치 평가 단계에서 상기 제1 및 제2 FeFET 중 LVT 상태를 갖는 FeFET는 대응하는 상기 비트라인 또는 상기 비트라인바를 통해 상기 전원 전압이 인가되면 턴온되어 일측의 매치라인과 타측의 매치라인을 전기적 연결하는 NAND 타입 TCAM 셀.

청구항 9

제1항에 있어서, 상기 제1 및 제2 FeFET는

가변되는 문턱전압(V_{th})에서 상대적으로 낮은 문턱전압인 LVT와 상대적으로 높은 문턱전압인 HVT가 모두 양의 전압레벨을 갖는 타입 II FeFET로 구현되는 NAND 타입 TCAM 셀.

청구항 10

다수의 매치라인과 다수의 워드라인 및 다수의 비트라인쌍에 의해 정의되고, 각각 다수의 매치라인 중 대응하는 매치라인 사이에 직렬로 연결되는 다수의 TCAM 셀;

상기 다수의 매치라인 중 대응하는 매치라인의 일측단과 전원 공급라인 사이에 연결되고, 다수의 프리차지바 신호 중 게이트로 인가되는 프리차지바 신호에 응답하여 상기 매치라인의 일측단을 상기 전원 공급라인을 통해 인가되는 전압으로 프리차지하는 다수의 풀업 트랜지스터; 및

상기 다수의 매치라인 중 대응하는 매치라인의 타측단과 기지정된 전압레벨을 갖는 접지 전압 사이에 연결되고, 상기 다수의 프리차지바 신호 중 게이트로 인가되는 프리차지바 신호에 응답하여 상기 매치라인의 타측단을 상기 접지 전압으로 강하시키는 다수의 풀다운 트랜지스터를 포함하며,

상기 다수의 TCAM 셀 각각은

상기 다수의 매치라인 중 대응하는 매치라인 사이에 양단 직렬로 연결되는 제1 FeFET;

상기 제1 FeFET와 병렬로 연결되어 양단이 대응하는 매치라인 사이에 직렬로 연결되는 제2 FeFET;

다수의 비트라인쌍에서 대응하는 비트라인과 상기 제1 FeFET의 게이트 사이에 연결되고, 게이트가 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및

다수의 비트라인쌍에서 대응하는 비트라인바와 상기 제2 FeFET의 게이트 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함하는 NAND 타입 TCAM.

청구항 11

제10항에 있어서, 상기 다수의 TCAM 셀 각각은

라이트 동작에 의해 데이터 '0'이 저장되는 경우 상기 제1 FeFET는 HVT 상태(High V_{TH} State)를 갖고 상기 제2 FeFET는 LVT 상태(Low V_{TH} State)를 가지며,

데이터 '1'이 저장되는 경우 상기 제1 FeFET는 LVT 상태를 갖고 상기 제2 FeFET는 HVT 상태를 가지며,

데이터 'X'(don't care)가 저장되는 경우에는 상기 제1 및 제2 FeFET가 모두 LVT 상태를 갖는 NAND 타입 TCAM.

청구항 12

제11항에 있어서, 상기 TCAM은

제1 단계 및 제2 단계로 구분되는 상기 라이트 동작의 제1 단계에서 상기 다수의 워드라인 중 데이터와 함께 인가되는 어드레스에 대응하는 워드라인을 선택하여 HVT보다 높은 기지정된 전압레벨의 라이트 전압을 인가하여 활성화하고,

상기 다수의 프리차지바 신호를 상기 라이트 전압으로 인가하여 상기 다수의 풀업 트랜지스터를 턴오프시키고, 상기 다수의 풀다운 트랜지스터를 턴온시켜,

상기 다수의 TCAM 셀 중 활성화된 워드라인에 대응하는 TCAM 셀에 저장될 데이터에 따라 상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 제1 또는 제2 FET가 LVT 상태를 갖도록 하는 NAND 타입 TCAM.

청구항 13

제12항에 있어서, 상기 TCAM은

상기 라이트 동작의 제2 단계에서 상기 다수의 프리차지바 신호를 LVT보다 낮은 기지정된 전압레벨의 접지 전압으로 인가하여 상기 다수의 풀업 트랜지스터를 턴오프시키고, 상기 다수의 풀다운 트랜지스터를 턴온시켜,

상기 다수의 TCAM 셀 중 활성화된 워드라인에 대응하는 TCAM 셀에 저장될 데이터에 따라 상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 제1 또는 제2 FET가 HVT 상태를 갖도록 하는 NAND 타입 TCAM.

청구항 14

제13항에 있어서, 상기 TCAM은

상기 비트라인과 상기 비트라인바 각각으로 상기 라이트 전압과 상기 접지 전압이 인가되어 상기 다수의 TCAM 셀 중 활성화된 워드라인에 대응하는 상기 TCAM 셀에 데이터 '0'이 저장되고,

상기 비트라인과 상기 비트라인바 각각으로 상기 접지 전압과 상기 라이트 전압이 인가되어 상기 TCAM 셀에 데이터 '1'이 저장되며,

상기 비트라인과 상기 비트라인바 각각으로 상기 라이트 전압이 인가되어 상기 TCAM 셀에 데이터 'X'가 저장되는 NAND 타입 TCAM.

청구항 15

제10항에 있어서, 상기 TCAM은

상기 다수의 풀업 트랜지스터를 통해 상기 다수의 매치라인 각각의 일측단을 LVT와 HVT 사이의 기지정된 전압레벨을 갖는 전원 전압으로 프리차지하는 프리차지 단계와

상기 다수의 풀다운 트랜지스터 각각이 대응하는 상기 다수의 매치라인의 타측단을 접지 전압레벨로 풀다운시키고, 상기 다수의 매치 라인 각각에 연결된 다수의 TCAM 셀 각각의 제1 및 제2 FeFET의 상태와 검색될 데이터에 따라 상기 다수의 비트라인쌍을 통해 인가되는 전압레벨이 서로 대응하면, 상기 다수의 TCAM 셀 각각이 양측에

연결된 매치라인을 서로 전기적으로 연결하는 매치 평가 단계를 포함하여 검색 동작이 수행되는 NAND 타입 TCAM.

청구항 16

제15항에 있어서, 상기 TCAM은

상기 프리차지 단계에서 상기 다수의 워드라인으로 상기 전원 전압을 인가하여 상기 제1 및 제2 액세스 트랜지스터를 턴온시키고, 상기 다수의 비트라인쌍으로 상기 접지 전압을 인가하며, 상기 다수의 프리차지바 신호를 상기 접지 전압레벨로 인가하여 상기 다수의 풀업 트랜지스터를 턴온시키고 상기 다수의 풀다운 트랜지스터를 턴오프 시키는 NAND 타입 TCAM.

청구항 17

제16항에 있어서, 상기 TCAM은

상기 매치 평가 단계에서 상기 프리차지 단계에서 상기 다수의 워드라인으로 상기 전원 전압을 인가하여 상기 제1 및 제2 액세스 트랜지스터를 턴온시키고, 상기 다수의 비트라인쌍의 상기 비트라인과 상기 비트라인바로는 검색하고자 하는 데이터에 따라 상기 접지 전압 또는 상기 전원 전압을 인가하며, 상기 프리차지바 신호를 상기 전원 전압으로 인가하여 상기 다수의 풀업 트랜지스터를 턴오프시키고 상기 다수의 풀다운 트랜지스터를 턴온 시키는 NAND 타입 TCAM.

청구항 18

제17항에 있어서, 상기 TCAM은

검색하고자 하는 데이터가 '0'이면, 상기 비트라인과 상기 비트라인바 각각으로 상기 접지 전압과 상기 전원 전압을 인가하고,

검색하고자 하는 데이터가 '1'이면, 상기 비트라인과 상기 비트라인바 각각으로 상기 전원 전압과 상기 접지 전압을 인가하는 NAND 타입 TCAM.

청구항 19

제10항에 있어서, 상기 제1 및 제2 FeFET는

가변되는 문턱전압(V_{th})에서 상대적으로 낮은 문턱전압인 LVT와 상대적으로 높은 문턱전압인 HVT가 모두 양의 전압레벨을 갖는 타입 II FeFET로 구현되는 NAND 타입 TCAM.

발명의 설명

기술 분야

[0001] 본 발명은 내용 주소화 메모리 셀 및 이를 포함하는 내용 주소화 메모리에 관한 것으로, 저전력으로 고속 검색 동작이 가능한 강유전체 소자 기반 NAND 타입 터너리 내용 주소화 메모리 셀 및 이를 포함하는 터너리 내용 주소화 메모리에 관한 것이다.

배경 기술

[0002] 내용 주소화 메모리(Content Addressable Memory: 이하 CAM)는 다수의 CAM 셀을 구비하여 데이터를 저장하는 메모리로서, 데이터를 입력으로 인가받아 인가된 데이터가 저장된 어드레스를 출력하도록 구성된 메모리를 의미한다. CAM은 네트워크 라우터에서의 검색 엔진이나 이미지 프로세스, 또는 신경망 등과 같이 고속 검색이 요구되는 다양한 응용 분야에 이용된다.

[0003] CAM은 데이터 저장 방식에 따라 바이너리 캠(binary CAM)과 터너리 CAM(Ternary CAM: 이하 TCAM)으로 구분될 수 있다. 바이너리 캠은 각 CAM 셀이 로직 '1' 상태와 로직 '0' 상태의 2가지 상태 중 하나의 상태 정보를 저장할 수 있도록 구성된다. 반면, TCAM은 로직 '0' 상태, 로직 '1' 상태뿐만 아니라 'X'(don't care) 상태를 추가적으로 저장할 수 있도록 구성된다. TCAM은 'X' 상태를 추가로 저장할 수 있도록 하여 검색의 유연성을 제공할 수 있다는 장점이 있다.

[0004] 기존에 CAM은 주로 휘발성 소자인 CMOS로 구현되었다. 그러나 CMOS로 구현된 CAM은 각 셀이 다수의 트랜지스터 (일 예로 16T)를 필요로 하여, 대면적을 요구할 뿐만 아니라 전원이 인가되지 않으면 데이터가 소실될 뿐만 아니라 검색 속도가 느리다는 문제가 있었다.

[0005] 따라서 적은 소자 개수로 좁은 면적에 고집적화할 수 있으며, 전원이 인가되지 않더라도 저장된 데이터가 저장될 수 있는 CAM에 대한 요구가 이어져 오고 있다. 이러한 요구에 따라 강유전체 트랜지스터(Ferroelectric FET: 이하 FeFET)를 이용한 CAM에 대한 연구가 수행되었다. 이에 3개의 CMOS 트랜지스터와 2개의 FeFET를 구비하는 3T2F 구조의 CAM과 2개의 CMOS 트랜지스터와 2개의 FeFET를 구비하는 3T2F 구조의 CAM 등이 제안되었으나, 이러한 기존의 FeFET 기반 NAND 타입 CAM은 모두 이진(binary) 데이터 만을 저장할 수 있어, 데이터 'X' 를 저장할 수 없다는 한계를 가지며, FeFET의 라이트 동작을 위해 네거티브 라이트 전압 요구로 인한 추가적인 전원 공급부의 구성을 요구할 뿐만 아니라, 검색 속도가 느리다는 문제가 있다. 특히 특정 CAM 셀의 FeFET에 HVT 상태(High V_{TH} State)를 라이트할 수 없거나, 선택되지 않은 CAM 셀의 FeFET가 함께 라이트되는 라이트 디스터번스(write disturbance) 문제가 발생하여 실제로 사용할 수 없다는 한계가 있었다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국 공개 특허 제10-1557883호 (2015.09.30 등록)

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 적은 온/오프 비가 높은 비휘발성의 FeFET를 이용하여, 적은 개수의 소자로 좁은 면적에 고집적화하여 구현할 수 있으며, 저전력으로 고속 검색 가능한 NAND 타입 TCAM 셀 및 이를 포함하는 TCAM을 제공하는데 있다.

[0008] 본 발명의 다른 목적은 라이트 디스터번스 없이 라이트 가능하고 'X' 데이터를 라이트할 수 있으며, 네거티브 라이트 전압을 요구하지 않는 NAND 타입 TCAM 셀 및 이를 포함하는 TCAM을 제공하는데 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 NAND 타입 TCAM 셀은 양단이 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인 사이에 직렬로 연결되는 제1 FeFET; 상기 제1 FeFET와 병렬로 연결되어 양단이 대응하는 매치라인 사이에 직렬로 연결되는 제2 FeFET; 상기 제1 FeFET의 게이트와 다수의 비트라인 중 대응하는 비트라인 사이에 연결되고, 게이트가 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및 상기 제2 FeFET의 게이트와 다수의 비트라인바 중 대응하는 비트라인바 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함한다.

[0010] 상기 TCAM 셀은 라이트 동작에 의해 데이터 '0'이 저장되는 경우 상기 제1 FeFET는 HVT 상태(High V_{TH} State)를 갖고 상기 제2 FeFET는 LVT 상태(Low V_{TH} State)를 가지며, 데이터 '1'이 저장되는 경우 상기 제1 FeFET는 LVT 상태를 갖고 상기 제2 FeFET는 HVT 상태(High V_{TH} State)를 가지며, 데이터 'X'(don't care)가 저장되는 경우에는 상기 제1 및 제2 FeFET가 모두 LVT 상태를 가질 수 있다.

[0011] 상기 TCAM 셀은 상기 비트라인과 상기 비트라인바를 통해 인가되는 전압레벨에 의해 상기 TCAM 셀에 저장되는 데이터에 따라 제1 및 제2 FET가 LVT 상태를 갖도록 하는 제1 단계와 상기 TCAM 셀에 저장될 데이터에 따라 제1 및 제2 FET가 HVT 상태를 갖도록 하는 제2 단계로 상기 라이트 동작이 수행될 수 있다.

[0012] 상기 제1 및 제2 액세스 트랜지스터는 데이터와 함께 인가되는 어드레스에 의해 대응하는 워드라인이 선택되면, 상기 라이트 동작의 제1 및 제2 단계에서 대응하는 워드라인을 통해 인가되는 HVT보다 높은 기지정된 전압레벨의 라이트 전압에 응답하여 턴온되어, 상기 비트라인과 상기 제1 FeFET의 게이트를 전기적으로 연결하고, 상기 비트라인바와 상기 제2 FeFET의 게이트를 전기적으로 연결할 수 있다.

- [0013] 상기 제1 및 제2 FeFET는 상기 라이트 동작의 제1 단계에서 상기 TCAM 셀에 저장될 데이터에 대응하여 상기 비트라인과 상기 비트라인바 중 적어도 하나를 통해 게이트로 인가되는 상기 라이트 전압에 응답하여 턴온되고, 게이트로 인가된 라이트 전압과 LVT보다 낮은 기지정된 전압레벨의 접지 전압을 갖는 상기 매치라인 사이의 전압차에 따라 LVT 상태를 갖고, 상기 라이트 동작의 제2 단계에서 상기 TCAM 셀에 저장될 데이터에 대응하여 상기 비트라인 또는 상기 비트라인바를 통해 게이트로 인가되는 상기 접지 전압과 대응하는 매치라인을 통해 인가되는 상기 라이트 전압 사이의 전압차에 따라 HVT 상태를 가질 수 있다.
- [0014] 상기 TCAM 셀은 상기 대응하는 매치라인에서 상기 TCAM 셀을 기준으로 일측에 위치한 매치라인이 LVT와 HVT 사이의 기지정된 전압레벨을 갖는 전원 전압으로 프리차지되는 프리차지 단계와 상기 TCAM 셀의 제1 및 제2 FeFET의 상태와 검색될 데이터에 따라 상기 비트라인 및 상기 비트라인바를 통해 인가되는 전압레벨이 서로 대응하면, 상기 제1 및 제2 FeFET 중 턴온된 FeFET를 통해 상기 일측에 위치한 매치라인과 상기 TCAM 셀의 타측에 위치한 매치라인이 전기적으로 연결되어, 일측의 매치라인에 프리차지된 전압이 타측의 매치라인으로 전달되는 매치 평가 단계를 포함하여 검색 동작이 수행될 수 있다.
- [0015] 상기 제1 및 제2 액세스 트랜지스터는 상기 검색 동작의 상기 프리차지 단계와 상기 매치 평가 단계에서 상기 워드라인이 상기 전원 전압의 레벨을 가져 턴온되어, 상기 비트라인과 상기 제1 FeFET의 게이트 및 상기 비트라인바와 상기 제2 FeFET의 게이트를 전기적으로 연결할 수 있다.
- [0016] 상기 제1 및 제2 FeFET는 상기 프리차지 단계에서 상기 비트라인과 상기 비트라인바를 통해 인가되는 LVT보다 낮은 기지정된 전압레벨의 접지 전압에 의해 턴오프 상태를 가져, 일측의 매치라인과 타측의 매치라인 사이의 전기적 연결을 차단하고, 상기 매치 평가 단계에서 상기 제1 및 제2 FeFET 중 LVT 상태를 갖는 FeFET는 대응하는 상기 비트라인 또는 상기 비트라인바를 통해 상기 전원 전압이 인가되면 턴온되어 일측의 매치라인과 타측의 매치라인을 전기적 연결할 수 있다.
- [0017] 상기 제1 및 제2 FeFET는 가변되는 문턱전압(V_{th})에서 상대적으로 낮은 문턱전압인 LVT와 상대적으로 높은 문턱전압인 HVT가 모두 양의 전압레벨을 갖는 타입 II FeFET로 구현될 수 있다.
- [0018] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 NAND 타입 TCAM은 다수의 매치라인과 다수의 워드라인 및 다수의 비트라인쌍에 의해 정의되고, 각각 다수의 매치라인 중 대응하는 매치라인 사이에 직렬로 연결되는 다수의 TCAM 셀; 상기 다수의 매치라인 중 대응하는 매치라인의 일측단과 전원 공급라인 사이에 연결되고, 다수의 프리차지바 신호 중 게이트로 인가되는 프리차지바 신호에 응답하여 상기 매치라인의 일측단을 상기 전원 공급라인을 통해 인가되는 전압으로 프리차지하는 다수의 풀업 트랜지스터; 및 상기 다수의 매치라인 중 대응하는 매치라인의 타측단과 기지정된 전압레벨을 갖는 접지 전압 사이에 연결되고, 상기 다수의 프리차지바 신호 중 게이트로 인가되는 프리차지바 신호에 응답하여 상기 매치라인의 타측단을 상기 접지 전압으로 강하시키는 다수의 풀다운 트랜지스터를 포함하며, 상기 다수의 TCAM 셀 각각은 상기 다수의 매치라인 중 대응하는 매치라인 사이에 양단 직렬로 연결되는 제1 FeFET; 상기 제1 FeFET와 병렬로 연결되어 양단이 대응하는 매치라인 사이에 직렬로 연결되는 제2 FeFET; 다수의 비트라인쌍에서 대응하는 비트라인과 상기 제1 FeFET의 게이트 사이에 연결되고, 게이트가 다수의 워드라인 중 대응하는 워드라인에 연결되는 제1 액세스 트랜지스터; 및 다수의 비트라인쌍에서 대응하는 비트라인바와 상기 제2 FeFET의 게이트 사이에 연결되고, 게이트가 상기 제1 액세스 트랜지스터와 공통으로 대응하는 워드라인에 연결되는 제2 액세스 트랜지스터를 포함한다.

발명의 효과

- [0019] 따라서, 본 발명의 실시예에 따른 NAND 타입 TCAM 셀 및 이를 포함하는 TCAM은 TCAM 셀이 2개의 FeFET와 2개의 액세스 트랜지스터의 적은 개수의 소자로 구성되어 좁은 면적에 고집적화하여 소형으로 제조될 수 있으며, 네거티브 전압을 이용하지 않고 라이트 디스터번스가 발생하지 않아 선택된 TCAM 셀에 안정적으로 데이터를 라이트할 수 있을 뿐만 아니라, 데이터 'X'를 라이트할 수 있으며 저전력으로 빠른 검색을 수행할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 CAM의 NOR 타입과 NAND 타입의 검색 동작을 설명하기 위한 도면이다.
- 도 2는 FeFET의 상태에 따른 검색 동작을 설명하기 위한 도면이다.
- 도 3은 FeFET의 타입에 따른 상태를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 NAND 타입 TCAM 셀 구조를 나타낸다.

도 5 및 도 6은 본 실시예에 따른 NAND 타입 TCAM의 라이트 동작을 설명하기 위한 도면이다.

도 7 및 도 8은 본 실시예에 따른 NAND 타입 TCAM의 검색 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0022] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.
- [0023] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 “포함” 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 “...부”, “...기”, “모듈”, “블록” 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0024] 도 1은 CAM의 NOR 타입과 NAND 타입의 검색 동작을 설명하기 위한 도면이다.
- [0025] 도 1에서 (a)는 NOR 타입 CAM의 검색 동작을 나타내고, (b)는 NAND 타입 CAM의 검색 동작을 나타낸다. 도 1에 도시된 바와 같이, CAM은 인가된 데이터가 저장된 메모리 셀을 검색하여 어드레스를 출력하는 메모리로서 검색 동작 방식에 따라 NOR 타입과 NAND 타입으로 구분된다.
- [0026] 도 1의 (a)에 도시된 NOR 타입의 경우, 다수의 CAM 셀 각각이 저장된 데이터와 인가된 데이터의 매치 여부에 따라 매치라인(ML)의 전류가 병렬 연결 방식으로 접지 전압로 흐르도록 구성된다. 따라서 NOR 타입에서는 하나 CAM 셀에서 미스매치가 발생하더라도 전류가 흘러 빠른 검색 속도를 나타낼 수 있으나 에너지 소모가 크다.
- [0027] 반면, 도 1의 (b)에 도시된 NAND 타입의 경우, 다수의 CAM 셀 각각이 저장된 데이터와 인가된 데이터의 매치 여부에 따라 매치라인(ML)의 전류가 직렬 연결 방식으로 접지로 흐르도록 구성된다. 따라서 동일한 매치라인(ML)에 연결되는 모든 CAM 셀에서 매치가 된 경우에만 매치라인(ML)의 전류가 접지로 흐르도록 구성된다. 따라서 NAND 타입에서는 하나의 셀에서만 미스매치가 발생하더라도 전류가 흐르지 않아 에너지 소모가 작다는 장점이 있으나, 매치라인(ML)의 방전 경로가 직렬로 구성됨에 따라 검색 속도가 느리다는 단점이 있다.
- [0028] 상기한 바와 같이, CAM에서는 NOR 타입과 NAND 타입 모두 장단점을 갖고 있으므로, NOR 타입 또는 NAND 타입은 CAM의 활용 목적에 따라 선택적으로 이용된다.
- [0029] 도 2는 FeFET의 상태에 따른 검색 동작을 설명하기 위한 도면이다.
- [0030] FeFET 소자는 CMOS 회로와의 호환성이 우수하며, 기존 다른 비휘발성 메모리에 대비하여 높은 온/오프 비율(ON/OFF ratio)(10^{15})과 빠른 라이트(write) 속도(10ns), 우수한 내구성(10^{10} cycle) 및 낮은 쓰기 전력 소모로 우수한 성능을 나타낸다는 장점이 있다. 또한 FeFET 소자는 도 2에 도시된 바와 같이, 소스-게이트-드레인의 3단자 구조(3 terminal structure)로 리드/라이트 경로가 상이하여 리드/라이트 실패가 발생할 가능성이 매우 낮으며 라이트 회로 구조가 간단하다는 장점이 있다.
- [0031] FeFET 소자는 강유전체의 히스테리시스 특성에 의해 게이트-소스 전압(V_{GS}) 또는 게이트-드레인 전압(V_{GD})에 따라 문턱전압(V_{TH})이 가변된다. 이에 가변되는 문턱전압(V_{TH})을 이용하여 1비트의 데이터를 저장할 수 있다.
- [0032] 도 2의 (a)에 도시된 바와 같이, FeFET는 로직 '1'이 저장되는 경우에는 가변되는 문턱전압(V_{TH})에서 상대적으로 낮은 문턱전압 상태(Low V_{TH} State: 이하 LVT 상태)를 가질 수 있다. 그리고 도 2의 (b)에 도시된 바와 같이, FeFET는 로직 '0'이 저장되는 경우에는 가변되는 문턱전압(V_{TH})중 상대적으로 높은 문턱전압 상태(High V_{TH} State: 이하 HVT 상태)를 가질 수 있다.
- [0033] 도 3은 FeFET의 타입에 따른 상태를 설명하기 위한 도면이다.

- [0034] 도 3에서 (a)는 타입 I FeFET의 상태별 전류-전압 그래프를 나타내고, (b)는 타입 II-A 와 타입 II-B FeFET의 상태별 전류-전압 그래프를 나타낸다. 도 3의 (a)에 도시된 타입 I FeFET는 초기 FeFET로서 LVT는 음의 전압레벨을 갖고 HVT는 양의 전압레벨을 갖는다. 따라서 타입 I FeFET에서는 FeFET의 상태를 판별하기 위해 게이트로 0V의 리드 전압(V_{read})이 인가된다.
- [0035] 그러나 도 3의 (b)에서 실선으로 표시된 타입 II-A FeFET와 점선으로 표시된 타입 II-B FeFET는 메탈 게이트 엔지니어링 기법(Metal gate engineering)을 이용하여 LVT가 양의 전압레벨을 갖도록 I-V 곡선이 포지티브 방향으로 시프트됨으로써, LVT와 HVT는 모두 양의 전압레벨을 갖는다. 따라서 FeFET의 상태를 판별하기 위해 게이트에 각각 전원 전압(V_{DD})과 전원 전압(V_{DD})에서 문턱전압(V_{TH})을 차감한 전압레벨($V_{DD} - V_{TH}$)의 리드 전압(V_{read})이 인가된다.
- [0036] 그리고 타입 I과 타입 II-A 및 II-B FeFET 모두 로직 '0'이 라이트되기 위해서는 게이트와 소스 사이의 전압차(V_{GS})가 네거티브 라이트 전압($-V_W$)을 갖도록 인가되어야 한다. 따라서 게이트 전압(V_G)으로 네거티브 라이트 전압($-V_W$)을 인가하고, 소스 전압(V_S)으로 접지 전압(0V)을 인가하거나, 게이트 전압(V_G)으로 접지 전압(0V)을 인가하고, 소스 전압(V_S)으로 라이트 전압(V_W)을 인가하여 로직 '0'을 라이트할 수 있다. 다만 게이트 전압(V_G)으로 네거티브 라이트 전압($-V_W$)을 인가하는 경우, 네거티브 라이트 전압($-V_W$)을 생성해야 하는 부담이 있다.
- [0037] 도 4는 본 발명의 일 실시예에 따른 NAND 타입 TCAM 셀 구조를 나타낸다.
- [0038] 도 4를 참조하면, 본 실시예에 따른 TCAM 셀은 2개의 FeFET(F1, F2)와 2개의 액세스 트랜지스터(T1, T2)를 포함하는 2F2T 구성을 갖는다.
- [0039] 2개의 FeFET(F1, F2)는 CAM 셀 어레이에서 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인(ML)의 사이에 직렬로 연결된다. 이때 2개의 FeFET(F1, F2)는 대응하는 매치라인(ML)에서 서로 병렬로 연결된다. 즉 도 4에 도시된 바와 같이, 2개의 FeFET(F1, F2) 대응하는 매치라인(ML)에서 전송 게이트(Transmission Gate: TG)의 형태로 연결된다.
- [0040] 매치라인(ML)은 전송 게이트 형태로 연결된 2개의 FeFET(F1, F2)에 의해 2개의 FeFET(F1, F2)의 양단에 연결되는 2개의 매치라인으로 구분되며, 여기서는 도 4에 기반하여, 좌측과 우측에 위치한 매치라인(ML)을 각각 L 매치라인(ML_L)과 R 매치라인(ML_R)이라 하여 설명한다.
- [0041] 그리고 본 실시예에서 2개의 FeFET(F1, F2)는 모두 타입 II-B FeFET로 구현되는 것으로 가정하지만, 타입 II-A FeFET로도 구현될 수 있다. 즉 2개의 FeFET(F1, F2)는 타입 II FeFET로 구현되어 LVT와 HVT가 모두 양의 전압레벨을 가지므로, LVT와 HVT 사이의 전압 레벨을 갖는 전원 전압(V_{DD})을 이용하여, FeFET(F1, F2)의 상태를 용이하게 판별할 수 있다.
- [0042] 2개의 액세스 트랜지스터(T1, T2) 중 제1 액세스 트랜지스터(T1)는 제1 FeFET(F1)의 게이트와 다수의 비트라인쌍(BL/BLB) 중 대응하는 비트라인(BL) 사이에 연결되고, 제2 액세스 트랜지스터(T2)는 제2 FeFET(F2)의 게이트와 대응하는 비트라인쌍(BLB) 사이에 연결된다. 그리고 제1 및 제2 액세스 트랜지스터(T1, T2)는 게이트가 다수의 워드라인 중 대응하는 워드라인(WL)에 공통으로 연결된다.
- [0043] 도 4에서는 워드라인(WL)이 매치라인(ML)과 동일하게 제1 방향으로 연장되고, 비트라인쌍(BL/BLB)은 제1 방향과 수직인 제2 방향으로 연장되는 것으로 도시하였으나, 워드라인(WL)과 비트라인쌍(BL/BLB)이 연장되는 방향은 TCAM 어레이의 설계에 따라 조절될 수 있다. 다만 일반적으로 워드라인(WL)은 제1 방향으로 연장되고, 비트라인쌍(BL/BLB)은 제2 방향으로 연장되도록 배치되므로, 여기서도 이에 따라 배치된 것으로 가정하여 설명한다.
- [0044] 2개의 FeFET(F1, F2)는 라이트 동작 시에 저장될 데이터에 따라 비트라인쌍(BL/BLB)을 통해 인가되는 전압에 의해 LVT 또는 HVT 상태가 되어 데이터에 대응하는 로직이 저장되며, 데이터에 대응하는 CAM 메모리를 탐색하는 검색 동작 시에는 라이트 동작 시에 2개의 FeFET(F1, F2)에 설정된 LVT 또는 HVT 상태에 따라 양단의 L 매치라인(ML_L)과 R 매치라인(ML_R)을 전기적으로 연결하거나 차단한다.
- [0045] 상기한 바와 같이, TCAM 셀에는 데이터 '0', '1' 및 'X(don't care)'이 저장될 수 있다. 데이터 '0'이 저장되는 경우, 제1 액세스 트랜지스터(T1)를 통해 게이트가 비트라인(BL)에 연결되는 제1 FeFET(F1)는 로직 '0'에 대응하는 HVT 상태를 갖고, 게이트가 비트라인쌍(BLB)에 연결되는 제2 FeFET(F2)는 로직 '1'에 대응하는 LVT 상태를 갖는다. 그리고 데이터 '1'이 저장되는 경우에는 제1 FeFET(F1)가 LVT 상태를 갖고, 제2 FeFET(F2)가 HVT

상태를 갖는다. 또한 데이터 'X'가 저장되는 경우에는 제1 및 제2 FeFET(F1, F2)가 모두 LVT 상태를 갖는다.

[0046] 따라서 TCAM 셀에 데이터 '0', '1' 및 'X(don't care)' 중 어떠한 데이터가 저장되는 경우일지라도 제1 및 제2 FeFET(F1, F2)가 모두 HVT 상태를 갖는 경우는 발생하지 않는다. 이는 NAND 타입 TCAM의 특성에 따라 매치라인(ML)에서 직렬로 연결되는 다수의 TCAM 셀 중 적어도 하나의 TCAM 셀의 제1 및 제2 FeFET(F1, F2)가 모두 HVT 상태를 갖게 되면, 검색하고자 하는 데이터에 무관하게 전류 경로가 항상 차단되어 해당 매치라인이 항상 미스 매치로 결과를 출력하게 되므로, 이러한 문제가 발생하는 것을 방지하기 위함이다.

[0047] 그리고 2개의 액세스 트랜지스터(T1, T2)는 워드라인(WL)에 게이트가 공통으로 연결되어, 워드라인(WL)으로 인가되는 전압레벨에 따라 2개의 FeFET(F1, F2)의 게이트와 비트라인쌍(BL/BLB)을 전기적으로 연결함으로써, TCAM 셀이 활성화되도록 한다. TCAM 셀이 워드라인(WL)으로 인가되는 전압레벨에 따라 활성화되므로, TCAM 어레이에서 다수의 TCAM 셀은 대응하는 워드라인(WL)에 따라 행(row) 단위로 활성화될 수 있다.

[0048] 그리고 비트라인쌍(BL/BLB)의 비트라인(BL)과 비트라인바(BLB)는 TCAM의 검색 동작시에 검색될 데이터에 대응하는 전압이 인가되는 라인으로, 각각 검색라인(SL) 및 검색라인바(SLB)라고 할 수 있으며, 이에 비트라인쌍(BL/BLB)을 검색라인쌍(SL/SLB)이라고 할 수도 있다.

[0049] 도 5 및 도 6은 본 실시예에 따른 NAND 타입 TCAM의 라이트 동작을 설명하기 위한 도면이다.

[0050] 여기서는 일 예로 TCAM 어레이에 2×3 형태로 6개의 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))이 배열된 경우를 도시하였다. 이에 도 5 및 도 6에서는 제1 방향으로 진행되는 2개의 매치라인(ML[0], ML[1]) 및 2개의 워드라인(WL[0], WL[1])이 배치되고, 제1 방향과 수직인 제2 방향으로 진행되는 3개의 비트라인쌍(BL[0]/BLB[0], BL[1]/BLB[1], BL[2]/BLB[2])이 배치되었다.

[0051] 여기서는 설명의 편의를 위해, 2×3 형태로 배열된 6개의 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))을 배치 위치에 따라 제11 TCAM 셀(CL[00])로부터 제23 TCAM 셀(CL[12])로 구분한다. 한편 NAND 타입 TCAM에서는 상기한 바와 같이, 다수의 TCAM 셀(CL)의 제1 및 제2 FeFET(F1, F2)이 대응하는 각 매치라인(ML[0], ML[1]) 사이에 직렬로 연결되어, 매치라인(ML[0], ML[1])이 각각 대응하는 3개의 TCAM 셀(CL)에 의해 구분된다. 따라서 여기서는 설명의 편의를 위하여 TCAM 셀(CL)에 의해 구분된 제1 매치라인(ML[0])을 제11 내지 제14 매치라인(ML[00], ML[01], ML[02], ML[03])이라 하고, 구분된 제2 매치라인(ML[1])을 제21 내지 제24 매치라인(ML[10], ML[11], ML[12], ML[13])이라 한다. 즉 일측에 연결된 TCAM 셀(CL)과 동일한 방식으로 식별하도록 한다.

[0052] 그리고 TCAM 어레이에서는 다수의 매치라인(ML[0], ML[1]) 각각에 대응하는 풀다운 트랜지스터(PD[0], PD[1])와 풀업 트랜지스터(PU[0], PU[1])를 더 포함한다. TCAM 어레이에서 행 단위로 풀다운 트랜지스터(PD[0], PD[1])와 풀업 트랜지스터(PU[0], PU[1])가 더 배치될 수 있다.

[0053] 다수의 풀다운 트랜지스터(PD[0], PD[1])는 각각 대응하는 매치라인(ML[0], ML[1])에서 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 외곽 일측과 접지 전압 사이에 연결되고, 다수의 풀업 트랜지스터(PU[0], PU[1])는 각각 대응하는 매치라인(ML[0], ML[1])에서 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 외곽 타측과 라이트 전압(V_w) 또는 전원 전압(V_{dd})에 인가되는 전원 공급라인 사이에 연결된다. 즉 TCAM 어레이에서 풀다운 트랜지스터(PD[0], PD[1])는 다수의 매치라인(ML[0], ML[1]) 각각의 일측에는 대응하는 매치라인을 기 지정된 제1 전압레벨(예를 들면 0V)의 접지 전압으로 풀다운하기 위해 배치되고, 풀업 트랜지스터(PU[0], PU[1])는 다수의 매치라인(ML[0], ML[1]) 각각의 타측에는 대응하는 매치라인을 기 지정된 제2 전압레벨(예를 들면 4V)의 라이트 전압(V_w) 또는 기 지정된 제3 전압레벨(예를 들면 1V)의 전원 전압(V_{dd})으로 풀업하기 위해 배치된다.

[0054] 여기서 접지 전압은 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)의 LVT보다 낮은 전압레벨을 갖고, 라이트 전압(V_w)은 HVT보다 높은 전압레벨을 가지며, 전원 전압(V_{dd})은 LVT와 HVT 사이의 전압레벨을 갖는다.

[0055] 여기서는 일 예로 다수의 풀다운 트랜지스터(PD[0], PD[1])가 각각 대응하는 매치라인(ML[0], ML[1])에서 일단에 위치하는 제11 및 제21 매치라인(ML[00], ML[10])에 연결되고, 다수의 풀업 트랜지스터(PU[0], PU[1])가 매치라인(ML[0], ML[1])에서 타단에 위치하는 제14 및 제24 매치라인(ML[03], ML[13])에 연결되는 것으로 설명하지만, 다수의 풀다운 트랜지스터(PD[0], PD[1])와 다수의 풀업 트랜지스터(PU[0], PU[1])가 대응하는 매치라인

(ML[0], ML[1])과 연결되는 위치는 서로 교체될 수 있다.

- [0056] 다수의 풀다운 트랜지스터(PD[0], PD[1])는 NMOS 트랜지스터로 구현될 수 있으며, 다수의 풀업 트랜지스터(PU[0], PU[1])는 PMOS 트랜지스터로 구현될 수 있으며, 다수의 풀다운 트랜지스터(PD[0], PD[1])와 다수의 풀업 트랜지스터(PU[0], PU[1])의 각각의 게이트로는 대응하는 프리차지바 신호(PREB[0], PREB[1])가 인가된다.
- [0057] 여기서는 제1행의 제11 TCAM 셀(CL[00]), 제12 TCAM 셀(CL[01]) 및 제13 TCAM 셀(CL[02])에 각각 데이터 '0', '1' 및 'X(don' care)'이 라이트되는 경우를 가정하여 설명한다.
- [0058] 본 실시예의 TCAM의 라이트 동작은 2단계로 수행되며, 도 5는 데이터가 라이트될 TCAM 셀(CL)에서 FeFET가 LVT 상태를 갖도록 하는 제1 단계(Step 1)을 나타내며, 도 6은 FeFET가 HVT 상태를 갖도록 하는 제2 단계(Step 2)를 나타낸다.
- [0059] 도 5를 참조하여, 제1 단계에서의 동작을 설명하면 먼저 데이터가 라이트될 TCAM 셀을 행 단위로 선택하기 위해 데이터와 함께 인가되는 어드레스에 대응하는 워드라인(WL)이 활성화된다. 여기서는 제1행의 TCAM 셀(CL[00], CL[01], CL[02])에 데이터가 라이트되는 것으로 가정하였으므로, 인가된 어드레스 중 로우 어드레스를 로우 디코더(미도시)가 디코딩하여 제1 워드라인(WL[0])을 선택하고, 선택된 제1 워드라인(WL[0])으로 기지정된 전압레벨(예를 들면 4V)의 라이트 전압(V_w)을 인가하여 선택된 제1 워드라인(WL[0])을 활성화한다. 이때, 선택되지 않은 제2 워드라인(WL[1])은 접지 전압(일 예로 0V) 레벨을 유지한다.
- [0060] 이에 제1행의 모든 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 액세스 트랜지스터(T1, T2)가 제1 워드라인(WL[0])을 통해 인가된 라이트 전압(V_w)에 응답하여 턴온된다. 따라서 제1행의 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 FeFET(F1, F2) 각각은 게이트가 대응하는 비트라인(BL[0], BL[1], BL[2]) 및 비트라인바(BLB[0], BLB[1], BLB[2])에 전기적으로 연결된다.
- [0061] 그러나 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 액세스 트랜지스터(T1, T2)는 제2 워드라인(WL[1])이 비활성화된 상태로 접지 전압레벨을 가지므로 턴오프 상태를 유지하여, 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 FeFET(F1, F2)의 게이트는 대응하는 비트라인(BL[0], BL[1], BL[2]) 및 비트라인바(BLB[0], BLB[1], BLB[2])에 전기적으로 연결되지 않는다.
- [0062] 그리고 제1행의 3개의 TCAM 셀(CL[00], CL[01], CL[02])에 각각 데이터 '0', '1' 및 'X(don' care)'이 라이트되는 것으로 가정하였으므로, 제1열의 TCAM 셀에 대응하는 제1 비트라인(BL[0])과 제2열의 TCAM 셀에 대응하는 제2 비트라인바(BLB[1])으로는 접지 전압이 인가된다. 그러나 제1 비트라인바(BLB[0])과 제2 비트라인(BL[1]) 및 제3 비트라인쌍(BL[2]/BLB[2])으로는 라이트 전압(V_w)이 인가된다.
- [0063] 한편 제1 단계에서는 프리차지바 신호(PREB[0], PREB[1])가 라이트 전압(V_w) 레벨로 인가된다. 프리차지바 신호(PREB[0], PREB[1])가 라이트 전압(V_w) 레벨로 인가되면, 풀다운 트랜지스터(PD[0], PD[1])가 턴온되는 반면, 풀업 트랜지스터(PU[0], PU[1])는 턴오프된다.
- [0064] 따라서 풀다운 트랜지스터(PD[0], PD[1])가 연결된 제11 및 제21 매치라인(ML[00], ML[10])이 우선 접지 전압레벨이 된다.
- [0065] 그리고 제1행의 3개의 TCAM 셀(CL[00], CL[01], CL[02]) 각각의 제1 및 제2 FeFET(F1, F2)는 HVT보다 높은 전압레벨을 갖는 라이트 전압(V_w)이 인가되면, 이전 상태가 LVT 상태이든 HVT 상태이든 무관하게 턴온된다. 제11 TCAM 셀(CL[00])의 제2 FeFET(F2)의 게이트가 라이트 전압(V_w)이 인가되는 제1 비트라인바(BLB[0])와 연결되고, 제12 TCAM 셀(CL[01])의 제1 FeFET(F1)의 게이트가 라이트 전압(V_w)이 인가되는 제2 비트라인(BL[1])과 연결되며, 제13 TCAM 셀(CL[02])의 제1 및 제2 FeFET(F1, F2)의 게이트가 모두 라이트 전압(V_w)이 인가되는 제3 비트라인쌍(BL[2], BLB[2])과 연결된 상태이다.
- [0066] 즉 제1 행의 모든 TCAM 셀(CL[00], CL[01], CL[02])에서 제1 및 제2 FeFET(F1, F2) 중 적어도 하나의 FeFET는 대응하는 비트라인쌍(BL[0]/BLB[0], BL[1]/BLB[1], BL[2]/BLB[2])의 비트라인(BL[0], BL[1], BL[2]) 및 비트라인바(BLB[0], BLB[1], BLB[2]) 중 적어도 하나(여기서는 BLB[0], BL[1], BL [2], BLB[2])를 통해 인가되는 라이트 전압(V_w)에 응답하여 턴온된다.
- [0067] 따라서 제11 매치라인(ML[00])의 접지 전압이 제12 매치라인(ML[01]), 제13 매치라인(ML[02]) 및 제14 매치라인

(ML[04])까지 전달된다. 이 경우, 제11 TCAM 셀(CL[00])의 제2 FeFET(F2)와 제12 TCAM 셀(CL[01])의 제1 FeFET(F1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 FeFET(F1, F2)이 각각 라이트 전압(V_w)과 접지 전압 사이의 전압차에 대응하는 게이트-소스 전압(V_{GS})을 갖게 되어 LVT 상태로 라이트 된다.

[0068] 즉 NAND 타입 TCAM에서는 동일한 매치라인(ML[0])에 직렬로 연결된 다수의 TCAM 셀(CL[00], CL[01], CL[02])에서 대응하는 비트라인(BL[0], BL[1], BL[2]) 또는 비트라인바(BLB[0], BLB[1], BLB[2])를 통해 라이트 전압(V_w)이 게이트로 인가되는 FeFET가 LVT 상태를 갖도록 라이트된다.

[0069] 한편, 제2행의 TCAM 셀(CL[10], CL[11], CL[12])에서는 제1 및 제2 액세스 트랜지스터(T1, T2)가 접지 전압레벨로 비활성화된 제2 워드라인(WL[1])에 따라 턴오프 상태를 유지하여, 제1 및 제2 FeFET(F1, F2)의 게이트와 대응하는 비트라인(BL[0], BL[1], BL[2]) 또는 비트라인바(BLB[0], BLB[1], BLB[2]) 사이의 전기적 연결이 차단된 상태이므로 TCAM 셀(CL[10], CL[11], CL[12])의 상태가 변화되지 않는다. 즉 제1 행의 TCAM 셀(CL[00], CL[01], CL[02])에서 제1 또는 제2 FeFET(F1, F2)가 LVT 상태를 갖도록 라이트할 때, 선택되지 않은 다른 행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 또는 제2 FeFET(F1, F2)의 상태가 함께 변화되는 라이트 디스터번스가 발생되지 않는다.

[0070] 제2 단계에서도 선택된 제1 워드라인(WL[0])은 라이트 전압(V_w)이 인가되어 활성화된 상태를 유지하고, 선택되지 않은 제2 워드라인(WL[1])은 접지 전압(일 예로 0V) 레벨로 비활성화된 상태를 유지한다.

[0071] 그러므로 제1행의 모든 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 액세스 트랜지스터(T1, T2)가 턴온된 상태를 유지하여, 제1행의 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 FeFET(F1, F2) 각각은 게이트가 대응하는 비트라인(BL[0], BL[1], BL[2]) 및 비트라인바(BLB[0], BLB[1], BLB[2])에 전기적으로 연결된다. 그러나 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 액세스 트랜지스터(T1, T2)는 턴오프 상태를 유지하여, 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 FeFET(F1, F2)의 게이트는 대응하는 비트라인(BL[0], BL[1], BL[2]) 및 비트라인바(BLB[0], BLB[1], BLB[2])에 전기적으로 연결되지 않는다.

[0072] 한편 제2 단계에서는 다수의 프리차지바 신호(PREB[0], PREB[1]) 중 선택된 제1 워드라인(WL[0])에 대응하는 프리차지바 신호(PREB[0]), 즉 데이터와 함께 인가된 어드레스에 대응하는 제1 프리차지바 신호(PREB[0])는 접지 전압으로 전압레벨이 강하하는 반면, 나머지 프리차지바 신호(PREB[1])는 라이트 전압(V_w) 레벨을 유지한다.

[0073] 따라서 제1 매치라인(ML[0])에 연결된 제1 풀다운 트랜지스터(PD[0])는 턴오프되고, 제1 풀업 트랜지스터(PU[0])가 턴온된다. 제1 풀업 트랜지스터(PU[0])가 턴온되므로, 제1 풀업 트랜지스터(PD[0])가 연결된 제14 매치라인(ML[03])이 라이트 전압(V_w) 레벨이 된다. 이때 제13 TCAM 셀(CL[02])의 제1 및 제2 FeFET(F1, F2)는 제1 단계에서 이미 LVT 상태로 라이트되어 있고, 제1 및 제2 FeFET(F1, F2)의 게이트가 모두 라이트 전압(V_w)이 인가되는 제3 비트라인쌍(BL[2], BLB[2])과 연결된 상태이므로, 제1 및 제2 FeFET(F1, F2)가 모두 턴온되어 라이트 전압(V_w)이 제13 매치라인(ML[02])까지 인가된다.

[0074] 그리고 제12 TCAM 셀(CL[01])에서는 제1 FeFET(F1)가 LVT 상태를 갖고 있고, 제2 FeFET(F2)의 게이트가 제2 비트라인(BL[1])과 연결되어 라이트 전압(V_w)이 인가되므로 턴온되어 제13 매치라인(ML[02])의 라이트 전압(V_w)을 제12 매치라인(ML[01])으로 전달한다. 이때 제12 TCAM 셀(CL[01])의 제2 FeFET(F1)는 게이트가 제2 비트라인바(BLB[1])와 연결되어 접지 전압이 인가되므로, 제1 FeFET(F2)의 게이트-소스 전압(V_{GS})은 네거티브 라이트 전압($-V_w$)이 인가되는 것으로 볼 수 있다. 따라서 제12 TCAM 셀(CL[01])의 제2 FeFET(F2)는 HVT 상태를 갖는다.

[0075] 유사하게 제11 TCAM 셀(CL[00])에서는 제2 FeFET(F2)가 LVT 상태를 갖고 있고, 제2 FeFET(F2)의 게이트가 제1 비트라인바(BLB[0])와 연결되어 라이트 전압(V_w)이 인가되므로 턴온되어 제12 매치라인(ML[01])의 라이트 전압(V_w)을 제11 매치라인(ML[00])으로 전달한다. 그리고 제11 TCAM 셀(CL[00])의 제1 FeFET(F1)는 게이트가 제1 비트라인(BL[0])과 연결되어 접지 전압이 인가되므로, 제1 FeFET(F1)에는 네거티브 라이트 전압($-V_w$)에 대응하는 게이트-소스 전압(V_{GS})이 인가되어 HVT 상태를 갖는다.

[0076] 결과적으로 제2 단계에서는 선택된 행의 TCAM 셀(CL[00], CL[01], CL[02])의 제1 및 제2 FeFET(F1, F2) 중 제1 단계에서 LVT의 상태를 갖게 된 FeFET는 LVT 상태를 유지하고 나머지 FeFET는 HVT 상태를 갖도록 변화된다.

[0077] 이때 선택되지 않은 행의 TCAM 셀(CL[10], CL[11], CL[12])의 경우, 대응하는 프리차지바 신호(PREB[1])가 라

이트 전압(V_W)으로 인가되어, 제2 풀업 트랜지스터(PU[0])가 턴오프 상태를 유지하고 있고, 제2 풀다운 트랜지스터(PD[0])는 턴온 상태를 유지하고 있어 제2 매치라인(ML[1])으로 라이트 전압(V_W)이 인가되지 않는다. 또한 선택되지 않은 제2 워드라인(WL[1])이 접지 전압레벨을 유지하므로, 제2행의 모든 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 액세스 트랜지스터(T1, T2)가 턴오프 상태를 유지한다. 따라서 제2행의 TCAM 셀(CL[10], CL[11], CL[12])의 제1 및 제2 FeFET(F1, F2)는 대응하는 비트라인쌍(BL[0]/BLB[0], BL[1]/BLB[1], BL[2]/BLB[2])과 전기적으로 연결되지 않아, 비트라인쌍(BL[0]/BLB[0], BL[1]/BLB[1], BL[2]/BLB[2])으로 인가되는 전압레벨에 무관하게 상태 변화가 발생하지 않는다. 즉 선택되지 않은 TCAM 셀(CL[10], CL[11], CL[12])에 데이터가 라이트되는 라이트 디스터번스가 발생하지 않음을 알 수 있다.

[0078] 표 1은 데이터 '0', '1' 및 'X(don't care)'가 라이트되는 경우, 제1 및 제2 단계에서 각라인에 인가되는 전압레벨과 이에 따른 TCAM 셀(CL)의 제1 및 제2 FeFET(F1, F2)의 상태를 정리하여 나타내었다.

표 1

		WL		BL	BLB	동작
		sel	unsel			
'0'	Step 1	V_W	0	0	V_W	LVT in F_B
	Step 2	0	0			HVT in F_U
'1'	Step 1	V_W	0	V_W	0	LVT in F_U
	Step 2	0	0			HVT in F_B
'X'	Step 1	V_W	0	V_W	V_W	LVT in F_U & F_B
	Step 2	0	0			Hold

[0079]

[0080] 도 7 및 도 8은 본 실시예에 따른 NAND 타입 TCAM의 검색 동작을 설명하기 위한 도면이다.

[0081] 본 실시예에 따른 TCAM의 검색 동작은 도 7에 도시된 프리차지 단계와 도 8에 도시된 매치 평가 단계의 2단계로 구성된다.

[0082] 여기서는 일 예로 도 5 및 도 6에 따라 제1행의 3개의 TCAM 셀(CL[00], CL[01], CL[02])에 각각 데이터 '0', '1' 및 'X'이 라이트되어 있는 것으로 가정하고, 제2행의 3개의 TCAM 셀(CL[10], CL[11], CL[12])에는 각각 데이터 '1', '1', '0'이 라이트되어 있는 가정하며, '010'의 3비트 데이터를 검색하여 출력하는 경우를 가정하여 설명한다.

[0083] 도 7을 참조하면, 본 실시예에 따른 NAND 타입 TCAM은 검색 동작의 프리차지 단계에서는 다수의 워드라인(WL[0], WL[1]) 각각에 전원 전압(V_{DD})이 인가되어 각 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 액세스 트랜지스터(T1, T2)가 모두 턴온된다. 이때 다수의 워드라인(WL[0], WL[1])으로 전원 전압(V_{DD})이 인가되어 제1 및 제2 액세스 트랜지스터(T1, T2)를 프리차지 단계에서 미리 턴온시키는 것은 이후, 매치 평가 단계에서 미리 턴온된 제1 및 제2 액세스 트랜지스터(T1, T2)에 따라 빠르게 매치 평가가 수행될 수 있도록 하기 위함이다.

[0084] 그리고 각 비트라인쌍(BL[0]/BLB[0], BL[1]/BLB[1], BL[2]/BLB[2])으로는 로직 '0'에 대응하는 접지 전압이 인가된다.

[0085] TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)는 HVT 상태뿐만 아니라 LVT 상태도 양의 전압레벨을 가지므로, 비트라인쌍(BL[0]/BLB[0], BL[1]/BLB[1], BL[2]/BLB[2])으로 접지 전압이 인가되면, 제1 및 제2 FeFET(F1, F2)는 턴오프 상태로 유지된다.

[0086] 한편 다수의 프리차지바 신호(PREB[0], PREB[1])가 접지 전압으로 인가되어 풀업 트랜지스터(PU[0], PU[1])는 턴온되고, 풀다운 트랜지스터(PD[0], PD[1])는 턴오프된다.

[0087] 이때 풀업 트랜지스터(PU[0], PU[1])의 일단으로는 라이트 동작시와 달리 전원 공급라인을 통해 전원 전압(V_{DD})

이 인가된다. 따라서 제1 및 제2 매치라인(ML[0], ML[1]) 각각에서 풀업 트랜지스터(PU[0], PU[1])의 타단에 연결된 제14 및 제24 매치라인(ML[03], ML[13])이 전원 전압(V_{DD})의 레벨로 프리차지된다. 그러나 상기한 바와 같이, TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 FeFET(F1, F2)는 턴오프 상태로 유지되므로, 프리차지되던 제14 및 제24 매치라인(ML[03], ML[13])이 전원 전압(V_{DD})이 풀다운 트랜지스터(PD[0], PD[1]) 방향으로 전달되지 않는다.

[0088] 도 8의 매치 평가 단계에서는 다수의 워드라인(WL[0], WL[1])이 전원 전압(V_{DD})의 레벨로 유지하여, 각 TCAM 셀((CL[00], CL[01], CL[02]), (CL[10], CL[11], CL[12]))의 제1 및 제2 액세스 트랜지스터(T1, T2)가 모두 턴온 된다.

[0089] 상기에서 '010'의 3비트 데이터를 검색하여 출력하는 경우를 가정하였으므로, 매치 평가 단계에서 제1 및 제3 비트라인(BL[0], BL[2])과 제2 비트라인바(BLB[1])로는 로직 '0'에 대응하는 접지 전압이 인가되고, 제1 및 제3 비트라인바(BLB[0], BLB[2])와 제2 비트라인(BL[1])으로는 로직 '0'에 대응하는 전원 전압(V_{DD})이 인가된다.

[0090] 그러므로 제1행의 TCAM 셀((CL[00], CL[01], CL[02]))에서 LVT 상태를 갖는 제11 TCAM 셀(CL[00])의 제2 FeFET(F2)와 제12 TCAM 셀(CL[01])의 제1 FeFET(F1) 및 제13 TCAM 셀(CL[02])의 제1 및 제2 FeFET(F1, F2)에는 LVT와 HVT 사이의 전압레벨을 갖는 전원 전압(V_{DD})이 게이트로 인가되어 턴온 된다. 따라서 프리차지 단계에서 프리차지된 제14 매치라인(ML[03])의 전원 전압(V_{DD})이 턴온된 제1 풀다운 트랜지스터(PD[0])를 통해 접지 전압으로 흐르게 된다. 따라서 제1 매치라인(ML[0])의 전압레벨이 접지 전압의 레벨을 갖게 된다. 즉 제1행의 3개의 TCAM 셀((CL[00], CL[01], CL[02]))에 저장된 '0', '1' 및 'X'와 인가된 데이터 "010"가 매치되어 제1 매치라인(ML[0])의 전압이 접지 전압의 레벨로 출력된다.

[0091] 그에 반해 제2행의 TCAM 셀((CL[10], CL[11], CL[12]))에서는 각각 데이터 '1', '1' 및 '0'이 저장되어 있는 것으로 가정하였으므로, 제21 및 제22 TCAM 셀(CL[10], CL[11])의 제1 FeFET(F1)과 제23 TCAM 셀(CL[12])의 제2 FeFET(F2)가 LVT 상태를 갖고 있으며, 검색 데이터 "'010"에 따라 제1 비트라인바(BLB[0])와 제2 비트라인(BL[1]) 및 제3 비트라인바(BLB[2])로 인가되는 전원 전압(V_{DD})에 따라 제22 TCAM 셀(CL[11])의 제1 FeFET(F1)와 제23 TCAM 셀(CL[12])의 제2 FeFET(F2)가 턴온된다. 따라서 프리차지된 제24 매치라인(ML[13])의 전원 전압(V_{DD})이 제22 매치라인(ML[13])까지 전달된다. 그러나 제21 TCAM 셀(CL[10])에서는 LVT 상태를 갖는 제1 FeFET(F1)로는 제1 비트라인(BL[0])을 통해 접지 전압이 인가되고, HVT 상태를 갖는 제2 FeFET(F2)로는 제1 비트라인바(BLB[0])를 통해 전원 전압(V_{DD})이 인가되어 제1 및 제2 FeFET(F1, F2)가 모두 턴오프 상태를 유지하게 된다. 따라서 제22 매치라인(ML[13])까지 전달된 전원 전압(V_{DD})이 제21 TCAM 셀(CL[10])에 의해 차단되어 제2 풀다운 트랜지스터(PD[1])로 흐르지 못하고, 제2 매치라인(ML[1])은 전원 전압(V_{DD})의 레벨을 유지하게 된다. 즉 제2행의 3개의 TCAM 셀((CL[10], CL[11], CL[12]))에 저장된 '1', '1' 및 '0'과 인가된 데이터 "010"가 매치되지 않아 제2 매치라인(ML[1])의 전압이 전원 전압(V_{DD})의 레벨로 출력된다.

[0092] 결과적으로 TCAM 어레이에서 다수의 TCAM 셀에 저장된 데이터가 인가된 데이터와 행단위로 매치되면, 해당 행의 매치라인(ML[0])의 전압이 접지 전압의 레벨로 출력되어 매치된 어드레스를 정확하게 식별할 수 있다.

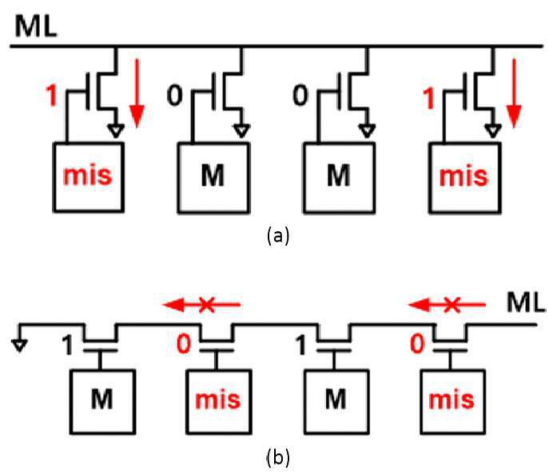
[0093] 상기한 바와 같이 본 실시예에 따른 NAND 타입 TCAM에서는 TCAM 셀 각각이 온/오프 비가 높은 비휘발성의 2개의 FeFET(F1, F2)와 2개의 액세스 트랜지스터(T1, T2)의 적은 개수의 소자를 포함하는 단순 구조를 가지므로, 에너지 소모를 저감시킬 수 있고 좁은 면적에 고집적화하여 소형으로 제조될 수 있으며, 2개의 FeFET(F1, F2)가 LVT와 HVT는 모두 양의 전압레벨을 갖는 타입 II로 구현되어 네거티브 라이트 전압($-V_w$)을 별도로 생성하여 제공할 필요가 없으며, 라이트 동작 시에 선택되지 않은 TCAM 셀에 데이터가 저장되는 라이트 디스터번스가 발생하지 않아 선택된 TCAM 셀에 안정적으로 데이터를 라이트할 수 있다.

[0094] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

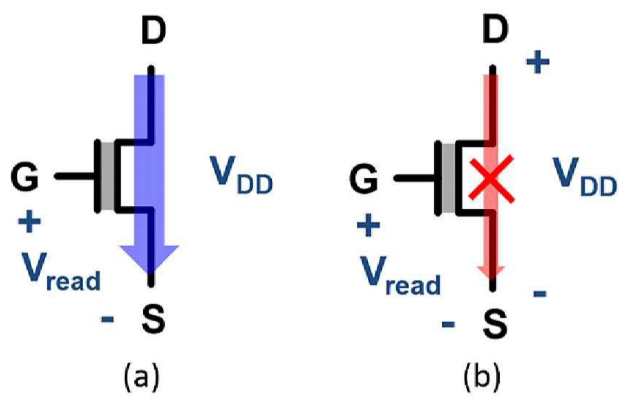
[0095] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

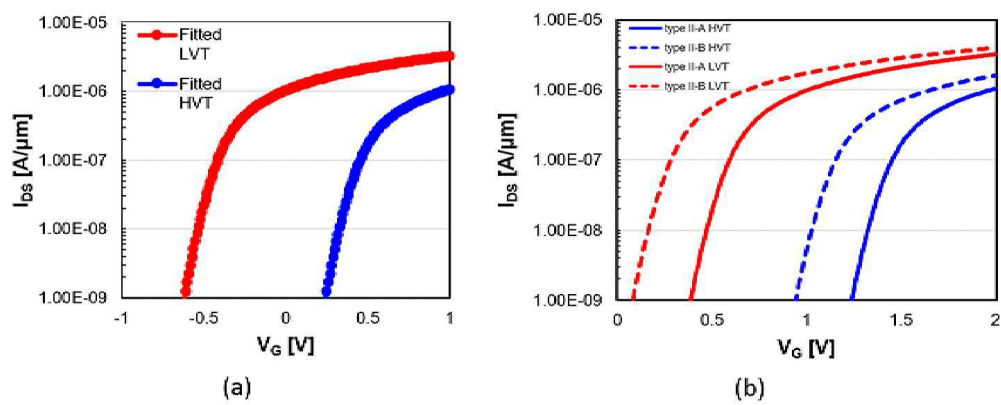
도면1



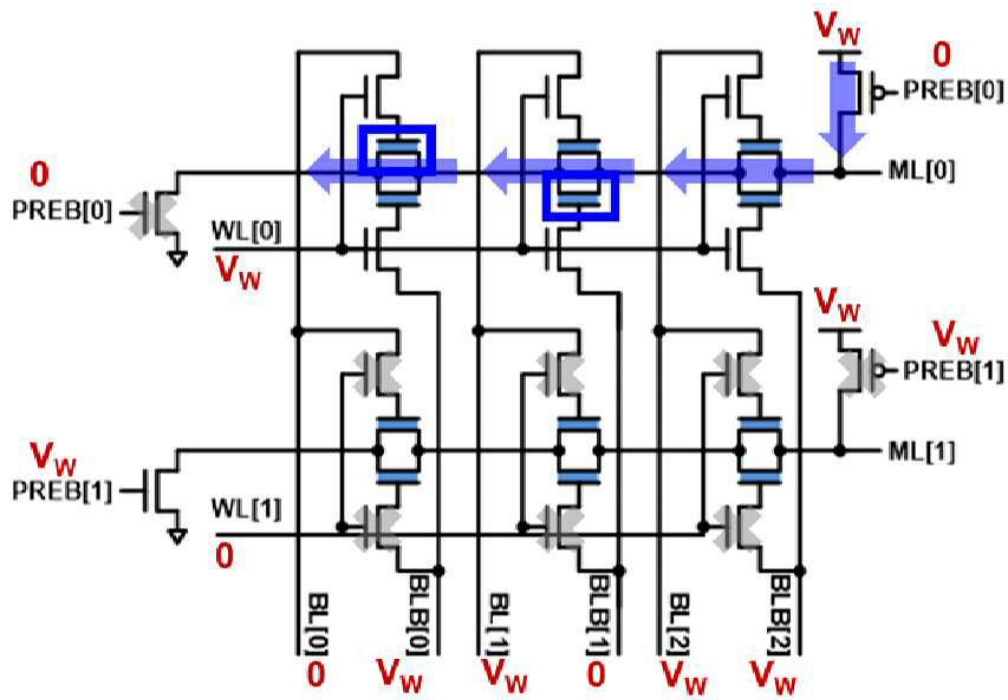
도면2



도면3



도면6



도면7

