

- (51) 국제특허분류(Int. Cl.)  
*G11C 7/06* (2021.01) *G11C 15/04* (2006.01)  
*G11C 7/12* (2006.01) *G11C 8/08* (2006.01)

(52) CPC특허분류  
*G11C 7/065* (2013.01)  
*G11C 15/04* (2013.01)

(21) 출원번호 10-2021-0099882

(22) 출원일자 2021년07월29일  
 심사청구일자 2021년07월29일

(71) 출원인  
 연세대학교 산학협력단  
 서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자  
 정성욱  
 서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)

임세희  
 서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

(74) 대리인  
 민영준

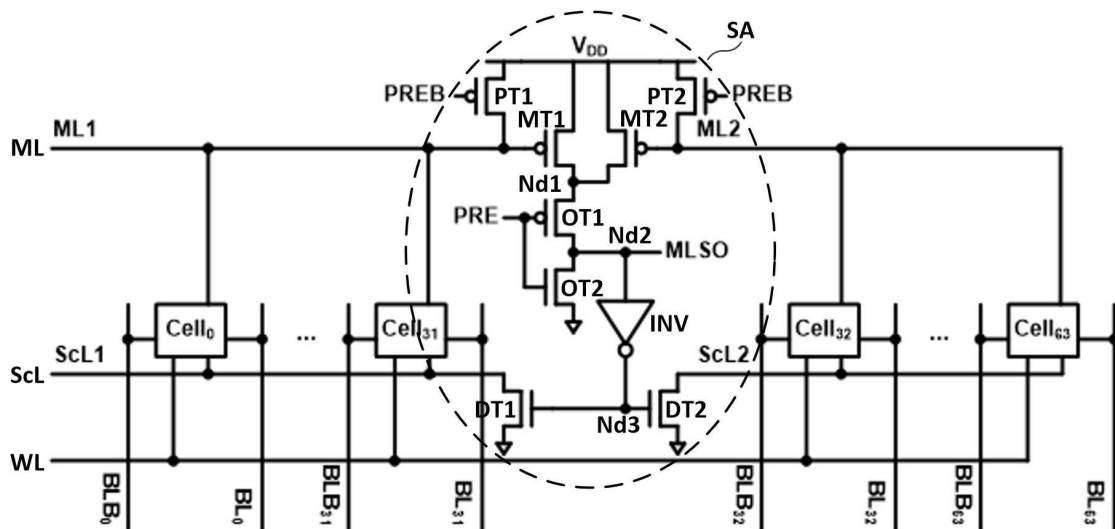
전체 청구항 수 : 총 17 항

- (54) 발명의 명칭 내용 주소화 메모리 및 이를 위한 매치라인 센스 앰프

(57) 요약

본 발명은 프리차지 단계와 검색 단계로 구성되는 검색 동작의 상기 프리차지 단계에서 로우레벨로 활성화되고, 상기 검색 단계 이전 하이레벨로 비활성화되는 프리차지바 신호에 응답하여 전원 전압과 매치라인을 분할한 제1 및 제2 매치라인을 각각 연결하는 프리차지부, 전원 전압과 제1 노드 사이에 연결되고, 제1 및 제2 매치라인 각각의 전압 레벨에 응답하여 전원 전압을 독립적으로 제1 노드로 인가하는 매치 감지부 및 제1 노드와 출력 노드 및 출력 노드와 접지 전압 사이에 연결되고, 프리차지바 신호와 반대 위상을 갖는 프리차지 신호에 응답하여 제1 노드와 출력 노드 또는 출력 노드와 접지 전압을 선택적으로 연결하는 출력부를 포함하여 에너지 소모를 저감시킬 수 있으며, 고속 검색이 가능하도록 하는 CAM 및 이를 위한 매치라인 센스 앰프를 제공한다.

## 대표도 - 도3



(52) CPC특허분류

**G11C 7/12** (2013.01)

**G11C 8/08** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130292
과제번호	2019M3F3A1A02071969
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자핵심선도기술
연구과제명	전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2021.01.01 ~ 2021.12.31

---

## 명세서

### 청구범위

#### 청구항 1

프리차지 단계와 검색 단계로 구성되는 검색 동작의 상기 프리차지 단계에서 로우레벨로 활성화되고, 상기 검색 단계 이전 하이레벨로 비활성화되는 프리차지바 신호에 응답하여 전원 전압과 매치라인을 분할한 제1 및 제2 매치라인을 각각 연결하는 프리차지부;

상기 전원 전압과 제1 노드 사이에 연결되고, 상기 제1 및 제2 매치라인 각각의 전압 레벨에 응답하여 상기 전원 전압을 독립적으로 상기 제1 노드로 인가하는 매치 감지부; 및

상기 제1 노드와 출력 노드 및 상기 출력 노드와 접지 전압 사이에 연결되고, 상기 프리차지바 신호와 반대 위상을 갖는 프리차지 신호에 응답하여 상기 제1 노드와 상기 출력 노드 또는 상기 출력 노드와 상기 접지 전압을 선택적으로 연결하는 출력부를 포함하는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 2

제1항에 있어서, 상기 프리차지부는

상기 전원 전압과 상기 제1 매치라인 사이에 연결되고 게이트로 상기 프리차지바 신호가 인가되는 제1 프리차지 트랜지스터; 및

상기 전원 전압과 상기 제2 매치라인 사이에 연결되고 게이트로 상기 프리차지바 신호가 인가되는 제2 프리차지 트랜지스터를 포함하는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 3

제2항에 있어서, 상기 매치 감지부는

상기 전원 전압 사이에 제1 노드 사이에 연결되고, 게이트가 상기 제1 매치라인에 연결되는 제1 매치 트랜지스터; 및

상기 전원 전압 사이에 제1 노드 사이에 상기 제1 매치 트랜지스터와 병렬로 연결되고, 게이트가 상기 제2 매치라인에 연결되는 제2 매치 트랜지스터를 포함하는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 4

제3항에 있어서, 상기 출력부는

상기 제1 노드와 상기 출력 노드 사이에 연결되고, 게이트로 상기 프리차지 신호가 인가되는 제1 출력 트랜지스터; 및

상기 출력 노드와 상기 접지 전압 사이에 연결되고, 게이트로 상기 프리차지 신호가 인가되며 제2 출력 트랜지스터를 포함하는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 5

제4항에 있어서, 상기 제1 및 제2 프리차지 트랜지스터와 상기 제1 및 제2 매치 트랜지스터 및 상기 제1 출력 트랜지스터는 PMOS 트랜지스터로 구현되고, 상기 제2 출력 트랜지스터는 NMOS 트랜지스터로 구현되는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 6

제4항에 있어서, 상기 CAM은

제1 및 제2 매치라인 중 대응하는 매치라인과 소스 라인을 분할한 제1 및 제2 소스 라인 중 대응하는 소스라인 각각의 사이에 다수의 CAM 셀이 병렬로 연결되고, 워드라인을 통해 인가되는 전압 레벨에 따라 활성화되어 상기 검색 단계에서 비트라인쌍을 통해 인가되는 비트값과 저장된 비트값의 매치 여부에 따라 대응하는 매치라인과

대응하는 소스라인을 전기적으로 연결하는 NOR 타입 CAM으로 구현되는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 7

제6항에 있어서, 상기 매치라인 센스 앰프는

상기 출력 노드에 입력단이 연결되는 인버터; 및

상기 인버터의 출력에 응답하여 상기 제1 및 제2 소스라인을 상기 접지 전압과 연결하는 디스차지부를 더 포함하는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 8

제7항에 있어서, 상기 디스차지부는

상기 제1 소스라인과 상기 접지 전압 사이에 연결되고, 게이트가 상기 인버터의 출력단에 연결되는 제1 디스차지 트랜지스터; 및

상기 제2 소스라인과 상기 접지 전압 사이에 연결되고, 게이트가 상기 제1 디스차지 트랜지스터와 공통으로 상기 인버터의 출력단에 연결되는 제2 디스차지 트랜지스터를 포함하는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 9

제8항에 있어서, 상기 제1 및 제2 디스차지 트랜지스터는

NMOS 트랜지스터로 구현되는 CAM을 위한 매치라인 센스 앰프.

#### 청구항 10

제1 방향으로 연장되는 다수의 매치라인, 다수의 워드라인, 상기 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인쌍에 의해 정의되는 다수의 CAM 셀; 및

상기 다수의 매치라인 중 대응하는 매치라인이 분할된 제1 및 제2 매치라인 사이에 연결되어 상기 제1 및 제2 매치라인을 프리차지 하고, 상기 다수의 비트라인쌍으로 인가된 데이터의 비트값과 대응하는 CAM 셀들에 저장된 비트값 사이의 매치 여부에 따라 발생하는 매치라인의 전압 강하를 감지하는 다수의 매치라인 센스 앰프를 포함하고,

상기 다수의 매치라인 센스 앰프 각각은

프리차지 단계와 검색 단계로 구성되는 검색 동작의 상기 프리차지 단계에서 로우레벨로 활성화되고, 상기 검색 단계 이전 하이레벨로 비활성화되는 프리차지바 신호에 응답하여 전원 전압과 제1 및 제2 매치라인을 각각 연결하여 상기 제1 및 제2 매치라인을 프리차지하는 프리차지부;

상기 전원 전압과 제1 노드 사이에 연결되고, 상기 제1 및 제2 매치라인 각각의 전압 레벨에 응답하여 상기 전원 전압을 독립적으로 상기 제1 노드로 인가하는 매치 감지부; 및

상기 제1 노드와 출력 노드 및 상기 출력 노드와 접지 전압 사이에 연결되고, 상기 프리차지바 신호와 반대 위상을 갖는 프리차지 신호에 응답하여 상기 제1 노드와 상기 출력 노드 또는 상기 출력 노드와 상기 접지 전압을 선택적으로 연결하는 출력부를 포함하는 CAM.

#### 청구항 11

제10항에 있어서, 상기 프리차지부는

상기 전원 전압과 상기 제1 매치라인 사이에 연결되고 게이트로 상기 프리차지바 신호가 인가되는 제1 프리차지 트랜지스터; 및

상기 전원 전압과 상기 제2 매치라인 사이에 연결되고 게이트로 상기 프리차지바 신호가 인가되는 제2 프리차지 트랜지스터를 포함하는 CAM.

#### 청구항 12

제11항에 있어서, 상기 매치 감지부는

상기 전원 전압 사이에 제1 노드 사이에 연결되고, 게이트가 상기 제1 매치라인에 연결되는 제1 매치 트랜지스터; 및

상기 전원 전압 사이에 제1 노드 사이에 상기 제1 매치 트랜지스터와 병렬로 연결되고, 게이트가 상기 제2 매치라인에 연결되는 제2 매치 트랜지스터를 포함하는 CAM.

### 청구항 13

제12항에 있어서, 상기 출력부는

상기 제1 노드와 상기 출력 노드 사이에 연결되고, 게이트로 상기 프리차지 신호가 인가되는 제1 출력 트랜지스터; 및

상기 출력 노드와 상기 접지 전압 사이에 연결되고, 게이트로 상기 프리차지 신호가 인가되며 제2 출력 트랜지스터를 포함하는 CAM.

### 청구항 14

제13항에 있어서, 상기 CAM은

상기 다수의 CAM 셀이 제1 및 제2 셀 그룹으로 구분되어 제1 및 제2 매치라인 중 대응하는 매치라인과 제1 방향으로 연장되는 다수의 소스 라인 중 대응하는 소스라인이 분할된 제1 및 제2 소스 라인 중 대응하는 소스라인 각각의 사이에 서로 병렬로 연결되는 NOR 타입으로 구현되는 CAM.

### 청구항 15

제14항에 있어서, 상기 제1 및 제2 셀 그룹 각각은

포함된 적어도 하나의 CAM 셀 각각이 대응하는 워드라인을 통해 인가되는 전압 레벨에 따라 활성화되어, 상기 검색 단계에서 다수의 비트라인쌍 중 대응하는 비트라인쌍을 통해 인가되는 비트값과 저장된 비트값의 매치 여부에 따라 대응하는 매치라인과 대응하는 소스라인을 전기적으로 연결하는 CAM.

### 청구항 16

제15항에 있어서, 상기 매치라인 센스 앰프는

상기 출력 노드에 입력단이 연결되는 인버터; 및

상기 인버터의 출력에 응답하여 상기 제1 및 제2 소스라인을 상기 접지 전압과 연결하는 디스차지부를 더 포함하는 CAM.

### 청구항 17

제16항에 있어서, 상기 디스차지부는

상기 제1 소스라인과 상기 접지 전압 사이에 연결되고, 게이트가 상기 인버터의 출력단에 연결되는 제1 디스차지 트랜지스터; 및

상기 제2 소스라인과 상기 접지 전압 사이에 연결되고, 게이트가 상기 제1 디스차지 트랜지스터와 공통으로 상기 인버터의 출력단에 연결되는 제2 디스차지 트랜지스터를 포함하는 CAM.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 NOR 타입 내용 주소화 메모리 및 이를 위한 매치라인 센스 앰프에 관한 것으로, 전력 소모를 줄이면서 검색 속도를 향상시킬 수 있는 NOR 타입 내용 주소화 메모리 및 이를 위한 매치라인 센스 앰프에 관한 것이다.

## 배경 기술

[0002] 내용 주소화 메모리(Content Addressable Memory: 이하 CAM)는 다수의 CAM 셀을 구비하여 데이터를 저장하는

메모리로서, 데이터를 입력으로 인가받아 인가된 데이터가 저장된 어드레스를 출력하도록 구성된 메모리를 의미한다. CAM은 네트워크 라우터에서의 검색 엔진이나 이미지 프로세스, 또는 신경망 등과 같이 고속 검색이 요구되는 다양한 응용 분야에 이용된다.

[0003] 그리고 CAM은 인가된 데이터가 저장된 메모리 셀을 검색하여 어드레스를 출력하는 메모리로서 다수의 CAM 셀이 매치라인의 연결된 형태에 따라 상이한 동작 방식으로 검색을 수행하며, 검색 동작 방식에 따라 NAND 타입과 NOR 타입으로 구분된다.

[0004] 도 1은 NAND 타입 CAM의 CAM 셀 연결 구성과 검색 동작을 설명하기 위한 도면이다.

[0005] 도 1에 도시된 바와 같이, NAND 타입의 경우, 다수의 CAM 셀(Cell)이 매치라인(ML) 상에 직렬로 연결되고, 직렬로 연결된 다수의 CAM 셀(Cell) 각각은 인가되는 데이터의 대응하는 비트값에 따라 온/오프되어 양측에 연결된 매치라인(ML)을 서로 전기적으로 연결하는 스위치로서 동작한다. 그리고 센싱부(SE)는 매치라인(ML)의 양측에 분산 배치된다. 센싱부(SE)는 매치라인(ML)의 일측에 연결되는 프리차지 트랜지스터(PT)와 타측에 연결되는 디스차지 트랜지스터(DT)를 포함한다.

[0006] NAND 타입 CAM에서 검색 동작(Search Operation)은 프리차지 단계(Precharge phase)와 검색 단계(Match Evaluation Phase)로 구성되며, 프리차지 단계에서는 프리차지바 신호(PREB)가 접지 전압 레벨로 활성화된다. 프리차지바 신호(PREB)가 접지 전압 레벨로 활성화됨에 따라 프리차지 트랜지스터(PT)는 프리차지바 신호(PREB)에 응답하여 턴온되고, 디스차지 트랜지스터(DT)는 프리차지바 신호(PREB)에 응답하여 턴오프된다.

[0007] 턴온된 프리차지 트랜지스터(PT)는 연결된 매치라인(ML)의 일측을 전원 전압( $V_{DD}$ ) 레벨로 풀업한다. 반면, 턴오프된 디스차지 트랜지스터(DT)는 매치라인(ML)의 타측과 접지 전압 사이의 연결을 차단한다. 즉 디스차지 트랜지스터(DT)는 매치라인(ML)의 타측을 플로팅 시킨다. 이때, 서로 인접한 CAM 셀(Cell) 사이에 배치된 매치라인(ML)들 또한 플로팅 상태이다.

[0008] 이후 검색 단계에서는 프리차지바 신호(PREB)가 접지 전압보다 높은 전압 레벨을 갖는 전원 전압( $V_{DD}$ ) 레벨로 비활성화된다. 이에 프리차지 트랜지스터(PT)는 턴오프되고, 디스차지 트랜지스터(DT)는 턴온된다. 디스차지 트랜지스터(DT)가 턴온됨에 따라 매치라인(ML)의 타측이 접지 전압 레벨로 풀다운된다.

[0009] 이와 함께 검색 단계에서는 검색하고자 하는 데이터의 각 비트값이 다수의 CAM 셀(Cell)에서 대응하는 CAM 셀(Cell) 각각에 인가된다. 이에 다수의 CAM 셀(Cell) 각각은 인가된 비트값과 미리 저장된 비트값이 매치(M)되면 턴온되어 양측의 매치라인(ML)을 전기적으로 연결하는 반면, 비트값이 미스매치(mis)되면, 턴오프되어 양측의 매치라인(ML)의 연결을 차단한다. 따라서 검색하고자 하는 데이터의 모든 비트값이 해당 매치라인(ML)에 연결된 다수의 CAM 셀(Cell)에 저장된 비트값들과 동일하여 매치되면, 매치라인(ML)의 일측에 프리차지된 전압이 디스차지 트랜지스터(DT)를 통해 접지 전압으로 풀다운된다. 이에 매치라인(ML)의 일측에서 출력되는 매치라인 센싱 출력(MLS0)은 접지 전압 레벨이 되어 "0"의 값으로 출력된다.

[0010] 반면, 다수의 CAM 셀(Cell) 중 적어도 하나의 CAM 셀(Cell)에 저장된 비트값과 인가된 비트값이 상이하여 미스매치(mis)가 발생되면, 미스매치가 발생된 CAM 셀(Cell)에 의해 매치라인(ML)의 전기적 연결이 차단됨으로써, 매치라인(ML)의 일측은 프리차지된 전압 레벨을 유지하고, 이에 매치라인 센싱 출력(MLS0)은 전원 전압( $V_{DD}$ ) 레벨인 "1"의 값으로 출력된다.

[0011] 도 2는 NOR 타입 CAM의 CAM 셀 연결 구성과 검색 동작을 설명하기 위한 도면이다.

[0012] NOR 타입 CAM의 경우, NAND 타입 CAM과 상이하게 다수의 CAM 셀(Cell)이 매치라인(ML) 상에 병렬로 연결된다. 그리고 병렬로 연결된 다수의 CAM 셀(Cell) 각각은 인가되는 데이터의 대응하는 비트값에 따라 온/오프되어 매치라인(ML)과 접지 전압을 전기적으로 연결하는 스위치로서 동작한다. 그리고 NOR 타입 CAM에서 센싱부(SE)는 매치라인(ML)의 일측에 연결된다. 센싱부(SE)는 프리차지 트랜지스터(PT)와 인버터(INV)를 포함한다.

[0013] NOR 타입 CAM에서도 검색 동작은 프리차지 단계와 검색 단계로 구성되며, 프리차지 단계에서는 프리차지바 신호(PREB)가 접지 전압 레벨로 활성화된다. 이에 프리차지 트랜지스터(PT)가 프리차지바 신호(PREB)에 응답하여 턴온되어 매치라인(ML)을 전원 전압( $V_{DD}$ ) 레벨로 풀업한다. NOR 타입 CAM에서는 매치라인(ML)이 CAM 셀(Cell)에 의해 단절되지 않으므로, 매치라인(ML) 전체가 전원 전압( $V_{DD}$ ) 레벨로 프리차지 된다.

[0014] 이후 검색 단계에서는 프리차지바 신호(PREB)가 전원 전압( $V_{DD}$ ) 레벨로 비활성화되고, 프리차지 트랜지스터(PT)

는 프리차지바 신호(PREB)에 응답하여 턴오프된다. 그리고 검색하고자 하는 데이터의 각 비트값이 다수의 CAM 셀(Cell)에서 대응하는 CAM 셀(Cell) 각각에 인가된다. 다수의 CAM 셀(Cell) 각각은 인가된 비트값과 미리 저장된 비트값이 매치(M)되면 턴오프되어 독립적으로 매치라인(ML)과 접지 전압 사이의 전기적으로 연결을 차단하는 반면, 비트값이 미스매치(mis)되면, 턴온되어 매치라인(ML)과 접지 전압을 전기적으로 연결한다. 따라서 검색하고자 하는 데이터의 적어도 하나의 비트값이 해당 매치라인(ML)에 연결된 다수의 CAM 셀(Cell)에 저장된 비트값과 미스매치(mis)되면, 매치라인(ML)은 미스매치(mis)된 CAM 셀(Cell)을 통해 접지 전압으로 풀다운되고, 이에 매치라인(ML)의 일측에 연결된 인버터(INV)는 매치라인(ML)의 전압 레벨을 반전하여 매치라인 센싱 출력(MLSO)을 "1"의 값으로 출력한다.

[0015] 반면, 다수의 CAM 셀(Cell)에 저장된 모든 비트값과 인가된 데이터의 비트값이 모두 매치되면, 해당 매치라인(ML)에 연결된 모든 CAM 셀(Cell)이 매치라인(ML)과 접지 전압 사이의 전기적으로 연결을 차단하므로, 매치라인(ML)은 프리차지된 전원 전압( $V_{DD}$ ) 레벨을 유지한다. 이에 인버터(INV)는 매치라인(ML)의 전압 레벨을 반전하여 매치라인 센싱 출력(MLSO)을 "0"의 값으로 출력한다.

[0016] 결과적으로 NAND 타입과 NOR 타입 CAM 모두 CAM 어레이의 다수의 CAM 셀(Cell)에 저장된 데이터가 인가된 데이터와 행단위로 매치되는지 여부에 따라, 해당 행의 매치라인(ML)에서 출력되는 매치라인 센싱 출력(MLSO)이 상이한 값으로 출력되어 매치된 어드레스를 정확하게 식별할 수 있다.

[0017] 다만 NAND 타입 CAM에서는 동일한 매치라인(ML)에 연결되는 모든 CAM 셀에서 매치가 된 경우에만 매치라인(ML)의 전류가 접지 전압으로 흐르도록 구성된다. 따라서 NAND 타입에서는 하나의 셀에서만 미스매치가 발생되더라도 전류가 흐르지 않아 에너지 소모가 작다는 장점이 있으나, 매치라인(ML)의 방전 경로가 직렬로 구성됨에 따라 각 데이터의 각 비트가 순차 검색되므로 검색 속도가 느리다는 단점이 있다.

[0018] 그에 반해 NOR 타입 CAM에서는 매치라인(ML)에 연결된 다수의 CAM 셀 중 하나 CAM 셀에서만 미스매치가 발생되더라도 전류가 흘러 매치라인(ML)의 전압 레벨 변화가 발생하므로 빠른 검색 속도를 나타낼 수 있다. 다만 다수의 CAM 셀이 배열된 셀 어레이를 포함하는 CAM에서 대부분의 매치라인(ML)에 미스매치가 발생되어 전류가 흐르게 되므로, 소비되는 에너지가 매우 크다는 문제가 있다.

[0019] 즉, NAND 타입과 NOR 타입 CAM 모두 장단점을 갖고 있으므로, NAND 타입 또는 NOR 타입은 CAM의 활용 목적에 따라 선택적으로 이용된다. 그러나 최근에는 검색되어야 하는 데이터량 자체가 증가되고 있을 뿐만 아니라 매치여부가 판별되어야 하는 데이터의 비트 수 증가로 인해, 고속으로 검색을 수행하면서도 전력 소비를 줄일 수 있는 CAM에 대한 요구가 계속되고 있다.

## 선행기술문헌

### 특허문헌

[0020] (특허문헌 0001) 한국 등록 특허 제10-1557926호 (2015.09.30 등록)

## 발명의 내용

### 해결하려는 과제

[0021] 본 발명의 목적은 에너지 소비를 저감시킬 수 있는 CAM 및 이를 위한 매치라인 센스 앰프를 제공하는데 있다.

[0022] 본 발명의 다른 목적은 고속 검색이 가능한 NOR CAM에서 더욱 고속으로 검색을 수행할 수 있는 CAM 및 이를 위한 매치라인 센스 앰프를 제공하는데 있다.

### 과제의 해결 수단

[0023] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 CAM을 위한 매치라인 센스 앰프는 프리차지 단계와 검색 단계로 구성되는 검색 동작의 상기 프리차지 단계에서 로우레벨로 활성화되고, 상기 검색 단계 이전 하이레벨로 비활성화되는 프리차지바 신호에 응답하여 전원 전압과 매치라인을 분할한 제1 및 제2 매치라인을 각각 연결하는 프리차지부; 상기 전원 전압과 제1 노드 사이에 연결되고, 상기 제1 및 제2 매치라인 각각의 전압 레벨에 응답하여 상기 전원 전압을 독립적으로 상기 제1 노드로 인가하는 매치 감지부; 및 상기 제1 노드와 출력 노



드 및 상기 출력 노드와 접지 전압 사이에 연결되고, 상기 프리차지바 신호와 반대 위상을 갖는 프리차지 신호에 응답하여 상기 제1 노드와 상기 출력 노드 또는 상기 출력 노드와 상기 접지 전압을 선택적으로 연결하는 출력부를 포함한다.

[0024] 상기 프리차지부는 상기 전원 전압과 상기 제1 매치라인 사이에 연결되고 게이트로 상기 프리차지바 신호가 인가되는 제1 프리차지 트랜지스터; 및 상기 전원 전압과 상기 제2 매치라인 사이에 연결되고 게이트로 상기 프리차지바 신호가 인가되는 제2 프리차지 트랜지스터를 포함할 수 있다.

[0025] 상기 매치 감지부는 상기 전원 전압 사이에 제1 노드 사이에 연결되고, 게이트가 상기 제1 매치라인에 연결되는 제1 매치 트랜지스터; 및 상기 전원 전압 사이에 제1 노드 사이에 상기 제1 매치 트랜지스터와 병렬로 연결되고, 게이트가 상기 제2 매치라인에 연결되는 제2 매치 트랜지스터를 포함할 수 있다.

[0026] 상기 출력부는 상기 제1 노드와 상기 출력 노드 사이에 연결되고, 게이트로 상기 프리차지 신호가 인가되는 제1 출력 트랜지스터; 및 상기 출력 노드와 상기 접지 전압 사이에 연결되고, 게이트로 상기 프리차지 신호가 인가되며 제2 출력 트랜지스터를 포함할 수 있다.

[0027] 상기 CAM은 제1 및 제2 매치라인 중 대응하는 매치라인과 소스 라인을 분할한 제1 및 제2 소스 라인 중 대응하는 소스라인 각각의 사이에 다수의 CAM 셀이 병렬로 연결되고, 워드라인을 통해 인가되는 전압 레벨에 따라 활성화되어 상기 검색 단계에서 비트라인쌍을 통해 인가되는 비트값과 저장된 비트값의 매치 여부에 따라 대응하는 매치라인과 대응하는 소스라인을 전기적으로 연결하는 NOR 타입 CAM으로 구현될 수 있다.

[0028] 상기 매치라인 센스 앰프는 상기 출력 노드에 입력단이 연결되는 인버터; 및 상기 인버터의 출력단에 응답하여 상기 제1 및 제2 소스라인을 상기 접지 전압과 연결하는 디스차지부를 더 포함할 수 있다.

[0029] 상기 디스차지부는 상기 제1 소스라인과 상기 접지 전압 사이에 연결되고, 게이트가 상기 인버터의 출력단에 연결되는 제1 디스차지 트랜지스터; 및 상기 제2 소스라인과 상기 접지 전압 사이에 연결되고, 게이트가 상기 제1 디스차지 트랜지스터와 공통으로 상기 인버터의 출력단에 연결되는 제2 디스차지 트랜지스터를 포함할 수 있다.

[0030] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 CAM은 제1 방향으로 연장되는 다수의 매치라인, 다수의 워드라인, 상기 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인쌍에 의해 정의되는 다수의 CAM 셀; 및 상기 다수의 매치라인 중 대응하는 매치라인이 분할된 제1 및 제2 매치라인 사이에 연결되어 상기 제1 및 제2 매치라인을 프리차지 하고, 상기 다수의 비트라인쌍으로 인가된 데이터의 비트값과 대응하는 CAM 셀들에 저장된 비트값 사이의 매치 여부에 따라 발생하는 매치라인의 전압 강하를 감지하는 다수의 매치라인 센스 앰프를 포함하고, 상기 다수의 매치라인 센스 앰프 각각은 프리차지 단계와 검색 단계로 구성되는 검색 동작의 상기 프리차지 단계에서 로우레벨로 활성화되고, 상기 검색 단계 이전 하이레벨로 비활성화되는 프리차지바 신호에 응답하여 전원 전압과 제1 및 제2 매치라인을 각각 연결하여 상기 제1 및 제2 매치라인을 프리차지하는 프리차지부; 상기 전원 전압과 제1 노드 사이에 연결되고, 상기 제1 및 제2 매치라인 각각의 전압 레벨에 응답하여 상기 전원 전압을 독립적으로 상기 제1 노드로 인가하는 매치 감지부; 및 상기 제1 노드와 출력 노드 및 상기 출력 노드와 접지 전압 사이에 연결되고, 상기 프리차지바 신호와 반대 위상을 갖는 프리차지 신호에 응답하여 상기 제1 노드와 상기 출력 노드 또는 상기 출력 노드와 상기 접지 전압을 선택적으로 연결하는 출력부를 포함한다.

### 발명의 효과

[0031] 따라서, 본 발명의 실시예에 따른 CAM 및 이를 위한 매치라인 센스 앰프는 매치라인이 일측에 연결되지 않고, 매치라인을 2분할하여 양측에 분할된 매치라인이 연결되어 분할된 매치라인 각각에서 미스매치에 따른 전류가 개별적으로 접지로 흐르도록 하여 에너지 소모를 저감시킬 뿐만 아니라, 분할된 매치라인이 개별적으로 프리차지되도록 하여 프리차지를 위한 전력 소모 또한 저감시킬 수 있다. 또한 매치라인의 분할에 의해 분할된 매치라인에 연결된 CAM 셀의 개수가 줄어 캐패시턴스가 작아 고속 동작이 가능하다. 뿐만 아니라 분할된 매치라인 모두에서 미스매치가 발생하더라도 각 매치라인의 전압 레벨이 접지전압 레벨까지 강하하지 않도록 하여 프리차지를 위한 전력 소모를 더욱 저감할 수 있다.

### 도면의 간단한 설명

[0032] 도 1은 NAND 타입 CAM의 CAM 셀 연결 구성과 검색 동작을 설명하기 위한 도면이다.

도 2는 NOR 타입 CAM의 CAM 셀 연결 구성과 검색 동작을 설명하기 위한 도면이다.



도 3은 본 발명의 일 실시예에 따른 매치라인 센스 앰프를 포함하는 CAM의 일 예를 나타낸다.

도 4는 도 3의 CAM 셀의 일 예를 나타낸다.

도 5는 도 3의 CAM의 프리차지 동작을 설명하기 위한 도면이다.

도 6은 도 5의 CAM의 프리차지 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.

도 7은 도 3의 CAM의 검색 단계의 초기 동작을 설명하기 위한 도면이다.

도 8은 도 7의 CAM의 검색 단계의 초기 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.

도 9는 도 3의 CAM의 검색 단계를 설명하기 위한 도면이다.

도 10은 도 9의 CAM의 검색 단계를 설명하기 위한 타이밍 다이어그램을 나타낸다.

### 발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0034] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.
- [0035] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0036] 도 3은 본 발명의 일 실시예에 따른 매치라인 센스 앰프를 포함하는 CAM의 일 예를 나타낸다.
- [0037] 본 실시예에 따른 CAM에서는 다수의 CAM 셀(Cell)은 매치라인(ML)에 각각 병렬로 연결된다. 즉 본 실시예에 따른 CAM은 기본적으로 NOR 타입 CAM 구조를 갖는다.
- [0038] 도 3을 참조하면, 다수의 CAM 셀(Cell)은 CAM 셀 어레이에서 제1 방향으로 연장되는 다수의 매치라인 중 대응하는 매치라인(ML)과, 제1 방향으로 연장되는 다수의 소스라인 중 대응하는 소스라인(ScL) 사이에 병렬로 연결된다. 또한 다수의 CAM 셀(Cell)은 매치라인(ML)과 소스라인(ScL)과 함께 제1 방향으로 연장되는 다수의 워드라인 중 대응하는 워드라인(WL)에 연결된다. 그리고 다수의 CAM 셀(Cell)은 제1 방향과 수직인 제2 방향으로 연장되는 다수의 비트라인쌍(BLB/BL) 중 대응하는 비트라인쌍에 연결된다.
- [0039] 여기서 워드라인(WL)은 데이터와 함께 인가되는 어드레스에 따라 활성화되어 대응하는 매치라인(ML)에 연결된 다수의 CAM 셀(Cell)을 활성화한다. 즉 워드라인(WL)은 CAM 셀 어레이에서 다수의 CAM 셀(Cell)을 행 단위로 선택하여 활성화하는 기능을 수행한다. 그리고 다수의 비트라인쌍(BLB/BL)은 인가되는 데이터에서 대응하는 비트값을 다수의 CAM 셀(Cell) 각각에 전달한다. 즉 다수의 비트라인쌍(BLB/BL)은 워드라인(WL)에 의해 행단위로 활성화된 다수의 CAM 셀(Cell) 각각에 데이터에 따른 비트값을 전달하는 기능을 수행한다.
- [0040] 도 2의 NOR 타입 CAM에서는 다수의 CAM 셀(Cell)이 매치라인(ML)과 접지 전압 사이에 병렬로 연결되는 것으로 설명하였다. 그러나 CAM 셀은 휘발성 소자인 CMOS로 구현되거나 비휘발성 소자인 MTJ(Magnetic Tunnel Junction) 또는 ReRAM(Resistive RAM) 등으로 구현될 수 있을 뿐만 아니라, 강유전체 트랜지스터(Ferroelectric FET: 이하 FeFET) 소자를 이용하여 구현될 수 있다. FeFET 소자는 CMOS 회로와의 호환성이 우수하고, 기존 다른 비휘발성 메모리에 대비하여 높은 온/오프 비율(ON/OFF ratio)( $10^{15}$ )과 빠른 라이트(write) 속도(10ns), 우수한 내구성( $10^{10}$  cycle) 및 낮은 쓰기 전력 소모로 우수한 성능을 나타낸다. 또한 소스-게이트-드레인의 3 단자 구조(3 terminal structure)로 리드/라이트 경로가 상이하여 리드/라이트 실패가 발생할 가능성이 매우 낮아 라이트 회로 구조가 간단하다는 장점이 있어 최근 메모리 소자로 활발하게 연구되고 있다.
- [0041] 이와 같이, CAM 셀(Cell)은 CMOS 소자, MTJ 소자, ReRAM 소자 및 FeFET 소자등의 다양한 소자를 이용하여 구현될 수 있으며, CAM 셀(Cell)의 소자 구성에 따라 CAM 셀 어레이에는 도 3에 도시된 바와 같이, 매치라인(ML)뿐

만 아니라 소스라인(ScL)이 더 배치될 수 있다. 다만 상기한 바와 같이, CAM 셀(Cell)의 소자 구성에 따라 소스라인(ScL)은 생략될 수 있으며, 이 경우, 다수의 CAM 셀(Cell) 각각은 대응하는 매치라인(ML)과 접지 전압 사이에 병렬로 연결될 수 있다.

[0042] 그리고 다수의 워드라인과 다수의 비트라인쌍은 CAM 셀 어레이의 기본 구성으로 도 2에서는 설명의 편의를 위하여 워드라인(WL)과 다수의 비트라인쌍(BLB/BL)을 생략하였으나, 도 3에서는 센스 앰프(SA)의 동작을 명확하게 설명하기 위하여 표시하였다.

[0043] 또한 도시하지 않았으나, CAM 셀(Cell)의 구조에 따라서는 CAM 셀(Cell)에 저장되어야 하는 데이터의 비트값이 인가되는 비트라인쌍(BLB/BL)과 별도로 CAM 셀(Cell)에 저장된 비트값과 매치 여부를 비교하기 위한 검색 데이터의 비트값이 인가되는 다수의 검색라인쌍(SL/SLB)이 더 구비될 수 있다. 다수의 검색라인쌍(SL/SLB)은 제2 방향으로 연장되는 패턴으로 다수의 비트라인쌍(BLB/BL)과 별도로 형성될 수 있다. 여기서는 검색 데이터의 비트값 또한 다수의 비트라인쌍(BLB/BL)을 통해 대응하는 CAM 셀(Cell)로 인가되는 구조인 것으로 가정하여 다수의 검색라인쌍(SL/SLB)은 생략하였다.

[0044] 한편, 본 실시예에서 센스 앰프(SA)는 매치라인(ML) 사이에 연결된다. 즉 본 실시예에서 매치라인(ML)은 제1 및 제2 매치라인(ML)로 분할되어 센스 앰프(SA)의 양측에 연결된다. 그리고 제1 및 제2 매치라인(ML)으로 분할된 매치라인(ML)에 대응하여 소스라인(ScL) 또한 제1 및 제2 소스라인(ScL1, ScL2)로 분할되어 센스 앰프(SA)의 양측에 연결된다.

[0045] 그리고 분할된 제1 및 제2 매치라인(ML)과 제1 및 제2 소스라인(ScL1, ScL2)에 따라 대응하는 다수의 CAM 셀(Cell) 또한 제1 및 제2 셀 그룹으로 구분될 수 있다. 여기서는 일 예로 각 매치라인(ML)에 64개의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>63</sub>)이 병렬로 연결되는 것으로 가정하였으며, 이중 32개의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>31</sub>)은 제1 셀 그룹으로 구분되고, 나머지 32개의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>31</sub>)은 제2 셀 그룹으로 구분되는 것으로 가정한다. 여기서 센스 앰프(SA)의 양측에는 균등한 동작을 위해 동일한 개수의 CAM 셀(Cell)이 배치되는 것이 바람직하다.

[0046] 도 3을 참조하면, 본 실시예에 따른 센스 앰프(SA)는 2개의 프리차지 트랜지스터(PT1, PT2)와 2개의 매치 트랜지스터(MT1, MT2), 2개의 출력 트랜지스터(OT1, OT2), 2개의 디스차지 트랜지스터(DT1, DT2) 및 인버터(INV)를 포함한다.

[0047] 우선 2개의 프리차지 트랜지스터(PT1, PT2)는 각각 전원 전압(V<sub>DD</sub>)과 분할된 제1 및 제2 매치라인(ML1, ML2) 중 대응하는 매치라인 사이에 연결된다. 제1 프리차지 트랜지스터(PT1)는 전원 전압(V<sub>DD</sub>)과 제1 매치라인(ML1) 사이에 연결되고, 제2 프리차지 트랜지스터(PT2)는 전원 전압(V<sub>DD</sub>)과 제2 매치라인(ML2) 사이에 연결되는 PMOS 트랜지스터로 구현될 수 있다. 제1 및 제2 프리차지 트랜지스터(PT1, PT2)는 게이트로 프리차지바 신호(PREB)를 인가받고, 인가된 프리차지바 신호(PREB)의 레벨에 따라 활성화되어 제1 및 제2 매치라인(ML1, ML2)을 각각 전원 전압(V<sub>DD</sub>) 레벨로 풀업하여 프리차지 한다. 본 실시예에 따른 CAM 또한 검색 동작은 프리차지 단계와 검색 단계로 구성될 수 있으며, 프리차지바 신호(PREB)는 프리차지 단계에서 로우 레벨(예를 들면 접지 전압 레벨)로 인가되어 제1 및 제2 프리차지 트랜지스터(PT1, PT2)를 활성화시키는 반면, 검색 단계에서는 하이 레벨(예를 들면 전원 전압 레벨)로 인가되어 제1 및 제2 프리차지 트랜지스터(PT1, PT2)를 비활성화시킨다.

[0048] 한편, 2개의 매치 트랜지스터(MT1, MT2)는 전원 전압(V<sub>DD</sub>)과 제1 노드(Nd1) 사이에 서로 병렬로 연결되고, 각각 게이트가 2개의 매치라인(ML1, ML2) 중 대응하는 매치라인에 연결되는 PMOS 트랜지스터로 구현될 수 있다. 게이트가 제1 매치라인(ML1)에 연결된 제1 매치 트랜지스터(MT1)는 제1 매치라인(ML1)의 전압 레벨에 따라 전원 전압(V<sub>DD</sub>)을 제1 노드(Nd1)로 인가하고, 게이트가 제2 매치라인(ML12)에 연결된 제2 매치 트랜지스터(MT2)는 제2 매치라인(ML2)의 전압 레벨에 따라 전원 전압(V<sub>DD</sub>)을 제1 노드(Nd1)로 인가한다. 따라서 2개의 매치 트랜지스터(MT1, MT2)는 제1 및 제2 매치라인(ML1, ML2) 중 적어도 하나의 매치라인의 전압 레벨이 일정 레벨 이하로 강하게 되면, 전원 전압(V<sub>DD</sub>)을 제1 노드(Nd1)로 인가한다. 즉 2개의 매치 트랜지스터(MT1, MT2)는 2개의 매치라인(ML1, ML2)의 전압 레벨을 감지하여 제1 노드(Nd1)의 전압 레벨을 조절하는 감지 트랜지스터로서 동작한다.

[0049] 2개의 출력 트랜지스터(OT1, OT2)는 제1 노드(Nd1)와 접지 전압 사이에 직렬로 연결되고, 각각 게이트로 프리차지 신호(PRE)를 인가받는다. 여기서 프리차지 신호(PRE)는 프리차지바 신호(PREB)와 반대의 위상을 갖는 신호로서, 프리차지 단계에서는 하이 레벨을 갖고, 이외에는 로우 레벨을 가질 수 있다.

- [0050] 2개의 출력 트랜지스터(OT1, OT2) 중 제1 노드(Nd1)와 제2 노드(Nd2) 사이에 연결되는 제1 출력 트랜지스터(OT1)는 PMOS 트랜지스터로 구현되고, 제2 노드(Nd2)와 접지 전압 사이에 연결되는 제2 출력 트랜지스터(OT2)는 PMOS 트랜지스터로 구현될 수 있다. 제1 출력 트랜지스터(OT1)가 PMOS 트랜지스터로 구현되고, 제2 출력 트랜지스터(OT2)는 PMOS 트랜지스터로 구현되므로, 제1 출력 트랜지스터(OT1)는 프리차지 단계에서 턴오프되어 제1 노드(Nd1)의 전압이 제2 노드(Nd2)로 인가되지 않도록 하는 반면, 검색 단계에서는 턴온되어 제1 노드(Nd1)의 전압이 제2 노드(Nd2)에 인가되도록 한다.
- [0051] 한편, 제2 출력 트랜지스터(OT2)는 프리차지 단계에서 턴온되어 제2 노드(Nd2)의 전압 레벨이 접지 전압 레벨로 풀다운되도록 하고, 검색 단계에서는 턴오프되어 제2 노드(Nd2)의 전압 레벨이 매치라인 센싱 출력(MLS0)으로서 출력되도록 한다. 즉 본 실시예에서 제2 노드(Nd2)는 센스 앰프(SA)의 매치라인 센싱 출력(MLS0)이 출력되는 출력 노드이다.
- [0052] 인버터(INV)는 제2 노드(Nd2)와 제3 노드(Nd3) 사이에 연결되어 출력 노드인 제2 노드(Nd2)의 전압 레벨을 반전하여 제3 노드(Nd3)에 인가한다. 여기서 인버터(INV)는 매치라인 센싱 출력(MLS0)을 감지하여 제3 노드(Nd3)에 반영하는 역할을 수행한다.
- [0053] 2개의 디스차지 트랜지스터(DT1, DT2)는 2개의 소스라인(ScL1, ScL2) 중 대응하는 소스라인과 접지 전압 사이에 각각 연결되고 게이트는 인버터(INV)의 출력이 연결되는 제3 노드(Nd3)에 공통으로 연결된다. 따라서 2개의 디스차지 트랜지스터(DT1, DT2)는 인버터(INV)의 출력에 응답하여 턴온 또는 턴오프되어 대응하는 소스라인(ScL1, ScL2)의 전압을 강하시키거나 유지되도록 한다. 제1 및 제2 디스차지 트랜지스터(DT1, DT2)는 인버터(INV)가 하이 레벨을 출력하면, 턴온되어 제1 및 제2 소스라인(ScL1, ScL2)과 접지 전압을 전기적으로 연결하여 제1 및 제2 소스라인(ScL1, ScL2)의 전압 레벨이 낮아지도록 하고, 인버터(INV)가 로우 레벨을 출력하면, 턴오프되어 제1 및 제2 소스라인(ScL1, ScL2)과 접지 전압의 연결을 차단하여 제1 및 제2 소스라인(ScL1, ScL2)이 전압을 유지하도록 한다.
- [0054] 도 3에서 2개의 프리차지 트랜지스터(PT1, PT2)는 프리차지부라고 할 수 있으며, 2개의 매치 트랜지스터(MT1, MT2)는 매치 감지부, 2개의 출력 트랜지스터(OT1, OT2)는 출력부, 2개의 디스차지 트랜지스터(DT1, DT2)는 디스차지부라고 할 수 있다.
- [0055] 여기서 인버터(INV)와 2개의 디스차지 트랜지스터(DT1, DT2)는 CAM의 전력 소모를 추가적으로 저감시키기 위한 구성으로, 경우에 따라서는 생략될 수 있다.
- [0056] 도 4는 도 3의 CAM 셀의 일 예를 나타낸다.
- [0057] 도 4에서는 CAM 셀(Cell)의 일 예로서 2개의 FeFET(F1, F2)와 2개의 액세스 트랜지스터(T1, T2)를 포함하는 2F2T 구성을 갖는 터너리 CAM(Ternary CAM: 이하 TCAM) 셀을 도시하였다.
- [0058] CAM은 데이터 저장 방식에 따라 바이너리 캠(binary CAM)과 터너리 CAM(Ternary CAM: 이하 TCAM)으로 구분될 수 있다. 바이너리 캠은 각 CAM 셀이 로직 '1' 상태와 로직 '0' 상태의 2가지 상태 중 하나의 상태 정보를 저장할 수 있도록 구성된다. 반면, TCAM은 로직 '0' 상태, 로직 '1' 상태뿐만 아니라 'X'(don't care) 상태를 추가적으로 저장할 수 있도록 구성된다. TCAM은 'X' 상태를 추가로 저장할 수 있도록 하여 검색의 유연성을 제공할 수 있다는 장점이 있다.
- [0059] 도 4를 참조하면, FeFET를 이용하여 구성되는 TCAM 셀(Cell)에서 2개의 FeFET(F1, F2)는 대응하는 매치라인(ML)과 대응하는 소스라인(ScL) 사이에 병렬로 연결된다. 그리고 2개의 FeFET(F1, F2)는 타입 II FeFET로 구현될 수 있다.
- [0060] FeFET는 로직 '1'이 저장되는 경우에는 가변되는 문턱전압( $V_{TH}$ )에서 상대적으로 낮은 문턱전압 상태(Low  $V_{TH}$  State: 이하 LVT 상태)를 가지고, 로직 '0'이 저장되는 경우에는 가변되는 문턱전압( $V_{TH}$ )중 상대적으로 높은 문턱전압 상태(High  $V_{TH}$  State: 이하 HVT 상태)를 갖는다. 이때, LVT는 음의 전압레벨을 갖고 HVT는 양의 전압레벨을 갖는 일반적인 타입 I FeFET와 달리, FeFET 제조 시에 메탈 게이트 엔지니어링 기법(Metal gate engineering)을 이용하여 LVT와 HVT는 모두 양의 전압레벨을 갖도록 한 타입 II FeFET는 LVT와 HVT 사이의 전압레벨을 갖는 전원 전압( $V_{DD}$ )을 이용하여, FeFET(F1, F2)의 상태를 용이하게 판별할 수 있다.
- [0061] 2개의 액세스 트랜지스터(T1, T2) 중 제1 액세스 트랜지스터(T1)는 제1 FeFET(F1)의 게이트와 대응하는 비트라인(BLB) 사이에 연결되고, 제2 액세스 트랜지스터(T2)는 제2 FeFET(F2)의 게이트와 대응하는 비트라인(BL) 사

이에 연결된다. 그리고 제1 및 제2 액세스 트랜지스터(T1, T2)는 게이트가 대응하는 워드라인(WL)에 공통으로 연결된다.

- [0062] 2개의 FeFET(F1, F2)는 라이트 동작 시에 저장될 데이터에 따라 비트라인쌍(BLB/BL)을 통해 인가되는 전압에 의해 LVT 또는 HVT 상태가 되어 데이터에 대응하는 로직이 저장되며, 검색 동작 시에는 라이트 동작 시에 설정된 LVT 또는 HVT 상태에 따라 매치라인(ML)과 소스라인(ScL)을 전기적으로 연결하거나 차단하여 매치라인(ML)의 전압레벨을 조절한다.
- [0063] 상기한 바와 같이, TCAM 셀에는 데이터 '0', '1' 및 'X(don' care)'이 저장될 수 있다. 데이터 '0'이 저장되는 경우, 제1 액세스 트랜지스터(T1)를 통해 게이트가 비트라인바(BLB)에 연결되는 제1 FeFET(F1)는 로직 '1'에 대응하는 LVT 상태를 갖고, 게이트가 비트라인(BL)에 연결되는 제2 FeFET(F2)는 로직 '0'에 대응하는 HVT 상태를 갖는다. 그리고 데이터 '1'이 저장되는 경우에는 제1 FeFET(F1)가 HVT 상태를 갖고, 제2 FeFET(F2)가 HVT 상태를 갖는다. 또한 데이터 'X'가 저장되는 경우에는 제1 및 제2 FeFET(F1, F2)가 모두 HVT 상태를 갖는다.
- [0064] 그리고 2개의 액세스 트랜지스터(T1, T2)는 워드라인(WL)에 게이트가 공통으로 연결되어, 워드라인(WL)으로 인가되는 전압레벨에 따라 2개의 FeFET(F1, F2)의 게이트와 비트라인쌍(BLB/BL)을 전기적으로 연결함으로써, TCAM 셀이 활성화되도록 한다. 비트라인쌍(BLB/BL)의 비트라인바(BLB)와 비트라인(BL)은 TCAM의 검색 동작시에 검색될 데이터에 대응하는 전압이 인가되는 라인으로, 각각 검색라인(SL) 및 검색라인바(SLB)라고 할 수 있으며, 이에 비트라인쌍(BLB/BL)을 검색라인쌍(SL/SLB)이라고 할 수도 있다.
- [0065] 도 4에서는 CAM 셀의 일 예로 FeFET를 이용하여 구현되는 TCAM 셀을 설명하였으나, 상기한 바와 같이, CAM 셀은 CMOS 소자, MTJ 소자, ReRAM 소자 및 FeFET 소자등의 다양한 소자를 이용하여 구현될 수 있다.
- [0066] 이하에서는 본 실시예에 따른 CAM의 검색 동작을 각 단계별로 설명한다.
- [0067] 도 5는 도 3의 CAM의 프리차지 동작을 설명하기 위한 도면이고, 도 6은 도 5의 CAM의 프리차지 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.
- [0068] 도 5 및 도 6을 참조하면, 프리차지 단계에서에서는 매치라인(ML)의 다수의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>63</sub>)이 선택되도록 우선 워드라인(WL)이 하이 레벨로 활성화되어 인가된다. 그리고 프리차지바 신호(PREB)가 로우 레벨로 인가되고, 프리차지 신호(PRE)는 하이레벨로 인가된다. 이에 제1 및 제2 프리차지 트랜지스터(PT1, PT2)가 로우 레벨의 프리차지바 신호(PREB)에 응답하여 모두 턴온되어 제1 및 제2 매치라인(ML1, ML2)을 각각 전원 전압(V<sub>DD</sub>) 레벨로 풀업하여 프리차지하고, 제2 출력 트랜지스터(OT2)가 하이 레벨의 프리차지 신호(PRE)에 응답하여 턴온되어 제2 노드(Nd2)를 접지 전압 레벨로 풀다운시킨다.
- [0069] 이때, 제1 및 제2 매치 트랜지스터(MT1, MT2)는 제1 및 제2 매치라인(ML1, ML2)이 전원 전압(V<sub>DD</sub>) 레벨로 프리차지됨에 따라 턴오프되어 전원 전압(V<sub>DD</sub>)과 제1 노드(Nd1) 사이의 연결을 차단하고, 제2 출력 트랜지스터(OT2)는 하이 레벨의 프리차지 신호(PRE)에 응답하여 제1 노드(Nd1)와 제2 노드(Nd2) 사이의 연결을 차단한다. 출력 노드인 제2 노드(Nd2)의 전압 레벨이 접지 전압 레벨로 풀다운되므로, 센스 앰프(SA)의 매치라인 센싱 출력(MLS0)은 접지 전압 레벨을 가져 "0"의 값으로 출력된다.
- [0070] 그리고 인버터(INV)는 제2 노드(Nd2)의 접지 전압 레벨을 반전하여 제3 노드(Nd3)에 하이 레벨(여기서는 전원 전압(V<sub>DD</sub>) 레벨)의 전압을 인가하고, 이에 제1 및 제2 디스차지 트랜지스터(DT1, DT2)가 턴온되어, 제1 및 제2 소스라인(ScL1, ScL2)을 접지 전압 레벨로 풀다운 시킨다.
- [0071] 이때, 다수의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>63</sub>)이 저장된 비트값에 무관하게 매치라인(ML)과 소스라인(ScL)을 연결하지 않도록, 비트라인쌍(BLB/BL)에는 모두 지정된 전압 레벨이 인가된다. 여기서는 다수의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>63</sub>)이 도 4에 도시된 CAM 셀로 구현되는 것으로 가정하였으며, 이에 비트라인쌍(BLB/BL)에 모두 "0"에 대응하는 접지 전압을 인가하여, 다수의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>63</sub>)이 모두 매치라인(ML)과 소스라인(ScL)을 연결하지 않도록 한다.
- [0072] 따라서 프리차지 단계에서는 제1 및 제2 매치라인(ML1, ML2)이 모두 전원 전압(V<sub>DD</sub>) 레벨로 프리차지되고, 제1 및 제2 소스라인(ScL1, ScL2)은 모두 접지 전압 레벨이 된다. 그리고 제2 노드(Nd2)가 접지 전압 레벨이 되어 매치라인 센싱 출력(MLS0)이 "0"으로 출력되고, 제3 노드(Nd3)는 전원 전압(V<sub>DD</sub>)을 갖는다.



- [0073] 그리고 프리차지 단계가 종료되기 이전, 즉 검색 단계가 수행되기 직전 프리차지바 신호(PREB)는 하이 레벨로 천이되고, 프리차지 신호(PRE)는 로우 레벨로 천이된다. 따라서 프리차지 단계 종료 시에는 제1 및 제2 프리차지 트랜지스터(PT1, PT2)가 턴오프되어 전원 전압( $V_{DD}$ )과 제1 및 제2 매치라인(ML1, ML2) 사이의 연결을 차단한다. 그리고 제2 출력 트랜지스터(OT2)가 턴오프되어 제2 노드(Nd2)와 접지 전압 사이의 연결을 차단하는 반면, 제1 출력 트랜지스터(OT1)가 턴온되어 제1 노드(Nd1)와 제2 노드(Nd2)를 전기적으로 연결한다.
- [0074] 도 7은 도 3의 CAM의 검색 단계의 초기 동작을 설명하기 위한 도면이고, 도 8은 도 7의 CAM의 검색 단계의 초기 동작을 설명하기 위한 타이밍 다이어그램을 나타낸다.
- [0075] CAM의 검색 동작은 상기한 바와 같이 프리차지 단계와 검색 단계의 2단계로 크게 구분되지만, 본 발명에서는 센스 앰프(SA)에 인버터(INV)와 2개의 디스차지 트랜지스터(DT1, DT2)가 더 구비되어, 제1 및 제2 매치라인(ML1, ML2)과 제1 및 제2 소스라인(ScL1, ScL2)이 전원 전압( $V_{DD}$ ) 레벨과 접지 전압 레벨 사이의 균형 전압 레벨( $V_A$ )을 가지게 되므로, 이를 이해하기 용이하게 설명하기 위해, 검색 단계의 초기 동작을 별도로 천이 단계로 구분하여 설명한다.
- [0076] 도 8에 도시된 바와 같이, 검색 단계에서도 워드라인(WL)은 하이 레벨로 활성화된 상태를 유지한다. 그리고 비트라인쌍(BLB/BL)으로는 검색하고자 하는 데이터에 대응하는 비트값이 인가된다. 만일 "0"의 비트값이 인가되어야 하는 경우, 비트라인바(BLB)로는 로직 '0'에 대응하는 접지 전압이 인가되고, 비트라인(BL)으로는 로직 '1'에 대응하는 전원 전압( $V_{DD}$ )이 인가된다. 반면, "1"의 비트값이 인가되어야 하는 경우, 비트라인바(BLB)로는 로직 '1'에 대응하는 전원 전압( $V_{DD}$ )이 인가되고, 비트라인(BL)으로는 로직 '0'에 대응하는 접지 전압이 인가된다.
- [0077] 이에 다수의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>63</sub>) 중 비트라인쌍(BLB/BL)으로 인가된 비트값과 저장된 비트값이 매치되는 CAM 셀은 대응하는 매치라인(ML1, ML2)과 대응하는 소스라인(ScL1, ScL2)을 연결하지 않고, 미스 매치되는 CAM 셀은 대응하는 매치라인(ML1, ML2)과 대응하는 소스라인(ScL1, ScL2)을 연결한다. 도 7에서는 다수의 CAM 셀(Cell<sub>0</sub> ~ Cell<sub>63</sub>) 중 제1 CAM 셀(Cell<sub>0</sub>)에서 미스매치가 발생된 것으로 가정하여, 제1 매치라인(ML1)과 제1 소스라인(ScL1)이 연결되는 경우를 도시하였다.
- [0078] 그리고 검색 단계가 시작되기 직전, 프리차지 단계 종료 시에 이미 프리차지바 신호(PREB)가 하이 레벨로 천이되고, 프리차지 신호(PRE)가 로우 레벨로 천이되어, 제1 및 제2 프리차지 트랜지스터(PT1, PT2)와 제2 출력 트랜지스터(OT2)가 턴오프된 상태이고, 제1 출력 트랜지스터(OT1)가 턴온되어 제1 노드(Nd1)와 제2 노드(Nd2)를 전기적으로 연결한 상태이다.
- [0079] 따라서 2개의 디스차지 트랜지스터(DT1, DT2)가 프리차지 단계에서 이미 턴온된 상태이고, 제2 노드(Nd2)의 전압 레벨이 변화하지 않은 상태이므로, 2개의 디스차지 트랜지스터(DT1, DT2)는 천이 단계에서도 여전히 턴온된 상태이고, 따라서 제1 및 제2 소스라인(ScL1, ScL2)은 접지 전압과 연결된 상태이다.
- [0080] 따라서 제1 및 제2 매치라인(ML1, ML2) 중 제1 매치라인(ML1)이 미스매치가 발생된 제1 CAM 셀(Cell<sub>0</sub>)과 제1 소스라인(ScL1)을 통해 접지 전압과 전기적으로 연결되어, 제1 매치라인(ML1)의 프리차지된 전원 전압 레벨이 강하하기 시작한다. 그러나 제2 매치라인(ML2)에 연결된 다수의 CAM 셀(Cell<sub>32</sub> ~ Cell<sub>63</sub>)은 미스매치가 발생되지 않았으므로, 제2 매치라인(ML2)과 제2 소스라인(ScL2)은 연결되지 않아 제2 매치라인(ML2)은 프리차지된 전압 레벨을 유지한다.
- [0081] 제1 매치라인(ML1)의 강하함에 따라 제1 매치라인(ML1)에 게이트가 연결된 제1 매치 트랜지스터(MT1)가 점차적으로 턴온되어, 제1 노드(Nd1)에 전원 전압( $V_{DD}$ )을 인가한다. 즉 제1 노드(Nd1)의 전압 레벨이 점차적으로 상승하게 된다. 그에 반해, 제2 매치라인(ML2)에 게이트가 연결된 제2 매치 트랜지스터(MT2)는 턴오프 상태를 유지하여, 제1 노드(Nd1)에 영향을 주지 않는다.
- [0082] 한편 프리차지 신호(PRE)에 의해 이미 제2 출력 트랜지스터(OT2)가 턴오프된 상태이고, 제1 출력 트랜지스터(OT1)가 턴온되어 제1 노드(Nd1)와 제2 노드(Nd2)를 전기적으로 연결한 상태이므로, 제2 노드(Nd2)의 매치라인 센싱 출력(MLS0) 또한 전압 레벨이 점차적으로 상승하게 된다.
- [0083] 도 9는 도 3의 CAM의 검색 단계를 설명하기 위한 도면이고, 도 10은 도 9의 CAM의 검색 단계를 설명하기 위한

타이밍 다이어그램을 나타낸다.

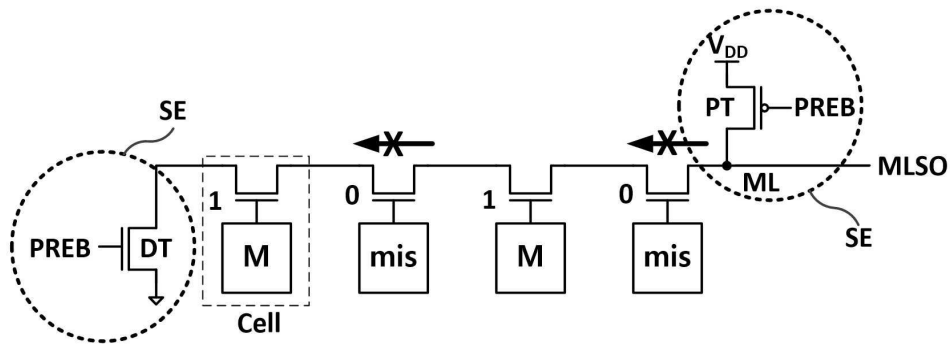
- [0084] 도 9의 검색 단계에서는 제2 노드(Nd2)의 매치라인 센싱 출력(MLS0)이 점차로 증가함에 따라 매치라인 센싱 출력(MLS0)이 일정 레벨 이상이 되면, 인버터(INV)의 출력은 하이 레벨에서 로우 레벨로 천이되고, 이에 따라 2개의 디스차지 트랜지스터(DT1, DT2)가 모두 턴오프되고, 제1 매치라인(ML1)과 제1 소스라인(ScL1)은 미스매치가 발생된 제1 CAM 셀(Cell<sub>0</sub>)을 통해 전기적으로 연결되어 있으므로 동일한 일정 전압 레벨( $V_A$ )에서 균등하게 된다. 여기서는 제1 매치라인(ML1)과 제1 소스라인(ScL1)이 균등하게 되는 전압 레벨( $V_A$ )을 균등 전압 레벨이라 한다.
- [0085] 이때 균등 전압 레벨( $V_A$ )은 인버터(INV)의 출력이 반전되도록 제1 프리차지 트랜지스터(PT1)가 턴온된 상태에서 의 전압 레벨이므로, 제1 및 제2 프리차지 트랜지스터(PT1, PT2)의 문턱 전압보다 낮은 전압 레벨이며, 따라서 제1 프리차지 트랜지스터(PT1)는 턴온된 상태를 유지하게 된다. 이에 매치라인 센싱 출력(MLS0)은 전원 전압( $V_{DD}$ ) 레벨까지 상승하여 출력하게 된다.
- [0086] 한편, 제2 매치라인(ML2)과 제2 소스라인(ScL2)은 각각 프리차지된 전원 전압( $V_{DD}$ )과 접지 전압 레벨을 그대로 유지하게 된다.
- [0087] 결과적으로 본 실시예에 따른 CAM을 위한 센스 앰프는 NOR 타입 CAM에서 대응하는 매치라인(ML) 사이에 연결되어, 매치라인(ML)을 제1 및 제2 매치라인(ML1, ML2)로 분할하고, 분할된 제1 및 제2 매치라인(ML1, ML2)에서 미스 매치가 발생된 CAM 셀이 연결된 매치라인에서만 프리차지된 전압이 디스차지되도록 구성된다. 따라서 미스 매치가 발생되지 않은 매치라인에서는 디스차지가 발생되지 않아 이후 프리차지 단계에서 프리차지를 위한 전력 소모가 발생되지 않으므로 에너지 소비를 저감시킬 수 있다. 또한 매치라인(ML)이 제1 및 제2 매치라인(ML1, ML2)로 분할되어, 분할된 제1 및 제2 매치라인(ML1, ML2) 각각의 캐패시턴스가 감소되므로 프리차지를 위한 전력 소모를 추가로 저감시킬 수 있으며, 디스차지 속도 또한 빨라지므로 검색 속도를 향상시킬 수 있다. 뿐만 아니라 인버터(INV)와 디스차지 트랜지스터(DT1, DT2)를 이용하여 미스매치가 발생된 매치라인에서도 전압 레벨이 접지 전압 레벨로 풀다운되지 않고 균등 전압 레벨( $V_A$ ) 수준까지만 강하되도록 함으로써, 에너지 소모를 더욱 저감시킬 수 있다.
- [0088] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.
- [0089] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 부호의 설명

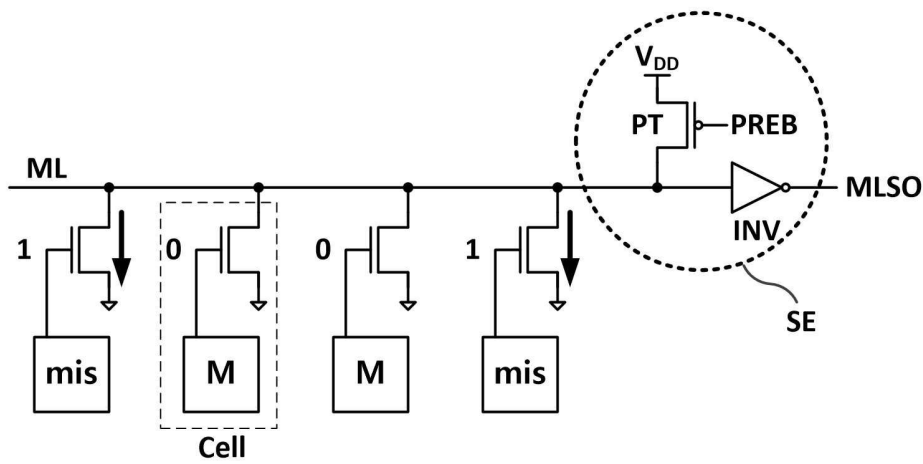
- [0090] SA: 센스 앰프 ML: 매치라인  
ScL: 소스라인 WL: 워드라인  
BLB/BL: 비트라인쌍 PT1, PT2: 프리차지 트랜지스터  
MT1, MT2: 매치 트랜지스터 OT1, OT2: 출력 트랜지스터  
DT1, DT2: 디스차지 트랜지스터 INV: 인버터

도면

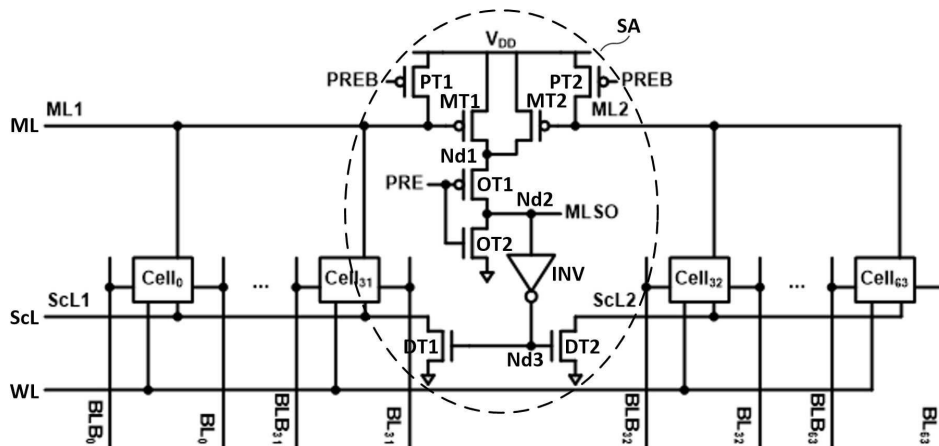
도면1



도면2

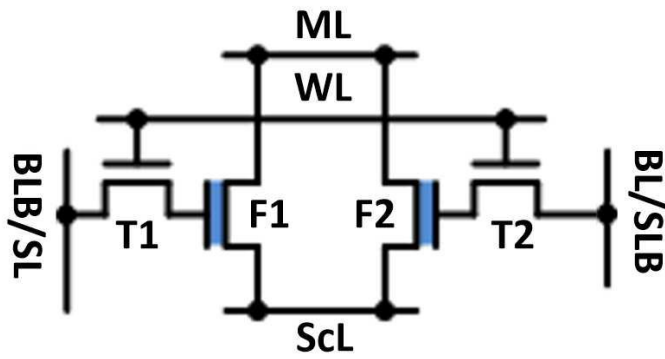


도면3

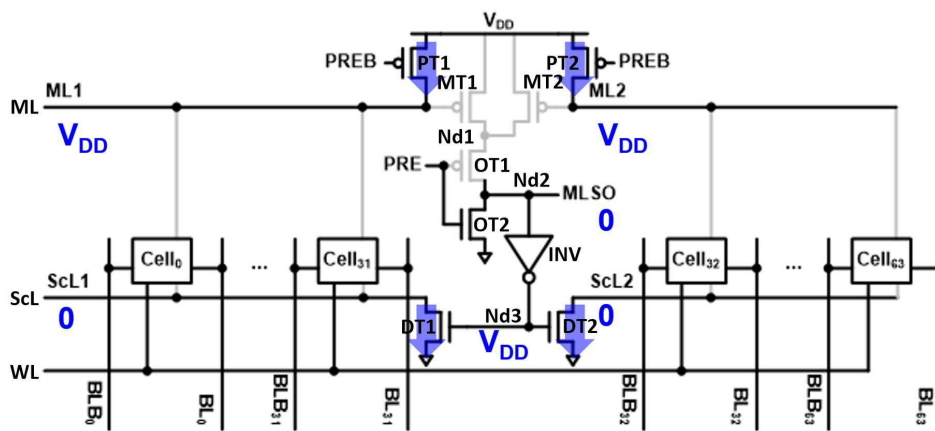




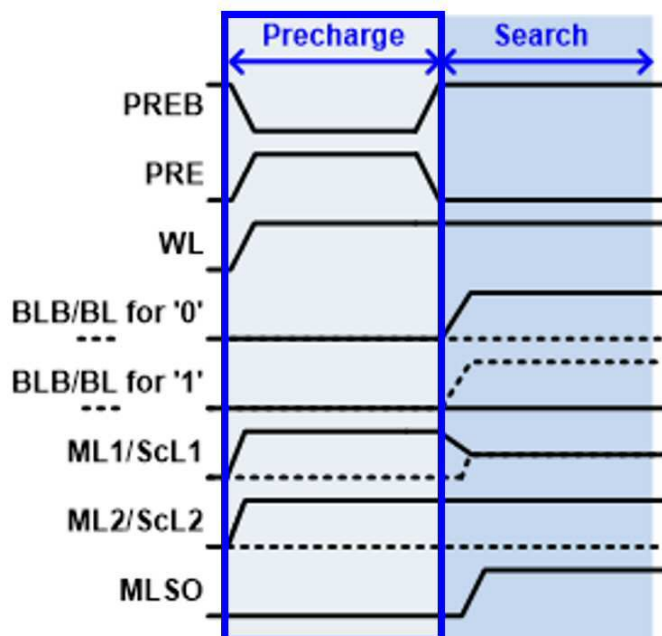
도면4



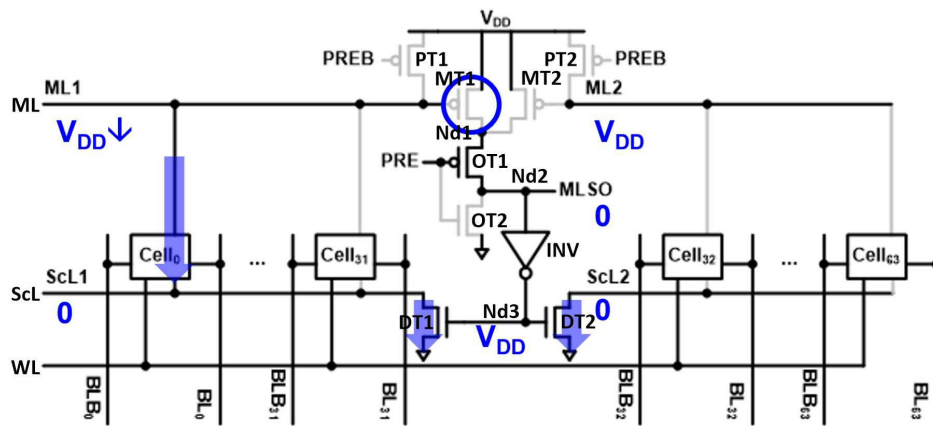
도면5



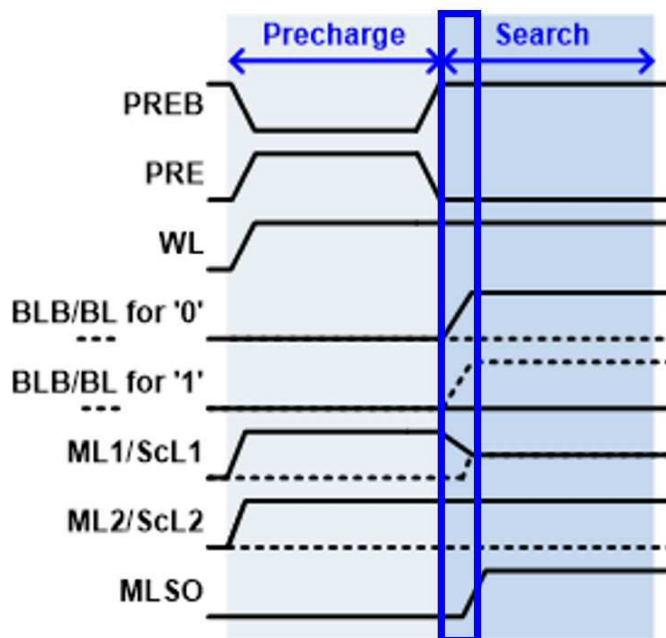
도면6



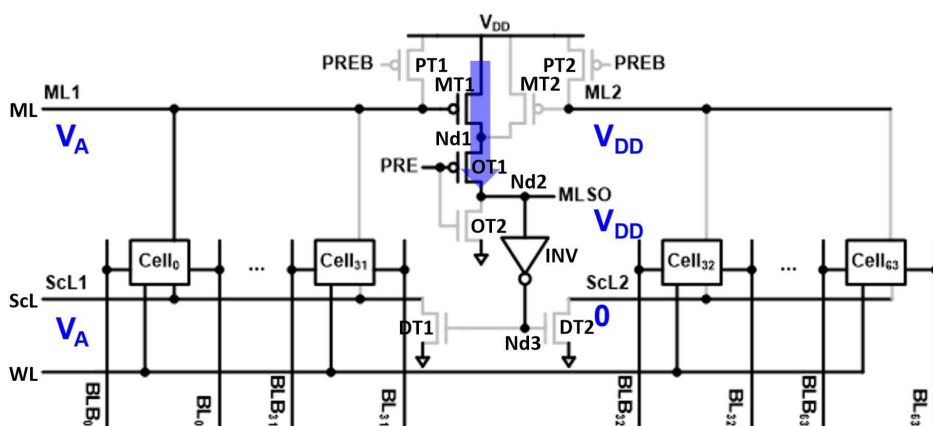
도면7



도면8



도면9



도면10

