



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0011786
(43) 공개일자 2023년01월25일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01) H03M 1/00 (2006.01)
H03M 1/48 (2006.01)
(52) CPC특허분류
H03M 1/1265 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2021-0092465
(22) 출원일자 2021년07월14일
심사청구일자 2021년07월14일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 제3공학관 C513 (신촌동, 연세대학교)
박종하
서울특별시 서대문구 연세로 50, 제3공학관 C421 (신촌동, 연세대학교)
김지영
서울특별시 서대문구 연세로 50, 제3공학관 C421 (신촌동, 연세대학교)
(74) 대리인
특허법인우인

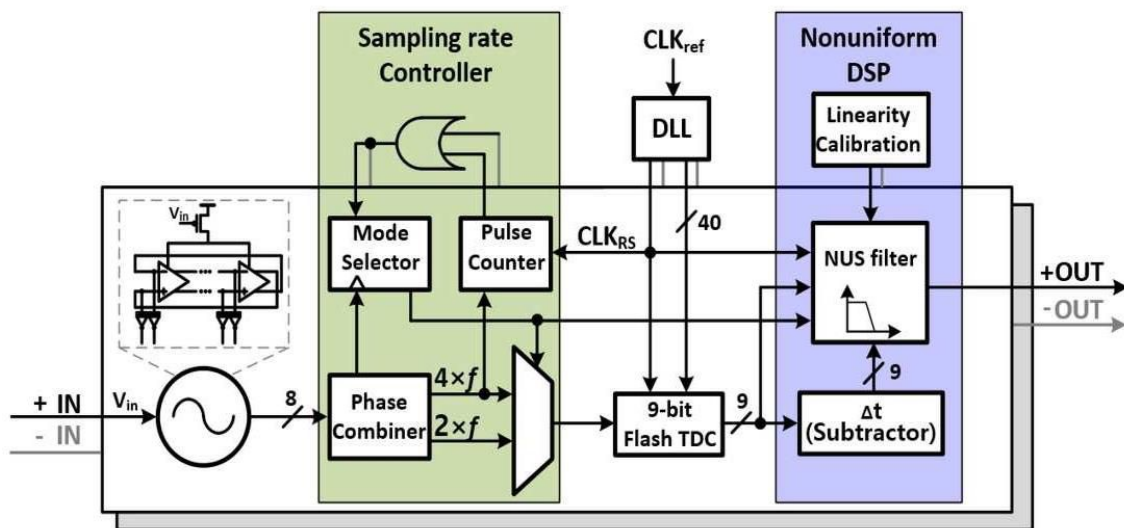
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 입력 신호 적응성 전압 제어 오실레이터 기반 비균일 샘플링 아날로그 디지털 컨버터

(57) 요약

본 실시예들은 대상 신호 발생 구간에서 시간 디지털 컨버터의 샘플링을 최대 성능으로 측정하고, 대상 신호 미발생 구간에서 시간 디지털 컨버터의 샘플링 횟수를 감소시켜 SNDR(Signal-to-Noise and Distortion Ratio)에 영향이 거의 없이 전력 소모를 감소시킬 수 있는 아날로그 디지털 컨버터를 제공한다.

대표도



(52) CPC특허분류
H03M 1/48 (2013.01)

명세서

청구범위

청구항 1

아날로그 디지털 컨버터의 샘플링 주기 변경 방법에 있어서,

아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하는 단계;

샘플링 주기에 대응하는 복수의 주파수 모드에 따라 상기 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력하는 단계;

상기 위상 결합 출력 신호를 기준으로 디지털 신호를 출력하는 단계;

상기 위상 결합 출력 신호의 개수를 측정하는 단계; 및

상기 위상 결합 출력 신호의 개수에 따라 상기 주파수 모드를 변경하는 단계를 포함하는 아날로그 디지털 컨버터의 샘플링 주기 변경 방법.

청구항 2

제1항에 있어서,

상기 위상 결합 출력 신호를 출력하는 단계는,

상기 변경된 주파수 모드에 해당하는 샘플링 주기에 맞춰서 상기 주파수 신호를 상기 위상 결합 출력 신호로 변환하여 출력하는 것을 특징으로 하는 아날로그 디지털 컨버터의 샘플링 주기 변경 방법.

청구항 3

제1항에 있어서,

상기 주파수 모드는 고배수 주파수 모드와 저배수 주파수 모드로 구분되며,

상기 주파수 모드를 변경하는 단계는 상기 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교한 결과에 따라 상기 고배수 주파수 모드로 동작시키는 것을 특징으로 하는 아날로그 디지털 컨버터의 샘플링 주기 변경 방법.

청구항 4

제1항에 있어서,

상기 주파수 신호로 변환하는 단계는, 차동 오실레이터의 양의 입력 단자를 통해 인가되고 양의 출력 단자에서 출력되는 포지티브 출력 신호 및 상기 차동 오실레이터의 음의 입력 단자를 통해 인가되고 음의 출력 단자에서 출력되는 네거티브 출력 신호를 출력하고, 상기 포지티브 출력 신호 및 상기 네거티브 출력 신호는 신호의 준위가 다르거나 위상이 다른 값을 갖고,

상기 주파수 모드를 변경하는 단계는, 상기 포지티브 출력 신호 및 상기 네거티브 출력 신호 중에서 하나 이상의 신호를 기준으로 판단하는 것을 특징으로 하는 아날로그 디지털 컨버터의 샘플링 주기 변경 방법.

청구항 5

아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하고, 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 상기 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력하는 위상 결합 오실레이터;

상기 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교하여 상기 주파수 모드를 변경하는 신호를 출력하는 펄스 카운터; 및

상기 위상 결합 출력 신호를 기준으로 디지털 신호를 출력하는 시간 디지털 컨버터를 포함하는 아날로그 디지털

컨버터.

청구항 6

제5항에 있어서,

상기 위상 결합 오실레이터는,

상기 변경된 주파수 모드에 해당하는 샘플링 주기에 맞춰서 상기 주파수 신호를 상기 위상 결합 출력 신호로 변환하여 출력하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 7

제5항에 있어서,

상기 위상 결합 오실레이터는 상기 아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하는 차동 오실레이터로 구현되며,

상기 아날로그 디지털 컨버터는 상기 차동 오실레이터에 연결되어 상기 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 상기 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력하는 위상 결합기를 포함하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 8

제5항에 있어서,

상기 주파수 모드는 고배수 주파수 모드와 저배수 주파수 모드로 구분되며,

상기 펄스 카운터는 상기 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교한 결과에 따라 상기 고배수 주파수 모드에 해당하는 신호를 출력하는 것을 특징으로 하는 지역 영역 기반의 곱셈 누적 연산 장치.

청구항 9

제8에 있어서,

상기 위상 결합 오실레이터는, 상기 고배수 주파수 모드 또는 상기 저배수 주파수 모드를 나타내는 모드 정보를 출력하고,

상기 시간 디지털 컨버터는, 상기 위상 결합 오실레이터로부터 상기 모드 정보를 수신한 후 출력하는 것을 특징으로 하는 지역 영역 기반의 곱셈 누적 연산 장치.

청구항 10

제5항에 있어서,

상기 위상 결합 오실레이터는, 상기 위상 결합 출력 신호에 포함된 상기 주파수 신호에 해당하는 펄스의 순번을 나타내는 조정 코드 정보를 출력하고,

상기 시간 디지털 컨버터는, 상기 위상 결합 오실레이터로부터 상기 조정 코드 정보를 수신한 후 출력하는 것을 특징으로 하는 지역 영역 기반의 곱셈 누적 연산 장치.

청구항 11

제5항에 있어서,

상기 펄스 카운터는,

수신되는 시스템 클럭의 인터벌 동안 상기 위상 결합 출력 신호의 개수를 측정하는 것을 특징으로 하는 지역 영역 기반의 곱셈 누적 연산 장치.

청구항 12

제11항에 있어서,

상기 시간 디지털 컨버터는,

상기 시스템 클럭과 상기 위상 결합 출력 신호 간의 시간 차이를 측정하여 시간 정보에 해당하는 상기 디지털 신호를 출력하는 것을 특징으로 하는 지역 영역 기반의 곱셈 누적 연산 장치.

청구항 13

제12항에 있어서,

상기 시간 디지털 컨버터는,

상기 시간 정보가 연속되는 동일한 시간 정보에 해당하는 것을 나타내는 연속성 정보를 출력하는 것을 특징으로 하는 지역 영역 기반의 곱셈 누적 연산 장치.

발명의 설명

기술 분야

[0001] 본 발명이 속하는 기술 분야는 동적으로 비균일 샘플링이 가능한 아날로그 디지털 컨버터에 관한 것이다. 본 연구는 삼성전자 미래기술육성센터의 지원을 받아 수행된 활동성기반 아날로그 신호처리 기술과 관련된다(No. 2017-11-0246).

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] VCO(Voltage Controlled Oscillator)는 인가 전압에 의해 발진시키는 가변주파수 발진 회로 모듈이다.

[0004] ADC(Analog to Digital Converter)는 아날로그 신호를 디지털 신호로 변환시켜주는 아날로그 디지털 컨버터 모듈이다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) KR 10-2117743 (2020.06.01)

(특허문헌 0002) KR 10-2012-0103453 (2012.09.19)

(특허문헌 0003) KR 10-1532502 (2015.06.23)

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들은 VCO(Voltage Controlled Oscillator) 기반의 ADC(Analog-to-Digital Converter)로 아날로그 입력 신호의 레벨에 따라 정량화에 사용되는 시간 디지털 컨버터의 샘플링 주기를 변경하여 전력 소모를 감소시키는데 주된 목적이 있다.

[0007] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0008] 본 실시예의 일 측면에 의하면, 아날로그 디지털 컨버터의 샘플링 주기 변경 방법에 있어서, 아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하는 단계; 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 상기 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력하는 단계; 상기 위상 결합 출력 신호를 기준으로 디지털 신호를 출력하는 단계; 상기 위상 결합 출력 신호의 개수를 측정하는 단계; 및 상기 위상 결합 출력 신호의 개수에 따라 상기 주파수 모드를 변경하는 단계를 포함하는 아날로그 디지털 컨버터

의 샘플링 주기 변경 방법을 제공한다.

- [0009] 상기 위상 결합 출력 신호를 출력하는 단계는, 상기 변경된 주파수 모드에 해당하는 샘플링 주기에 맞춰서 상기 주파수 신호를 상기 위상 결합 출력 신호로 변환하여 출력할 수 있다.
- [0010] 상기 주파수 모드는 고배수 주파수 모드와 저배수 주파수 모드로 구분되며, 상기 주파수 모드를 변경하는 단계는 상기 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교한 결과에 따라 상기 고배수 주파수 모드로 동작시킬 수 있다.
- [0011] 상기 주파수 신호로 변환하는 단계는, 차동 오실레이터의 양의 입력 단자를 통해 인가되고 양의 출력 단자에서 출력되는 포지티브 출력 신호 및 상기 차동 오실레이터의 음의 입력 단자를 통해 인가되고 음의 출력 단자에서 출력되는 네거티브 출력 신호를 출력하고, 상기 포지티브 출력 신호 및 상기 네거티브 출력 신호는 신호의 준위가 다르거나 위상이 다른 값을 가질 수 있다.
- [0012] 상기 주파수 모드를 변경하는 단계는, 상기 포지티브 출력 신호 및 상기 네거티브 출력 신호 중에서 하나 이상의 신호를 기준으로 판단할 수 있다.
- [0013] 본 실시예의 다른 측면에 의하면, 아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하고, 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 상기 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력하는 위상 결합 오실레이터; 상기 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교하여 상기 주파수 모드를 변경하는 신호를 출력하는 펄스 카운터; 및 상기 위상 결합 출력 신호를 기준으로 디지털 신호를 출력하는 시간 디지털 컨버터를 포함하는 아날로그 디지털 컨버터를 제공한다.
- [0014] 상기 위상 결합 오실레이터는, 상기 변경된 주파수 모드에 해당하는 샘플링 주기에 맞춰서 상기 주파수 신호를 상기 위상 결합 출력 신호로 변환하여 출력할 수 있다.
- [0015] 상기 위상 결합 오실레이터는, 상기 아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하는 차동 오실레이터로 구현되며, 상기 아날로그 디지털 컨버터는 상기 차동 오실레이터에 연결되어 상기 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 상기 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력하는 위상 결합기를 포함할 수 있다.
- [0016] 상기 주파수 모드는 고배수 주파수 모드와 저배수 주파수 모드로 구분되며, 상기 펄스 카운터는 상기 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교한 결과에 따라 상기 고배수 주파수 모드에 해당하는 신호를 출력할 수 있다.
- [0017] 상기 위상 결합 오실레이터는, 상기 고배수 주파수 모드 또는 상기 저배수 주파수 모드를 나타내는 모드 정보를 출력할 수 있다.
- [0018] 상기 시간 디지털 컨버터는, 상기 위상 결합 오실레이터로부터 상기 모드 정보를 수신한 후 출력할 수 있다.
- [0019] 상기 위상 결합 오실레이터는, 상기 위상 결합 출력 신호에 포함된 상기 주파수 신호에 해당하는 펄스의 순번을 나타내는 조정 코드 정보를 출력할 수 있다.
- [0020] 상기 시간 디지털 컨버터는, 상기 위상 결합 오실레이터로부터 상기 조정 코드 정보를 수신한 후 출력할 수 있다.
- [0021] 상기 펄스 카운터는, 수신되는 시스템 클록의 인터벌 동안 상기 위상 결합 출력 신호의 개수를 측정할 수 있다.
- [0022] 상기 시간 디지털 컨버터는, 상기 시스템 클록과 상기 위상 결합 출력 신호 간의 시간 차이를 측정하여 시간 정보에 해당하는 상기 디지털 신호를 출력할 수 있다.
- [0023] 상기 시간 디지털 컨버터는, 상기 시간 정보가 연속되는 동일한 시간 정보에 해당하는 것을 나타내는 연속성 정보를 출력할 수 있다.

발명의 효과

- [0024] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, VCO(Voltage Controlled Oscillator) 기반의 ADC(Analog to Digital Converter)로 아날로그 입력 신호의 레벨에 따라 정량화에 사용되는 시간 디지털 컨버터의 샘플링 주기를 변경하여 전력 소모를 감소시킬 수 있는 효과가 있다.
- [0025] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에

서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

- [0026] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터를 예시한 도면이다.
- 도 2 및 도 3은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 가변 주파수 모드 동작을 설명하기 위한 출력 신호를 예시한 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 위상 결합 오실레이터를 예시한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 차동 오실레이터를 예시한 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 위상 결합기를 예시한 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 모드 선택기를 예시한 도면이다.
- 도 8은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 조정 블록을 예시한 도면이다.
- 도 9는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 위상 결합 오실레이터가 출력하는 조정 코드를 예시한 도면이다.
- 도 10은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 펄스 카운터를 예시한 도면이다.
- 도 11은 본 발명의 다른 실시예에 따른 아날로그 디지털 컨버터의 샘플링 주기 변경 방법을 예시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.
- [0028] 본 실시예는 VCO(Voltage Controlled Oscillator) 기반의 ADC(Analog-to-Digital Converter)로 아날로그 입력 신호의 레벨에 따라 정량화에 사용되는 시간 디지털 컨버터의 샘플링 주기를 변경하여 전력 소모를 감소시킨다. 본 실시예는 일반적인 VCO 기반의 ADC 구조 대비 최대 36% 가량의 전력 소모를 감소시킬 수 있다.
- [0029] 본 실시예는 입력 신호가 불규칙적으로 발생하는 신경 감지(neural sensing) 등의 이벤트 기반(event driven) 신호 측정 애플리케이션에 최적화된 구조로, 신호 발생 구간에서 시간 디지털 컨버터의 샘플링을 최대 성능으로 측정하고, 신호 미발생 구간에서 시간 디지털 컨버터의 샘플링 횟수를 감소시켜 SNDR(Signal-to-Noise and Distortion Ratio)에 영향이 거의 없이 (0.44dB 감소) 아날로그 입력 신호로부터 디지털 출력 신호로 변환이 가능하다.
- [0030] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터를 예시한 도면이다.
- [0031] 아날로그 디지털 컨버터(10)는 위상 결합 오실레이터(100), 펄스 카운터(200), 시간 디지털 컨버터(300)를 포함한다.
- [0032] 위상 결합 오실레이터(100)는 아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하고, 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력한다.
- [0033] 위상 결합 오실레이터(100)는 변경된 주파수 모드에 해당하는 샘플링 주기에 맞춰서 주파수 신호를 위상 결합 출력 신호로 변환하여 출력할 수 있다.
- [0034] 펄스 카운터(200)는 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교하여 주파수 모드를 변경하는 신호를 출력한다. 주파수 모드는 고배수 주파수 모드와 저배수 주파수 모드로 구분된다.
- [0035] 펄스 카운터(200)는 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교한 결과에 따라 고배수 주파수 모드에 해당하는 신호를 출력할 수 있다.
- [0036] 시간 디지털 컨버터(300)는 위상 결합 출력 신호를 기준으로 디지털 신호를 출력한다.
- [0037] 위상 결합 오실레이터(100)는 고배수 주파수 모드 또는 저배수 주파수 모드를 나타내는 모드 정보를 출력할 수

있다. 시간 디지털 컨버터(300)는 위상 결합 오실레이터로부터 상기 모드 정보를 수신한 후 출력할 수 있다.

- [0038] 위상 결합 오실레이터(100)는 위상 결합 출력 신호에 포함된 주파수 신호에 해당하는 펄스의 순번을 나타내는 조정 코드 정보를 출력할 수 있다. 시간 디지털 컨버터(300)는 위상 결합 오실레이터로부터 조정 코드 정보를 수신한 후 출력할 수 있다.
- [0039] 펄스 카운터(200)는 수신되는 시스템 클록의 인터벌 동안 위상 결합 출력 신호의 개수를 측정할 수 있다. 시간 디지털 컨버터(300)는 시스템 클록과 위상 결합 출력 신호 간의 시간 차이를 측정하여 시간 정보에 해당하는 디지털 신호를 출력할 수 있다.
- [0040] 시간 디지털 컨버터(300)는 시간 정보가 연속되는 동일한 시간 정보에 해당하는 것을 나타내는 연속성 정보를 출력할 수 있다.
- [0041] 도 1b에서 2xf, 4xf는 각각 저배수(저배율), 고배수(고배율) 주파수를 의미한다. 샘플링 주기 제어부(Sampling rate Controller)는 펄스 카운터를 포함할 수 있다. 펄스 카운터에 OR 게이트를 연결시킨다. OR 게이트는 POS, NEG 단 중 하나라도 기준 펄스 개수(threshold)를 달성할 시 양 단을 고배율 주파수로 측정하기 위해 추가한 장치이다.
- [0042] 도 2 및 도 3은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 가변 주파수 모드 동작을 설명하기 위한 출력 신호를 예시한 도면이다.
- [0043] VCO(Voltage Controlled Oscillator) 기반의 ADC(Analog-to-Digital Converter)에 적응성을 적용하여, 특정 주파수를 넘어간 상황에서 VCO의 제1 구간마다 시간을 측정하던 방식을 제2 구간마다 측정하는 방식으로 모드 변경이 가능하다. 제1 구간과 제2 구간은 시스템 인터벌에서 펄스 카운팅을 수행하여 결정한다. 고주파수 신호에서 저배수 주파수 모드를 적용하면 SNDR은 거의 유지한 채, 시간 디지털 컨버터의 샘플링 횟수를 감소시켜 동작으로 전력 소모를 제어할 수 있다.
- [0044] 적응적으로 동작이 가능하므로, 아날로그 입력 펄스의 발생 빈도가 불규칙적인 환경에서, 대상 펄스가 발생한 구간에서 세밀한 시간 디지털 샘플링 변환을 진행하고, 대상 펄스가 미발생한 구간에서 시간 디지털 샘플링을 완화한다.
- [0045] 짝수 고조파(even harmonic)를 제거하기 위한 차동 입력 신호를 받는 VCO 기반의 ADC에서, 임계치 레벨과 비교한 결과 양(+) 단자의 오실레이터와 음(-) 단자의 오실레이터 중에서 하나라도 임계치를 넘기면 고배수 주파수 모드로 동작을 수행한다. 세밀한 샘플링이 필요한 대상 펄스 구간에서 ADC는 고배수 주파수 모드로 동작을 수행한다.
- [0046] 도 4는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 위상 결합 오실레이터를 예시한 도면이다. 위상 결합 오실레이터는 차동 오실레이터를 포함할 수 있다. 위상 결합 오실레이터는 위상 결합기, 모드 선택기, 조정 블록을 포함할 수 있다. 한편, 도 1b와 같이 위상 결합 오실레이터는 차동 오실레이터로 구현되며, 샘플링 주기 제어부가 위상 결합기, 모드 선택기를 포함할 수도 있다.
- [0047] 도 5는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 차동 오실레이터를 예시한 도면이다. 차동 오실레이터는 아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환한다.
- [0048] 도 6은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 위상 결합기를 예시한 도면이다. 위상 결합기는 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력한다.
- [0049] 도 7은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 모드 선택기를 예시한 도면이다. 모드 선택기는 고배수 주파수 모드 또는 저배수 주파수 모드를 나타내는 모드 정보를 출력한다. 모드 선택기는 모드 동작을 내부 피드백으로 설정하는 회로이다. 위상 결합기의 트리거 신호 기준으로 모드 선택 신호를 전송한다. oper_set 및 oper_sw는 동작 모드를 직접 설정하기 위한 설정 신호에 해당한다. 후속 4개의 DFF는 TDC의 output 출력과 sync가 맞도록 배치한다. bout_fin은 버퍼링된 Combined pulse output에 해당한다.
- [0050] 도 8은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 조정 블록을 예시한 도면이다. 조정 블록은 위상 결합 출력 신호에 포함된 주파수 신호에 해당하는 펄스의 순번을 나타내는 조정 코드 정보를 출력한다. 예컨대, 4배 주파수 모드에서는 00, 01, 10, 11을 출력하고, 2배 주파수 모드에서는 00, 01을 출력한다.
- [0051] 도 9는 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 위상 결합 오실레이터가 출력하는 조정 코드를

예시한 도면이다.

- [0052] 예컨대, 4배 결합 클럭 주파수는 기본 오실레이터 주파수를 4로 나눈 값으로, 4개의 펄스의 펄스 결합으로 형성된다. 이에 따른 오프셋이 발생하고, 오프셋 비율이 1% 아래로 작지만, 출력 분석을 위해 합쳐진 4개의 펄스 중에서 어떤 펄스에 해당하는지 표시자(indicator)가 필요하다.
- [0053] 4배 결합 클럭을 기준으로 00 → 01 → 10 → 11 → 00 순으로 조정 코드를 출력할 수 있다. Vin DC sweep을 통한 선형 조정(linearity calibration)시 각 표시자에 따른 주소화(addressing)가 가능하다.
- [0054] 도 10은 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터의 펄스 카운터를 예시한 도면이다.
- [0055] 펄스 카운터는 수신되는 시스템 클럭의 인터벌 동안 위상 결합 출력 신호의 개수를 측정한다. 기준 펄스 개수로 설정된 개수를 넘어가면 동작 모드를 고배수 주파수 모드에서 저배수 주파수 모드로, 또는 그 반대로 변경하는 동작 모드 신호를 출력한다. $th < 0.2$ 는 외부에서 기준 펄스 개수의 레벨을 설정하는 데에 사용되는 코드이고, $th < x$ 에서 x의 값이 클수록 더 적은 개수의 펄스 카운팅을 기준으로 동작 모드가 변경된다.
- [0056] 도 11은 본 발명의 다른 실시예에 따른 아날로그 디지털 컨버터의 샘플링 주기 변경 방법을 예시한 흐름도이다.
- [0057] 샘플링 주기 변경 방법은 아날로그 입력 신호를 입력받고 복수의 스테이지를 통해 주파수 신호로 변환하는 단계(S10), 샘플링 주기에 대응하는 복수의 주파수 모드에 따라 주파수 신호의 일부 위상을 결합하여 위상 결합 출력 신호를 출력하는 단계(S20), 위상 결합 출력 신호를 기준으로 디지털 신호를 출력하는 단계(S30), 위상 결합 출력 신호의 개수를 측정하는 단계(S40), 및 위상 결합 출력 신호의 개수에 따라 주파수 모드를 변경하는 단계(S50)를 포함한다.
- [0058] 위상 결합 출력 신호를 출력하는 단계(S20)는 변경된 주파수 모드에 해당하는 샘플링 주기에 맞춰서 주파수 신호를 위상 결합 출력 신호로 변환하여 출력할 수 있다. 주파수 모드는 고배수 주파수 모드와 저배수 주파수 모드로 구분된다.
- [0059] 주파수 모드를 변경하는 단계(S50)는 위상 결합 출력 신호의 개수를 측정하여 기준 펄스 개수와 비교한 결과에 따라 고배수 주파수 모드로 동작시킬 수 있다.
- [0060] 주파수 신호로 변환하는 단계(S10)는, 차동 오실레이터의 양의 입력 단자를 통해 인가되고 양의 출력 단자에서 출력되는 포지티브 출력 신호 및 차동 오실레이터의 음의 입력 단자를 통해 인가되고 음의 출력 단자에서 출력되는 네거티브 출력 신호를 출력한다. 포지티브 출력 신호 및 네거티브 출력 신호는 신호의 준위가 다르거나 위상이 다른 값을 가질 수 있다.
- [0061] 주파수 모드를 변경하는 단계(S50)는, 포지티브 출력 신호 및 네거티브 출력 신호 중에서 하나 이상의 신호를 기준으로 판단할 수 있다.
- [0062] 본 아날로그 디지털 컨버터가 적용된 다양한 전자 장치에 포함된 복수의 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.
- [0063] 본 아날로그 디지털 컨버터가 적용된 다양한 전자 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.
- [0064] 본 아날로그 디지털 컨버터가 적용된 다양한 전자 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.
- [0065] 도 11에서는 각각의 과정을 순차적으로 실행하는 것으로 기재하고 있으나 이는 예시적으로 설명한 것에 불과하고, 이 분야의 기술자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 도 11에 기재된 순서를 변경하여 실행하거나 또는 하나 이상의 과정을 병렬적으로 실행하거나 다른 과정을 추가하는 것으로 다양하

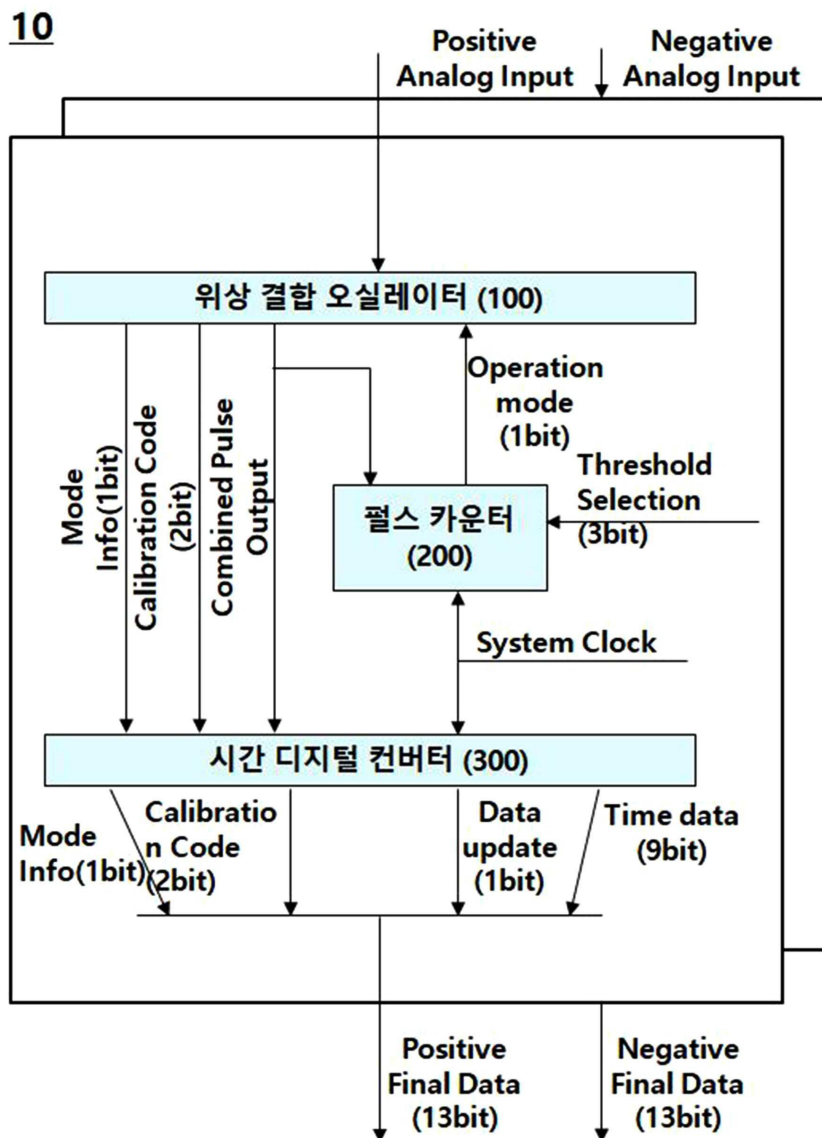
게 수정 및 변형하여 적용 가능할 것이다.

[0066] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.

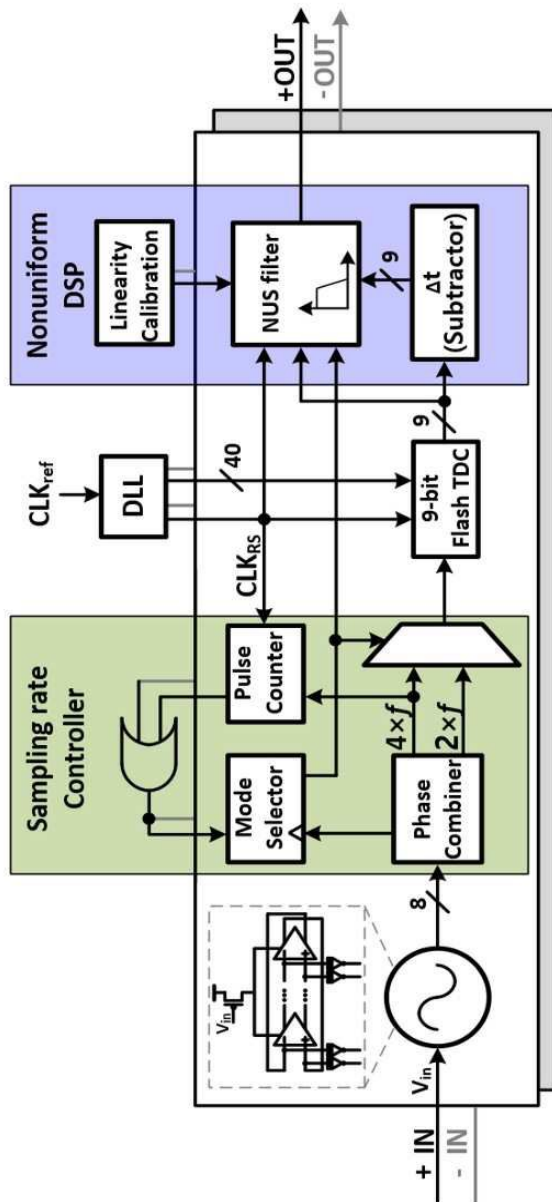
[0067] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

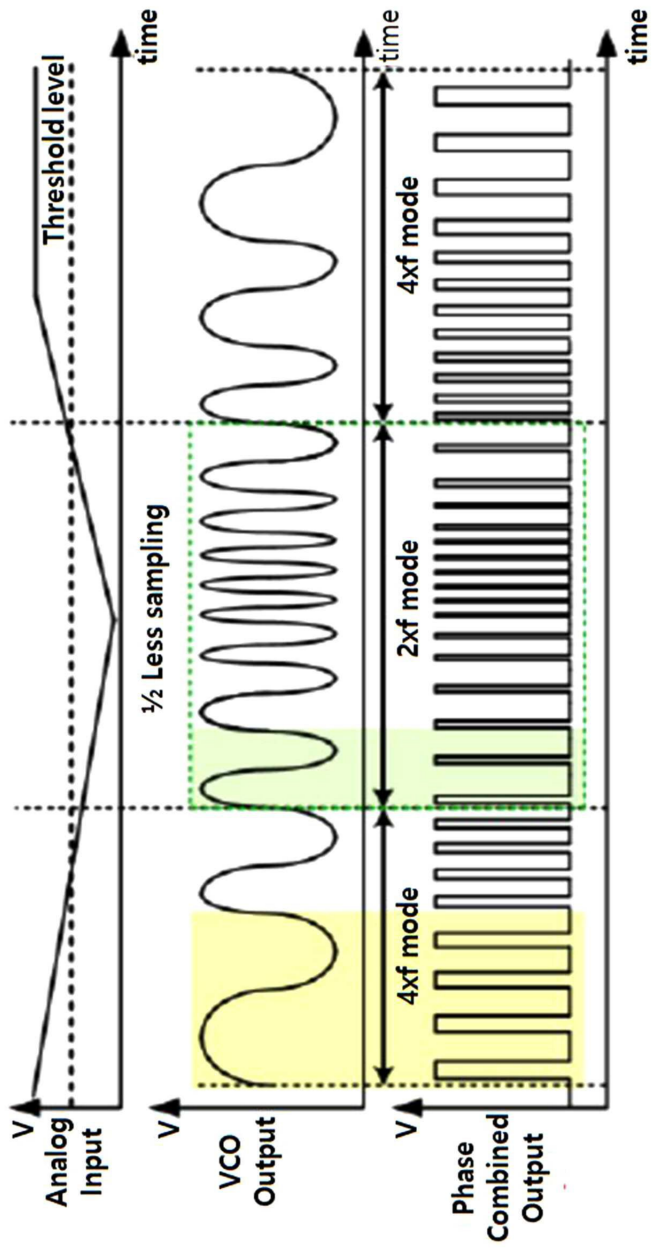
도면1a



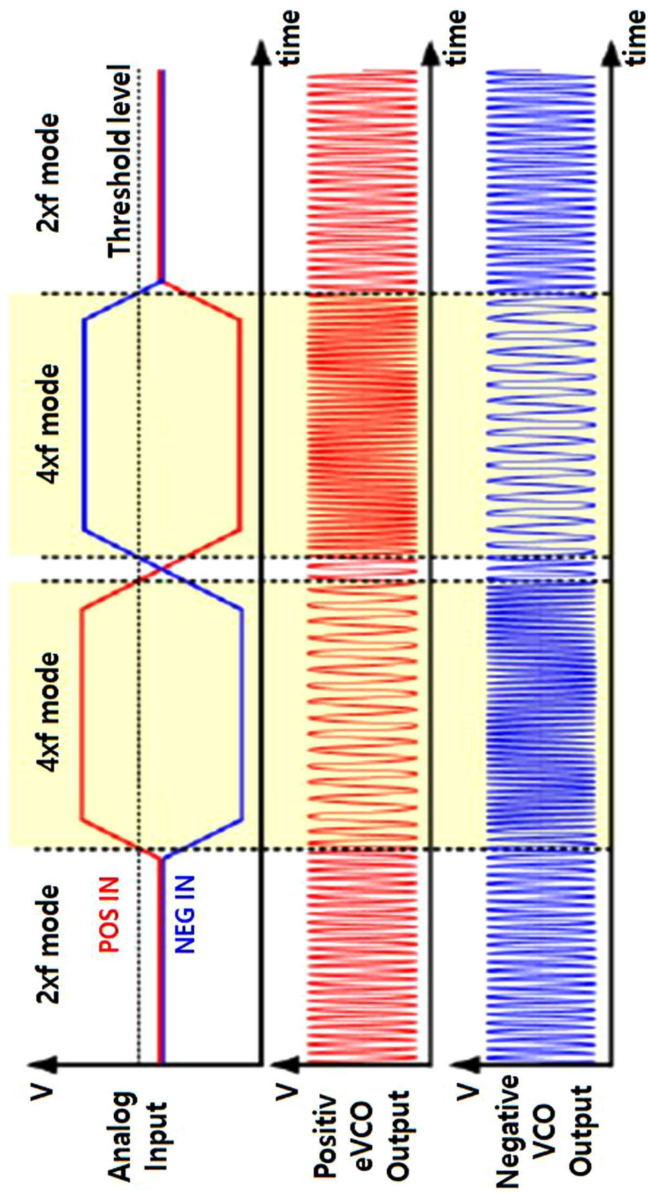
도면1b



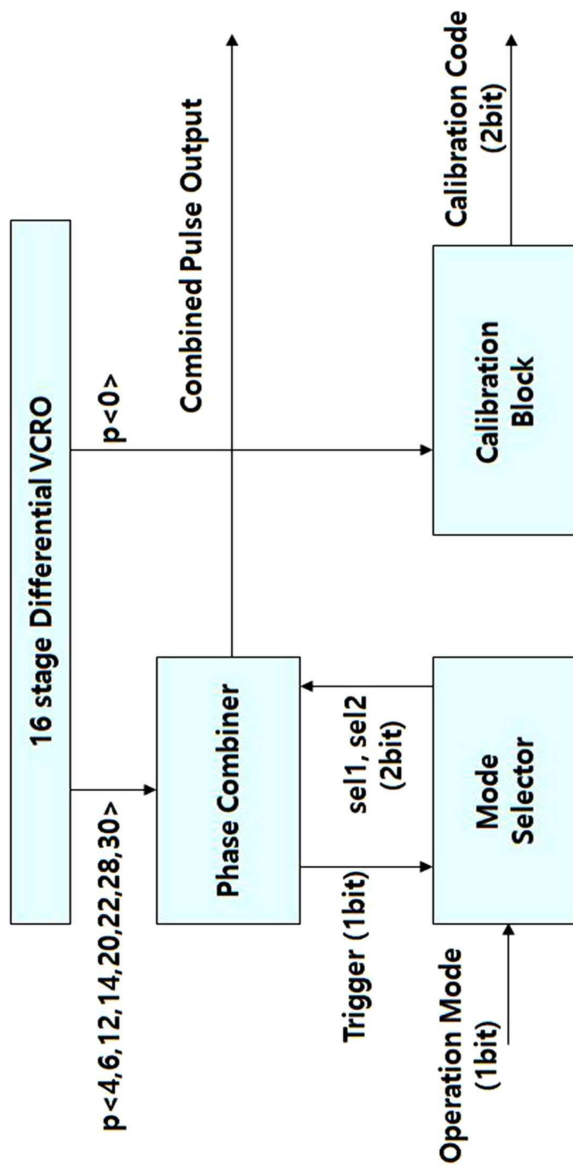
도면2



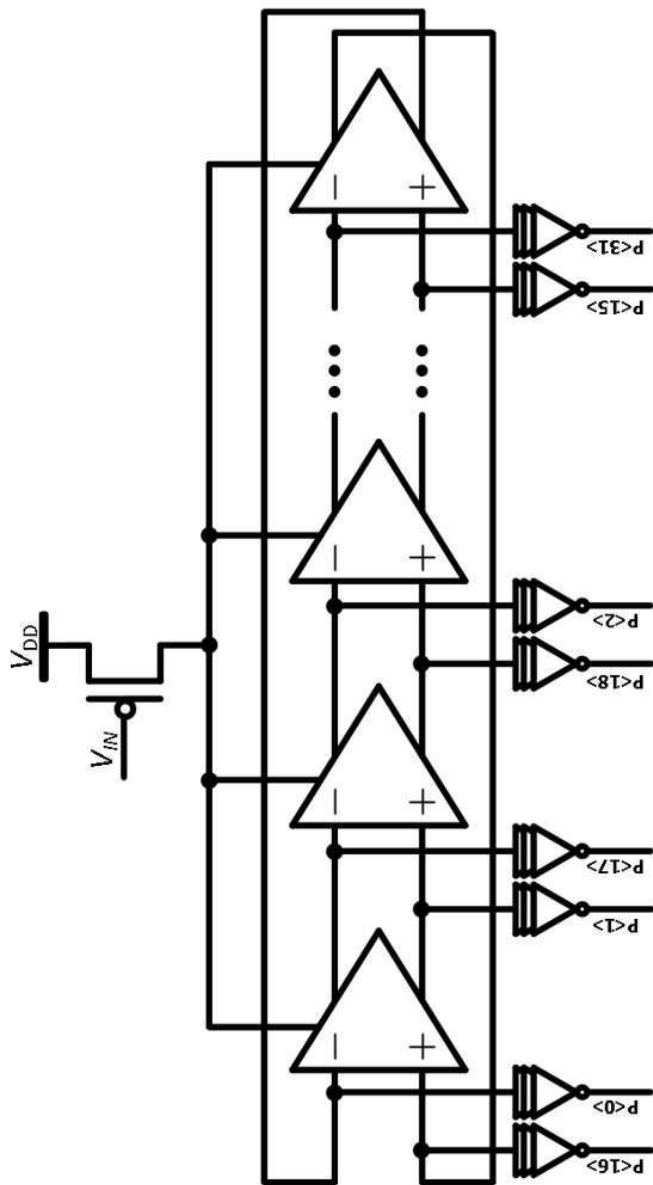
도면3



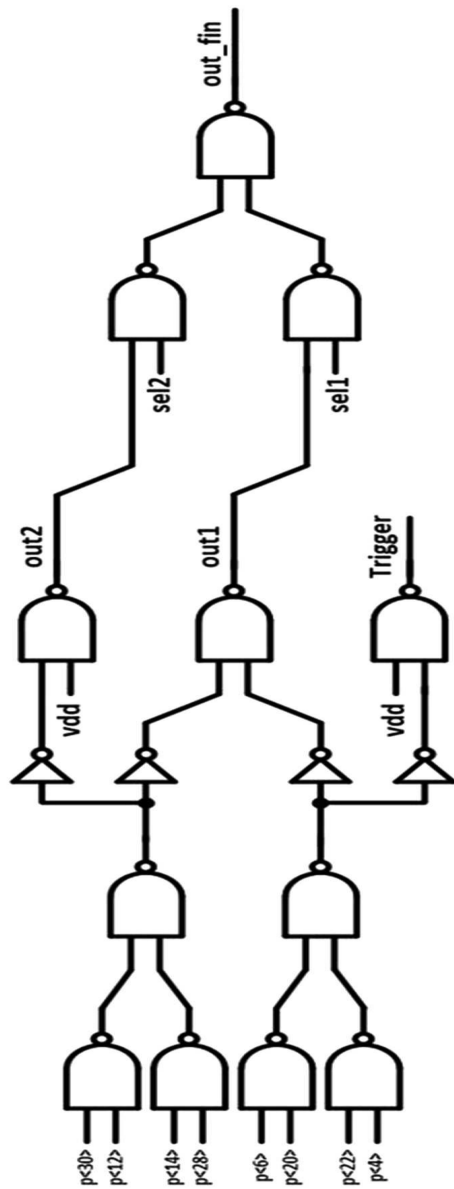
도면4



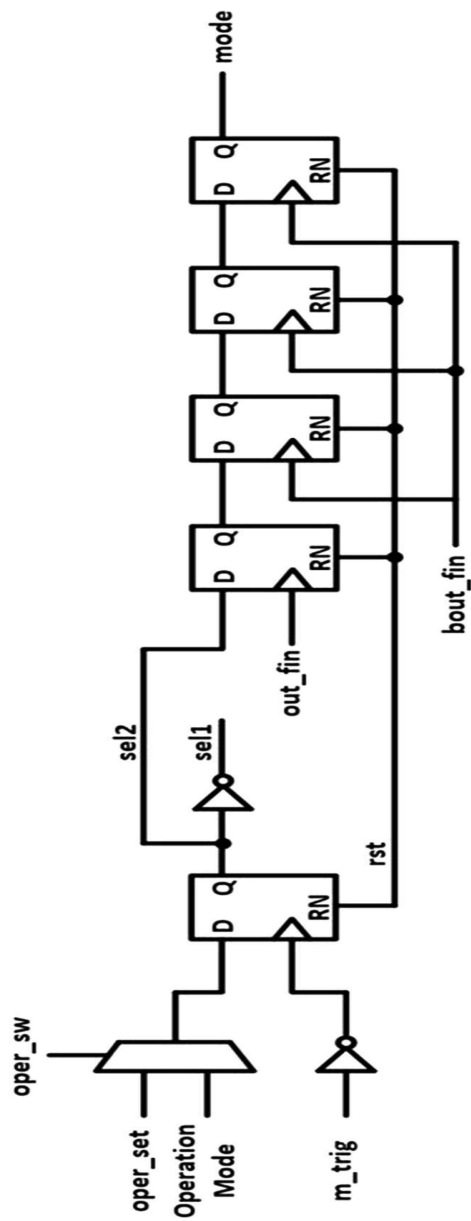
도면5



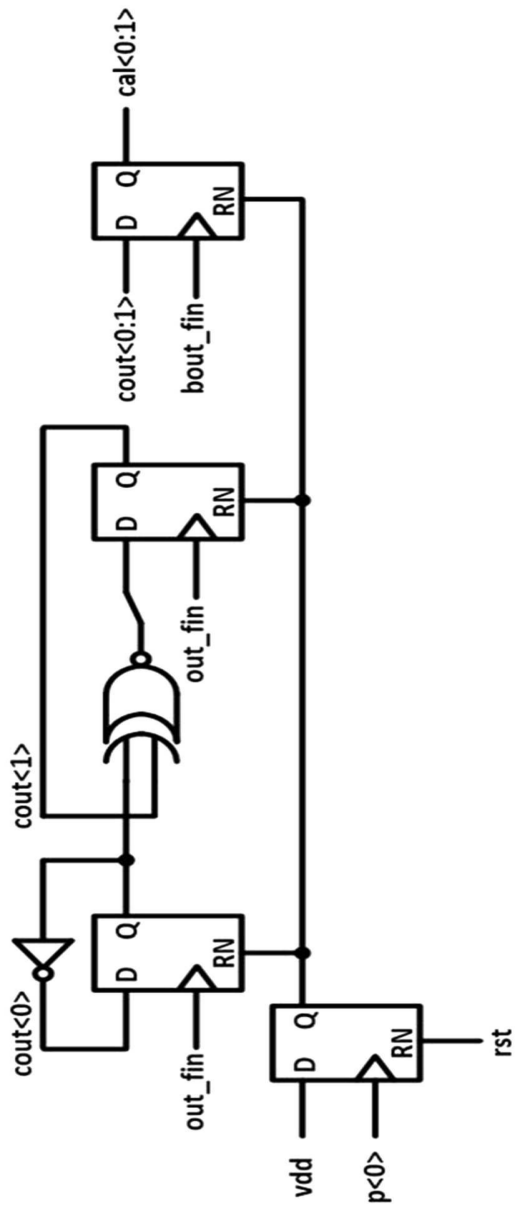
도면6



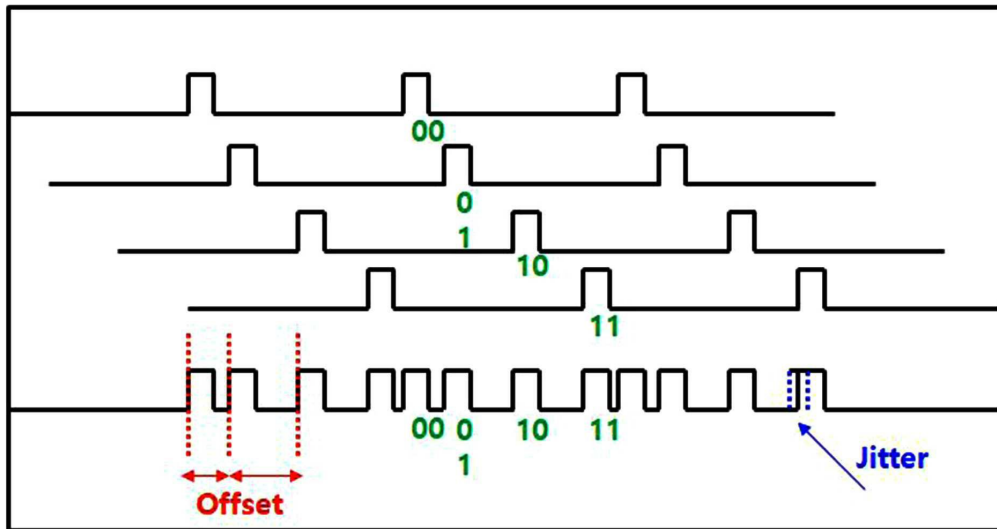
도면7



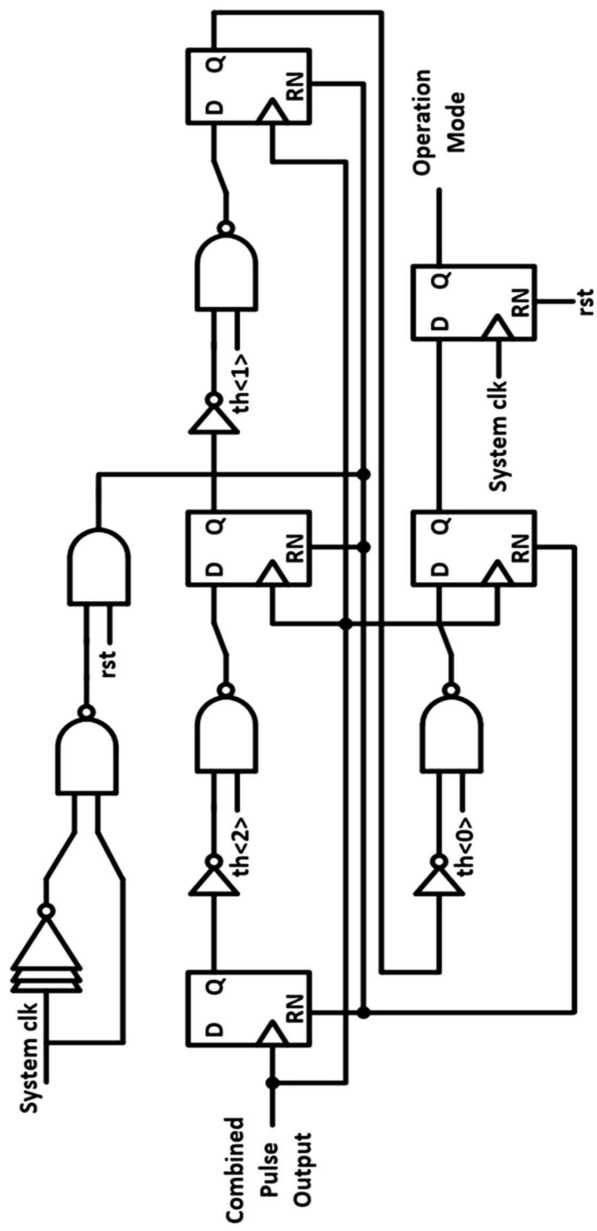
도면8



도면9



도면10



도면11

