



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0130327  
(43) 공개일자 2019년11월22일

(51) 국제특허분류(Int. Cl.)  
H01L 45/00 (2006.01) H01L 27/06 (2006.01)  
(52) CPC특허분류  
H01L 45/1233 (2013.01)  
H01L 27/0688 (2013.01)  
(21) 출원번호 10-2018-0054826  
(22) 출원일자 2018년05월14일  
심사청구일자 2018년05월14일

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
여중석  
인천광역시 연수구 컨벤시아대로130번길 100,  
1806동 2503호(송도동, 더샵 그린워크3차)  
전덕진  
인천광역시 서구 가정로 387, 132동 1401호(신현동, 신현이편한세상하늘채)  
(74) 대리인  
김연권

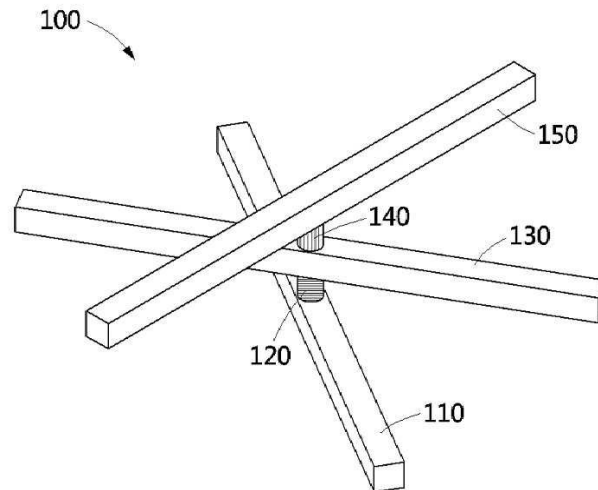
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 육각 구조를 갖는 전자 소자 및 전자 소자의 어드레싱 방법

(57) 요약

육각 구조를 갖는 전자 소자 및 어드레싱 방법을 개시한다. 본 발명의 일 실시예에 따른 전자 소자는 제1 방향으로 배열된 제1 전도체와, 상기 제1 전도체 위에 배치되고, 제2 방향으로 배열된 제2 전도체와, 상기 제2 전도체 위에 배치되고, 제3 방향으로 배열된 제3 전도체와, 상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체의 교차되는 부분의 상기 제1 전도체 및 상기 제2 전도체의 사이에 배치되는 선택 소자와, 상기 제2 전도체 및 상기 제3 전도체의 사이에 배치되는 메모리 소자를 포함한다.

대표도 - 도1



(52) CPC특허분류

**H01L 45/141** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10080625

부처명 산업통상자원부

연구관리전문기관 한국반도체연구조합

연구사업명 미래반도체소자 원천기술개발사업

연구과제명 초고속 / 저에너지 멀티레벨 메모리/시냅스 소자 개발

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2017.07.01 ~ 2021.12.31

---

## 명세서

### 청구범위

#### 청구항 1

제1 방향으로 배열된 제1 전도체;

상기 제1 전도체 위에 배치되고, 제2 방향으로 배열된 제2 전도체;

상기 제2 전도체 위에 배치되고, 제3 방향으로 배열된 제3 전도체; 및

상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체의 교차되는 부분의 상기 제1 전도체 및 상기 제2 전도체의 사이에 배치되는 선택 소자와, 상기 제2 전도체 및 상기 제3 전도체의 사이에 배치되는 메모리 소자를 포함하는

전자 소자.

#### 청구항 2

제1항에 있어서,

상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체 각각이 육각 구조의 서로 다른 한 축으로 배열되도록 결정되는

전자 소자.

#### 청구항 3

제1항에 있어서,

상기 제1 전도체, 제2 전도체 및 제3 전도체는 각각 워드라인, 선택라인 및 비트라인인

전자 소자.

#### 청구항 4

제1항에 있어서,

상기 선택 소자 및 상기 메모리 소자는 칼코겐화물로 형성된

전자 소자.

#### 청구항 5

제1 방향으로 배열된 제1 전도체;

상기 제1 전도체 위에 배치되고, 제2 방향으로 배열된 제2 전도체;

상기 제2 전도체 위에 배치되고, 제3 방향으로 배열된 제3 전도체; 및

상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체의 교차되는 부분의 상기 제1 전도체 및 상기 제2 전도체의 사이에 배치되는 제1 메모리 소자와, 상기 제2 전도체 및 상기 제3 전도체의 사이에 배치되는 제2 메모리 소자를 포함하는

전자 소자.

#### 청구항 6

제5항에 있어서,

상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체 각각이 육각 구조의 서로 다른 한 축으로 배열되도록 결정되는

전자 소자.

#### 청구항 7

제5항에 있어서,

상기 메모리 소자들 각각은 메모리 셀 및 선택 소자를 포함하는

전자 소자.

#### 청구항 8

제5항에 있어서,

상기 제1 메모리 소자 및 상기 제2 메모리 소자는 칼코겐화물로 형성된

전자 소자.

#### 청구항 9

제1 방향으로 평행하게 배열된 제1 전도체들;

상기 제1 전도체들 위에 배치되고, 제2 방향으로 평행하게 배열된 제2 전도체들;

상기 제2 전도체들 위에 배치되고, 제3 방향으로 평행하게 배열된 제3 전도체들; 및

상기 제1 전도체들, 상기 제2 전도체들 및 상기 제3 전도체들의 교차되는 부분의 상기 제1 전도체 및 상기 제2 전도체의 사이에 배치된 메모리 소자 또는 선택 소자와, 상기 제2 전도체 및 상기 제3 전도체의 사이에 배치된 메모리 소자 또는 선택 소자로 구성된 복수개의 단위 소자를 포함하는

전자 소자.

#### 청구항 10

제9항에 있어서,

상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 상기 메모리 장치의 탑 뷰(top view)가 육각형 구조를 갖도록 형성되는

전자 소자.

#### 청구항 11

제9항에 있어서,

상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 상기 제1 전도체들 상기 제2 전도체들 및 상기 제3 전도체들이 배열된 탑 뷰(top view)가 육각형 구조를 형성하도록 결정되는

전자 소자.

#### 청구항 12

제9항에 있어서,

상기 제1 전도체, 제2 전도체 및 제3 전도체는 워드라인, 선택라인 또는 비트라인인

전자 소자.

#### 청구항 13

제9항에 있어서,

상기 복수의 단위 소자를 구성하는 메모리 소자 또는 선택 소자는 칼코겐화물로 형성된

전자 소자.

#### 청구항 14

제1 방향으로 배열된 제1 전도체에 전압을 인가하는 단계;

제2 방향으로 배열되고 상기 제1 전도체의 위에 위치하는 제2 전도체에 전압을 인가하여 상기 제1 전도체와 상기 제2 전도체 사이의 메모리 소자 또는 선택 소자를 선택하는 단계; 및

제3 방향으로 배열되고 상기 제2 전도체의 위에 위치하는 제3 전도체에 전압을 인가하여 상기 제2 전도체와 상기 제3 전도체 사이의 메모리 소자를 선택하는 단계를 포함하는

전자 소자의 어드레싱 방법.

#### 청구항 15

제14항에 있어서,

상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 상기 제1 전도체들 상기 제2 전도체들 및 상기 제3 전도체들이 배열된 탑 뷰(top view)가 육각형 구조를 형성하도록 결정되는

전자 소자의 어드레싱 방법.

#### 청구항 16

제14항에 있어서,

상기 제1 전도체, 제2 전도체 및 제3 전도체는 각각 워드라인, 선택라인 또는 비트라인인

전자 소자의 어드레싱 방법.

#### 청구항 17

제1 방향으로 평행하게 배열되는 워드라인들;

상기 워드라인들 위에 배치되고, 제2 방향으로 평행하게 배열되며 특정 소자를 선택하는 선택라인들;

상기 선택라인들 위에 배치되고, 제3 방향으로 평행하게 배열되는 비트라인들; 및

상기 워드라인들, 선택라인들 및 비트라인들의 전압 인가를 제어하여 상기 워드라인들 및 선택라인들 사이에 배치된 제1 소자 또는 상기 선택라인들 및 상기 비트라인들 사이에 배치된 제2 소자의 어드레싱을 제어하는 어드레싱 제어부를 포함하는

전자 소자.

### 발명의 설명

#### 기술 분야

[0001] 육각 구조를 갖는 전자 소자에 관한 것으로, 보다 상세하게는 육각 구조의 어레이 배열을 갖는 전자 소자 및 전자 소자의 어드레싱 방법에 관한 것이다. 예를 들어, 어레이 배열은 전도체로 구성될 수 있고, 전도체 사이에 배열되는 소자(element)는 메모리 소자, 스위칭 소자, 선택 소자, 터치 감지 소자, 촉각 감지 소자, 또는 디스플레이 소자일 수 있다.

#### 배경 기술

[0002] 전자 소자는 일반적으로 여러 독립된 요소를 집적해서 하나의 칩 형태로 제작될 수 있다.

[0003] 예를 들어 메모리 장치는 고집적화된 메모리 소자를 구동시키기 위해서는 3D 스택킹(stack)이 필수적일 수 있다.

[0004] 이때 크게 접근하는 방식은 크로스 포인트(Xpoint)와 버티컬(Vertical) 두 가지가 있다. Xpoint 방식은 셀렉터를 통해 스니크 전류(sneak current) 문제를 해결할 수 있고 셀 집적도를 높일 수 있는 반면 소자 아키텍처를 디자인하는 방식이 까다롭다는 단점이 있다. 그에 반해 Vertical 방식의 경우 셀렉터(선택 소자)를 구조 안에 포함시키기 어렵다는 문제를 가지고 있다.

- [0005] 또한, Xpoint 방식은 스쿼어 패킹(square packing)으로 전극의 수직 교차를 통해 메모리를 동작시킨다. 이때 셀렉터와 메모리 사이의 별도의 전극이 없어 오보닉 쓰레스홀드 스위치(Ovonic Threshold Switch, OTS) 등 전압인가에 따라 순간적으로 저항이 변하는 휘발성 셀렉터를 사용해야 하는데, 이 경우 메모리와 셀렉터가 직렬로 연결되어 있기 때문에 셀렉터가 제대로 동작하기 위해서는 메모리에 비해 상당히 높은 저항 값을 가져야 한다.
- [0006] 이 이유로 메모리 및 셀렉터 물질 선정에 한계가 발생하며, 메모리가 비정질 상태일 때, 제대로 셀렉터를 구동할 수 없는 문제 등이 발생할 수 있다.

## 선행기술문헌

### 특허문헌

- [0007] (특허문헌 0001) 한국특허공개 제10-2013-0107326호, "트랜지스터 구동 3D 메모리"(2013.10.01.)

## 발명의 내용

### 해결하려는 과제

- [0008] 본 발명은 육각 구조로 대칭성을 만족하면서 어드레싱 가능한 어레이 구조로 동종 혹은 이종의 소자를 적층하여 셀 집적도를 최대화하는 전자 소자를 제공하고자 한다.
- [0009] 예를 들어, 본 발명은 라인 리키지(line leakage)를 최소화하는 메모리 장치를 제공하고자 한다.
- [0010] 예를 들어, 본 발명은 메모리와 선택 소자 사이에 전극을 포함하는 구조로 메모리와 선택 소자를 독립적으로 어드레싱 하는 메모리 장치를 제공하고자 한다.
- [0011] 예를 들어, 본 발명은 선택 소자와 집적 가능한 메모리 소자를 상변화 물질로 구현 가능한 메모리 장치를 제공하고자 한다.
- [0012] 예를 들어, 본 발명은 선택 소자 물질의 선택 범위를 넓히는 메모리 장치를 제공하고자 한다.
- [0013] 예를 들어, 본 발명은 육각 구조 전자 장치를 어드레싱 하는 방법을 제공하고자 한다.

### 과제의 해결 수단

- [0014] 상술한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 전자 소자는 제1 방향으로 배열된 제1 전도체와, 상기 제1 전도체 위에 배치되고, 제2 방향으로 배열된 제2 전도체와, 상기 제2 전도체 위에 배치되고, 제3 방향으로 배열된 제3 전도체와, 상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체의 교차되는 부분의 상기 제1 전도체 및 상기 제2 전도체의 사이에 배치되는 선택 소자와, 상기 제2 전도체 및 상기 제3 전도체의 사이에 배치되는 메모리 소자를 포함한다.
- [0015] 상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체 각각이 육각 구조의 서로 다른 한 축으로 배열되도록 결정될 수 있다.
- [0016] 상기 제1 전도체, 제2 전도체 및 제3 전도체는 각각 워드라인, 선택라인 및 비트라인일 수 있다.
- [0017] 상기 선택 소자 및 상기 메모리 소자는 칼코겐화물로 형성될 수 있다.
- [0018] 본 발명의 일 실시예에 따른 전자 소자는 제1 방향으로 배열된 제1 전도체와, 상기 제1 전도체 위에 배치되고, 제2 방향으로 배열된 제2 전도체와, 상기 제2 전도체 위에 배치되고, 제3 방향으로 배열된 제3 전도체와, 상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체의 교차되는 부분의 상기 제1 전도체 및 상기 제2 전도체의 사이에 배치되는 제1 메모리 소자와, 상기 제2 전도체 및 상기 제3 전도체의 사이에 배치되는 제2 메모리 소자를 포함한다.
- [0019] 본 발명의 일 실시예에 따른 전자 소자는 제1 방향으로 평행하게 배열된 제1 전도체들과, 상기 제1 전도체들 위에 배치되고, 상기 제2 방향으로 평행하게 배열된 제2 전도체들과, 상기 제2 전도체들 위에 배치되고, 상기 제3 방향으로 평행하게 배열된 제3 전도체들과, 상기 제1 전도체들, 상기 제2 전도체들 및 상기 제3 전도체들의 교차되는 부분의 상기 제1 전도체 및 상기 제2 전도체의 사이에 배치된 메모리 소자 또는 선택 소자와, 상기 제2

전도체 및 상기 제3 전도체의 사이에 배치된 메모리 소자 또는 선택 소자로 구성된 복수개의 단위 소자를 포함한다.

[0020] 상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 상기 제1 전도체, 상기 제2 전도체 및 상기 제3 전도체 각각이 육각 구조의 서로 다른 한 축으로 배열되도록 결정될 수 있다.

[0021] 상기 제1 전도체, 제2 전도체 및 제3 전도체는 워드라인, 선택라인 또는 비트라인일 수 있다.

[0022] 상기 복수의 단위 소자를 구성하는 메모리 소자 또는 선택 소자는 칼코겐화물로 형성될 수 있다.

[0023] 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법은 1 방향으로 배열된 제1 전도체에 전압을 인가하는 단계와, 2 방향으로 배열되고 상기 제1 전도체의 위에 위치하는 제2 전도체에 전압을 인가하여 상기 제1 전도체와 상기 제2 전도체 사이의 메모리 소자 또는 선택 소자를 선택하는 단계와, 방향으로 배열되고 상기 제2 전도체의 위에 위치하는 제3 전도체에 전압을 인가하여 상기 제2 전도체와 상기 제3 전도체 사이의 메모리 소자를 선택하는 단계를 포함한다.

[0024] 본 발명의 다른 일 실시예에 따른 전자 소자는, 제1 방향으로 평행하게 배열되는 워드라인들, 상기 워드라인들 위에 배치되고, 제2 방향으로 평행하게 배열되며 특정 소자를 선택하는 선택라인들, 상기 선택라인들 위에 배치되고, 제3 방향으로 평행하게 배열되는 비트라인들, 및 상기 워드라인들, 선택라인들 및 비트라인들의 전압 인가를 제어하여 상기 워드라인들 및 선택라인들 사이에 배치된 제1 소자 또는 상기 선택라인들 및 상기 비트라인들 사이에 배치된 제2 소자의 어드레싱을 제어하는 어드레싱 제어부를 포함한다.

### 발명의 효과

[0025] 본 발명의 일 실시예에 따른 메모리 장치는 육각 구조로 적층된 형태를 가진다.

[0026] 본 발명의 일 실시예에 따른 메모리 장치는 육각 구조로 대칭성을 만족하면서 동종 혹은 서로 다른 이종 소자를 어드레싱 할 수 있는 어레이 구조를 적층하여 셀 집적도를 최대화할 수 있다.

[0027] 본 발명의 일 실시예에 따른 메모리 장치는 라인 리키지(line leakage) 전류를 최소화할 수 있다.

[0028] 본 발명의 일 실시예에 따른 메모리 장치는 메모리와 선택 소자 사이에 전극을 포함하는 구조로 메모리와 선택 소자를 독립적으로 어드레싱할 수 있다.

[0029] 본 발명의 일 실시예에 따른 메모리 장치는 선택 소자와 집적 가능한 메모리 소자를 상변화 물질로 구현 가능하다.

[0030] 본 발명의 일 실시예에 따른 메모리 장치는 선택 소자 물질의 선택 범위를 넓힐 수 있다.

[0031] 본 발명의 일 실시예에 따른 어드레싱 방법은 육각 구조 메모리 장치를 어드레싱할 수 있다.

### 도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 전자 소자를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 전자 소자의 평면도이다.

도 3은 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 전자 소자를 나타내는 도면이다.

도 7은 본 발명의 일 실시예에 따른 전자 소자의 평면도이다.

도 8은 본 발명의 일 실시예에 따른 전자 소자의 측면도이다.

도 9는 본 발명의 일 실시예에 따른 전자 소자의 정측면도이다.

도 10은 본 발명의 일 실시예에 따른 전자 소자를 개략적으로 도시하는 평면도이다.

도 11은 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 나타내는 흐름도이다.

도 12는 일 실시예에 따른 어드레싱 장치의 구성 예를 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0033] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- [0034] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0035] 본 명세서에서 사용되는 "실시예", "예", "측면", "예시" 등은 기술된 임의의 양상(Aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.
- [0036] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0037] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.
- [0038] 또한, 본 명세서 및 청구항들에서 사용되는 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0039] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0040] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0042] 도 1은 본 발명의 일 실시예에 따른 전자 소자를 나타내는 도면이다.
- [0043] 도 2는 본 발명의 일 실시예에 따른 전자 소자의 평면도이다.
- [0044] 도 1 및 도 2를 참조하면, 단위 소자(100)는 제1 전도체(110)와, 제2 전도체(130)와, 제3 전도체(150)와, 제1 소자(120)와, 제2 소자(140)를 포함한다.
- [0045] 이때, 제1 소자(120)는 선택 소자일 수 있고, 제2 소자(140)는 메모리 소자일 수 있다. 이하, 설명의 편의를 위해 제1 소자(120)는 선택 소자로 칭해질 수 있고, 제2 소자(140)는 메모리 소자로 칭해질 수 있다. 또한, 전도체들 사이에 배치되는 소자가 선택 소자 또는 메모리 소자인 경우 전자 소자는 메모리 장치라 칭해질 수 있다.
- [0046] 도 1 및 도 2를 참조하면, 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150)는 각각 제1 방향, 제2 방향, 및 제3 방향으로 배열될 수 있다.
- [0047] 이때, 상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150) 각각이 육각 구조의 서로 다른 한 축으로 배열되도록 결정될 수 있다.
- [0048] 예를 들어, 상기 제1 방향과 상기 제2 방향은 내각 기준 60 도의 각도를 이루고, 상기 제2 방향과 상기 제3 방향은 내각 기준 60 도의 각도를 이룰 수 있다.



- [0049] 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150)는 전극일 수 있다.
- [0050] 제1 전도체(110)는 워드라인일 수 있다.
- [0051] 제2 전도체(130)는 선택라인일 수 있다.
- [0052] 제3 전도체(150)는 비트라인일 수 있다.
- [0053] 또는, 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150) 각각은 필요에 따라 워드라인, 선택라인 또는 비트라인일 수 있다.
- [0054] 제1 전도체(110)는 제1 방향으로 배치된다.
- [0055] 선택 소자(120)는 제1 전도체(110) 위에 배치된다.
- [0056] 제2 전도체(130)는 선택 소자(120) 위에 배치된다.
- [0057] 제2 전도체(130)는 제1 전도체(110)과 내각 기준 60 도의 각도를 이루도록 제2 방향으로 배치될 수 있다.
- [0058] 메모리 소자(140)는 제2 전도체(130) 위에 배치된다.
- [0059] 메모리 소자(140)는 메모리 셀일 수 있다.
- [0060] 제3 전도체(150)는 메모리 소자(140) 위에 배치된다.
- [0061] 제3 전도체(150)는 제2 전도체(130)과 내각 기준 60 도의 각도를 이루고, 제1 전도체(110)과 내각 기준 60 도의 각도를 이루도록 제3 방향으로 배치될 수 있다.
- [0062] 선택 소자(120) 및 메모리 소자(140)는 이들이 형성하는 경로가 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150)와 각각 수직을 이루도록 배치될 수 있다.
- [0063] 즉, 선택 소자(120) 및 메모리 소자(140)은 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150)가 교차되는 부분의 사이에 배치될 수 있다.
- [0064] 선택 소자(120)는 문턱(Threshold) 특성을 갖는 소자일 수 있다.
- [0065] 문턱(Threshold) 특성은 문턱 전압 이하에서는 고저항 상태(High Resistive State, HRS)를 가져 매우 낮은 양의 전류 흐름을 보이고, 문턱 전압 초과하는 경우 저저항 상태(Low Resistive State, LRS) 특성을 가져 급격한 전류 상승을 보이는 것을 의미할 수 있다.
- [0066] 선택 소자(120)는 MIEC(Mixed Ionic Electronic Conduction) selector, 금속-절연체 전이(Insulator Metal Transition, IMT) selector, Tunnel Barrier switch, FAST(Field Assisted Superlinear Threshold) selector, 오보닉 쓰레스홀드 스위치(Ovonic Threshold Switch, OTS)등 Threshold 특성을 갖는 소자일 수 있다.
- [0067] MIEC는 구리(Cu) 등에 의해 형성될 수 있다.
- [0068] IMT는  $\text{NbO}_x$ ,  $\text{VO}_x$  등에 의해 형성될 수 있다.
- [0069] Tunnel barrier는 TaO, TiO, TaO 등에 의해 형성될 수 있다.
- [0070] OTS는 Ge-Sb-Te, Ge-Te, Si-Te, A-B-Te 등의 칼코겐화물(chalcogenide)로 형성될 수 있다.
- [0071] 여기서, A와 B는 구리(Cu), 은(Ag), 금(Au), 아연(Zn), 붕소(B), 알루미늄(Al), 인듐(In), 탄소(C), 실리콘(Si), 저머늄(Ge), 주석(Sn), 질소(N), 인(P), 비소(As), 안티몬(Sb) 등 일 수 있다.
- [0072] 또한, OTS는 Si 등으로 도핑될 수 있다.
- [0073] 예를 들면, OTS는 Si로 도핑된  $\text{GeTe}_6$ 로 형성될 수 있다.
- [0074] 여기서, 사용되는 하이픈(-) 표시된 화학적 조성 표기는 특정 화합물에 포함된 원소를 표시하고, 표시된 원소를 포함하는 모든 화학식 구조를 나타낼 수 있다.
- [0075] 예를 들면, Ge-Sb-Te는  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ,  $\text{Ge}_2\text{Sb}_2\text{Te}_7$ ,  $\text{Ge}_1\text{Sb}_2\text{Te}_4$ , 또는  $\text{Ge}_1\text{Sb}_4\text{Te}_7$  등의 물질일 수 있다.
- [0076] 예를 들면, Ge-Te는  $\text{GeTe}_4$ ,  $\text{GeTe}_6$  등일 수 있다.

- [0077] 예를 들면, Si-Te는  $\text{SiTe}_3$ ,  $\text{SiTe}_4$ ,  $\text{SiTe}_6$  등일 수 있다.
- [0078] OTS는 이외 다양한 화학적 조성비를 가질 수 있다.
- [0079] 메모리 소자는(140)는 칼코겐화물(chalcogenide), 상변화물질(Phase Change Material, PCM),  $\text{TiO}_2$ ,  $\text{HfO}_2$  등에 의해 형성될 수 있다.
- [0080] 예를 들면, 메모리 소자(140)는 상변화 메모리 소자(Phase Change Random Access Memory, PRAM), 저항성 메모리 소자(Resistance RAM, ReRAM) 등의 적층 메모리 소자일 수 있다.
- [0081] 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150)에는 전압이 인가될 수 있다.
- [0082] 제1 전도체(110), 제2 전도체(130) 및 제3 전도체(150)는 각각의 사이에 배치된 선택 소자(120) 또는 메모리 소자(140)을 턴 온 시키거나 턴 오프 시킬 수 있다.
- [0083] 선택 소자(120) 및 메모리 소자(140)의 위치는 서로 바뀔 수 있다.
- [0084] 즉, 제1 전도체(110)과 제2 전도체(130) 사이에 메모리 소자(140)이 배치되고, 제2 전도체(130)과 제3 전도체(150) 사이에 선택 소자(120)이 배치될 수 있다.
- [0085] 또는, 선택 소자(120)는 메모리 소자로 대체될 수 있다.
- [0086] 즉, 제1 전도체(110)과 제2 전도체(130) 사이에 제1 메모리 소자가 배치되고, 제2 전도체(130)과 제3 전도체(150) 사이에 제2 메모리 소자가 배치될 수 있다.
- [0087] 제1 메모리 소자 및 제2 메모리 소자는 메모리 셀일 수 있다.
- [0088] 또는, 제1 메모리 소자 및 제2 메모리 소자는 각각 메모리 셀과 선택 소자를 포함할 수 있다.
- [0089] 즉, 제1 메모리 소자 및 제2 메모리 소자는 각각 메모리 셀과 선택 소자가 직렬 연결된 소자일 수 있다.
- [0090] 즉, 제1 전도체(110)과 제2 전도체(130) 사이에 메모리 셀과 선택 소자가 직렬 연결된 소자가 배치되고, 제2 전도체(130)과 제3 전도체(150) 사이에 메모리 셀과 선택 소자가 직렬 연결된 소자가 배치될 수 있다.
- [0091] 메모리 장치(100)는 어드레싱 장치(미도시)를 더 포함할 수 있다.
- [0092] 어드레싱 장치는 제1 전도체(110), 제2 전도체(130), 제3 전도체(150)에 전압을 인가하여 메모리 소자 또는 선택 소자를 턴 온 시키고 읽기 또는 쓰기 동작을 수행할 수 있다.
- [0094] 본 발명의 일 실시예에 따른 메모리 장치는 위와 같은 구조로 선택 소자(Selector)의 선택 범위를 넓힐 수 있다.
- [0095] OTS(Ovonic Threshold Switching) 선택 소자뿐만 아니라 상 변이 선택 소자도 사용할 수 있다.
- [0096] 휘발성 선택 소자뿐만 아니라 비휘발성 선택 소자도 사용할 수 있다.
- [0097] 또한, 메모리 셀과 선택 소자를 포함하는 메모리 소자로 구현할 경우에도 line leakage가 적은 3D 적층 방식으로 구현할 수 있다.
- [0098] 또한, 기존의 3D 메모리 구조보다 높은 셀 집적도를 구현할 수 있다.
- [0100] 도 3은 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 설명하기 위한 도면이다.
- [0101] 도 3을 참조하면, 메모리 장치(300)는 (a)와 같이, 제1 전도체(310), 제1 메모리 소자(320), 제2 전도체(330), 제2 메모리 소자(340) 및 제3 전도체(350)를 포함할 수 있다.
- [0102] 제1 전도체(310), 제2 전도체(330) 및 제3 전도체(350) 사이에는 각각 제1 메모리 소자(320) 및 제2 메모리 소자(340)가 배치될 수 있다.
- [0103] 메모리 장치(300)는 (b)와 같이, 제2 전도체(330)와 제3 전도체(350)에 전압이 인가되어 제2 메모리 소자(340)에 읽기 또는 쓰기 동작을 수행할 수 있다.

- [0105] 도 4는 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 나타내는 도면이다.
- [0106] 도 4를 참조하면, 메모리 장치(400)은 멀티 레벨 셀(Multi Level Cell)로 동작할 수 있다.
- [0107] 메모리 장치(400)는 (a)와 같이, 제1 전도체(410), 제1 메모리 소자(420), 제2 전도체(430), 제2 메모리 소자(440) 및 제3 전도체(450)를 포함할 수 있다.
- [0108] 메모리 장치(400)는 (b)와 같이, 제2 전도체(430)와 제3 전도체(450)에 전압을 인가하여 제2 메모리 소자(440)만을 읽기 또는 쓰기 할 수 있다.
- [0109] 메모리 장치(400)는 (c)와 같이, 제1 전도체(410)와 제2 전도체(430)에 전압을 인가하여 제1 메모리 소자(420)만을 읽기 또는 쓰기 할 수 있다.
- [0110] 메모리 장치(400)는 (d)와 같이, 제1 전도체(410)와 제3 전도체(450)에 전압을 인가하여 제1 메모리 소자(420) 및 제2 메모리 소자(440)를 읽기 또는 쓰기 할 수 있다.
- [0112] 도 5는 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 나타내는 도면이다.
- [0113] 도 5를 참조하면, 전자 소자(500)는 (a)와 같이, 제1 전도체(510), 메모리 소자(520), 제2 전도체(530), 선택 소자(540) 및 제3 전도체(550)를 포함할 수 있다.
- [0114] 전자 소자(500)는 (b)와 같이, 제1 전도체(510)와 제2 전도체(530)에 전압을 인가하여 선택 소자(540)을 턴 온 시킬 수 있다.
- [0115] 다음, 전자 소자(500)는 (c)와 같이, 제1 전도체(510)와 제3 전도체(550)에 전압을 인가하여 메모리 소자(520)도 함께 턴 온 시켜 읽기 또는 쓰기를 수행할 수 있다.
- [0116] 메모리 소자(520)와, 선택 소자(540)의 위치는 서로 바뀔 수 있다.
- [0117] 이때, 전자 소자(500)는 제2 전도체(530)와 제3 전도체(550)에 전압을 인가하여 선택 소자(540)를 턴 온 시킬 수 있다.
- [0118] 다음, 전자 소자(500)는 제1 전도체(510)와 제3 전도체(550)에 전압을 인가하여 메모리 소자(520)도 함께 턴 온 시켜 읽기 또는 쓰기를 수행할 수 있다.
- [0120] 도 6은 본 발명의 일 실시예에 따른 전자 소자를 나타내는 도면이다.
- [0121] 도 7은 본 발명의 일 실시예에 따른 전자 소자의 평면도이다.
- [0122] 도 8은 본 발명의 일 실시예에 따른 전자 소자의 측면도이다.
- [0123] 도 9는 본 발명의 일 실시예에 따른 전자 소자의 정측면도이다.
- [0124] 도 6 내지 9의 전자 소자는 도 1 내지 5를 참조하여 설명한 메모리 장치를 단위 소자로 하여 복수개를 포함하는 메모리 장치일 수 있다.
- [0126] 도 7을 참조하면, 제1 전도체들(610)과, 제2 전도체들(630)과, 제3 전도체들(650)은 각각 제1 방향, 제2 방향, 및 제3 방향으로 배열될 수 있다.
- [0127] 이때, 상기 제1 방향, 상기 제2 방향 및 상기 제3 방향은 제1 전도체들(610)과, 제2 전도체들(630)과, 제3 전도체들(650)이 배열된 탑 뷰(top view)가 육각형 구조를 형성하도록 결정될 수 있다.
- [0128] 예를 들어, 육방 밀집 구조 결정에서 Miller-Bravais indices는 제1 방향의 경우 [1000], 제2 방향의 경우 [0100]이고, 제3 방향은 [0010]일 수 있다.
- [0129] 도 6 내지 도 9를 참조하면, 메모리 장치(600)는 제1 전도체들(610)과, 제2 전도체들(630)과, 제3 전도체들(650)과, 선택 소자들(620)과, 메모리 소자들(640)을 포함할 수 있다.

- [0130] 제1 전도체들(610)은 비트라인일 수 있다.
- [0131] 제2 전도체들(630)은 선택라인일 수 있다.
- [0132] 제3 전도체들(650)은 워드라인일 수 있다.
- [0133] 제1 전도체들(610) 각각은 서로 평행하게 배열된다.
- [0134] 제1 전도체들(610)은 평면을 이룰 수 있다.
- [0135] 제2 전도체들(630) 각각은 서로 평행하게 배열된다.
- [0136] 제2 전도체들(630)은 평면을 이룰 수 있다.
- [0137] 제3 전도체들(650) 각각은 서로 평행하게 배열된다.
- [0138] 제3 전도체들(650)은 평면을 이룰 수 있다.
- [0139] 또는, 제1 전도체들(610), 제2 전도체들(630) 및 제3 전도체들(650) 각각은 필요에 따라 비트라인, 선택라인 또는 워드라인일 수 있다.
- [0140] 또는, 제1 전도체들(610), 제2 전도체들(630) 및 제3 전도체들(650)은 상하로 적층되는 소자들에 따라 상층 소자와의 관계에서는 비트라인일 수 있고, 하층 소자와의 관계에서는 워드라인일 수 있다.
- [0141] 예를 들면, 상하로 배치된 소자들이 메모리 소자인 경우 일 수 있다.
- [0142] 제1 전도체들(610), 제2 전도체들(630) 및 제3 전도체들(630)은 반복적으로 적층될 수 있다.
- [0143] 제1 전도체들(610)는 제2 전도체들(630)와 내각 기준 60 도의 각도를 이루도록 배치될 수 있다.
- [0144] 제2 전도체들(630)는 제2 전도체들(650)와 내각 기준 60 도의 각도를 이루고, 제3 전도체들(650)와 내각 기준 60도의 각도를 이루도록 배치될 수 있다.
- [0145] 제1 전도체들(610)와 제2 전도체들(630) 사이의 교차되는 부분들에는 선택 소자가 배치될 수 있다.
- [0146] 제2 전도체들(630)와 제3 전도체들(650) 사이의 교차되는 부분들에는 메모리 소자가 배치될 수 있다.
- [0147] 선택 소자들(620) 및 메모리 소자(640)들은 칼코겐화물로 형성될 수 있다.
- [0148] 제1 전도체들(610), 제2 전도체들(630) 및 제3 전도체들(650)에는 전압이 인가될 수 있다.
- [0149] 제1 전도체들(610), 제2 전도체들(630) 및 제3 전도체들(650)은 각각의 사이에 배치된 선택 소자들(620) 또는 메모리 소자들(640)을 턴 온 시키거나 턴 오프 시킬 수 있다.
- [0150] 선택 소자들(620) 및 메모리 소자들(640)의 위치는 서로 바뀔 수 있다.
- [0151] 즉, 제1 전도체들(610)와 제2 전도체들(630) 사이에 메모리 소자들(640)이 배치되고, 제2 전도체들(630)과 제3 전도체들(650) 사이에 선택 소자들(620)이 배치될 수 있다.
- [0152] 또는, 선택 소자들(620)은 메모리 소자들로 대체될 수 있다.
- [0153] 즉, 제1 전도체들(610)과 제2 전도체들(630) 사이에 제1 메모리 소자들이 배치되고, 제2 전도체들(630)과 제3 전도체들(650) 사이에 제2 메모리 소자들이 배치될 수 있다.
- [0154] 제1 메모리 소자들 및 제2 메모리 소자들은 메모리 셀일 수 있다.
- [0155] 또는, 제1 메모리 소자들 및 제2 메모리 소자들은 각각 메모리 셀과 선택 소자를 포함할 수 있다.
- [0156] 즉, 제1 메모리 소자들 및 제2 메모리 소자들은 각각 메모리 셀과 선택 소자가 직렬 연결된 소자일 수 있다.
- [0157] 즉, 제1 전도체(610)과 제2 전도체(630) 사이에 메모리 셀과 선택 소자가 직렬 연결된 소자가 배치되고, 제2 전도체(630)과 제3 전도체(650) 사이에 메모리 셀과 선택 소자가 직렬 연결된 소자가 배치될 수 있다.
- [0158] 메모리 장치(600)는 어드레싱 장치(미도시)를 더 포함할 수 있다.
- [0159] 어드레싱 장치는 제1 전도체들(610), 제2 전도체들(630), 제3 전도체들(650)에 전압을 인가하여 특정 메모리 소자 또는 특정 선택 소자를 턴 온 시키고 읽기 또는 쓰기 동작을 수행할 수 있다.

- [0160] 도 6 내지 도 9에 도시된 메모리 장치(600)는 제1 전도체들(610), 선택 소자들(620), 제2 전도체들(630), 메모리 소자들(640) 및 제3 전도체들(650)로 구성된 단위 구조가 6 층으로 적층 되었으나, 필요에 따라 1 층 이상으로 적층될 수 있다.
- [0161] 도 7을 참조하면, 메모리 장치를 위에서 아래로 내려다 보면 육각형 구조를 가짐을 확인할 수 있다.
- [0163] 도 10은 본 발명의 일 실시예에 따른 전자 소자를 개략적으로 도시하는 평면도이다.
- [0164] 도 10을 참조하면, 제1 전도체들(611, 612, 613)은 서로 각각 평행하게 배치된다.
- [0165] 제2 전도체들(621, 622, 623)은 서로 각각 평행하게 배치된다.
- [0166] 제3 전도체들(631, 632, 633)은 서로 각각 평행하게 배치된다.
- [0167] 제1 전도체들(611, 612, 613)과, 제2 전도체들(621, 622, 623)과, 제3 전도체들(631, 632, 633)들이 교차되는 부분(661, 662, 663, 664, 665, 666, 667)에 메모리 소자 또는 선택 소자 또는 메모리 소자 가 배치될 수 있다.
- [0169] 도 11은 본 발명의 일 실시예에 따른 전자 소자의 어드레싱 방법을 나타내는 흐름도이다.
- [0170] 도 11을 참조하면, 어드레싱 장치는 S1110 단계에서, 제1 방향으로 배열된 제1 전도체에 전압을 인가한다.
- [0171] 어드레싱 장치는 S1120 단계에서, 제2 방향으로 배열되고 제1 전도체의 위에 위치하는 제2 전도체에 전압을 인가하여 제1 전도체와 제2 전도체 사이의 메모리 소자 또는 선택 소자를 선택한다.
- [0172] 어드레싱 장치는 S1130 단계에서, 제3 방향으로 배열되고 제2 전도체의 위에 위치하는 제3 전도체에 전압을 인가하여 제2 전도체와 제3 전도체 사이의 메모리 소자를 선택한다.
- [0173] 도 11에 도시된 전자 소자의 어드레싱 방법 및 어드레싱 되는 메모리 장치는 도 1 내지 도 10을 참조하여 설명한 메모리 장치 및 메모리 장치의 어드레싱 방법과 동일하므로, 이외 상세한 설명은 생략한다.
- [0175] 도 12는 일 실시예에 따른 어드레싱 장치의 구성 예를 나타내는 도면이다.
- [0176] 도 12를 참조하면, 어드레싱 장치는 어드레싱 제어부(1210), 제1 구동부(1220), 제2 구동부(1230) 및 제3 구동부(1240)를 포함할 수 있다.
- [0177] 도 12에 도시된 어드레싱 장치는 도 1 내지 도 5의 메모리 장치에 연결되거나, 도 6 내지 도 9의 메모리 장치에 연결될 수 있다.
- [0178] 어드레싱 제어부(1210)는 특정 셀(메모리 소자)에 전압을 인가하거나 또는 선택 소자를 구동하도록 제1 구동부(1220), 제2 구동부(1230) 및 제3 구동부(1240)를 제어할 수 있다.
- [0179] 예를 들어, 제1 구동부(1220)는 어드레싱 제어부(1210)의 제어에 따라 도 1의 제1 방향으로 배열된 제1 전도체(110)에 전압을 인가할 수 있다.
- [0180] 또한, 제1 구동부(1220)는 어드레싱 제어부(1210)의 제어에 따라 비트라인으로 동작하는 도 6의 제1 전도체들(610)에 전압을 인가할 수 있다.
- [0181] 제2 구동부(1230)는 어드레싱 제어부(1210)의 제어에 따라 도 1의 제2 방향으로 배열된 제2 전도체(130)에 전압을 인가할 수 있다.
- [0182] 또한, 제2 구동부(1230)는 어드레싱 제어부(1210)의 제어에 따라 선택라인으로 동작하는 도 6의 제2 전도체들(630)에 전압을 인가할 수 있다.
- [0183] 제3 구동부(1240)는 어드레싱 제어부(1210)의 제어에 따라 도 1의 제3 방향으로 배열된 제3 전도체(150)에 전압을 인가할 수 있다.
- [0184] 또한, 제3 구동부(1240)는 어드레싱 제어부(1210)의 제어에 따라 워드라인으로 동작하는 도6의 제3 전도체들

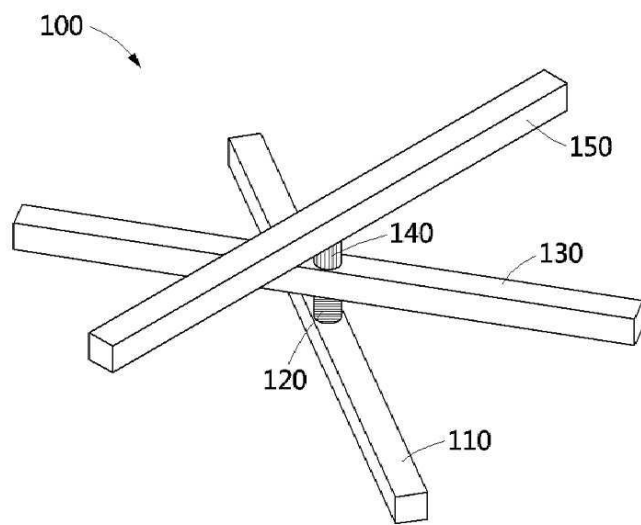
(650)에 전압을 인가할 수 있다.

- [0185] 따라서, 일 실시예에 따른 메모리 장치는 제1 방향으로 평행하게 배열되고 워드라인으로 동작하는 제1 전도체들(611, 612, 613)과, 상기 제1 전도체들 위에 배치되고, 제2 방향으로 평행하게 배열되며 특정 소자를 선택하는 선택라인으로 동작하는 제2 전도체들(621, 622, 623)과, 상기 제2 전도체들 위에 배치되고, 제3 방향으로 평행하게 배열되며 비트라인으로 동작하는 제3 전도체들(631, 632, 633) 및 상기 워드라인, 선택라인 및 비트라인의 전압 인가를 제어하는 어드레싱 제어부(1210)를 포함한다.
- [0186] 이때, 어드레싱 제어부(1210)는 상기 워드라인들 및 선택라인들 사이에 배치된 제1 소자 또는 상기 선택라인들 및 상기 비트라인들 사이에 배치된 제2 소자의 어드레싱을 제어한다.
- [0187] 제1 소자 및 제2 소자는 동일한 기능을 갖는 소자일 수도 있고, 서로 다른 기능을 갖는 이종 소자일 수 있다.
- [0188] 제1 소자 및 제2 소자가 동일한 기능을 갖는 소자, 예를 들어 메모리 소자인 경우 일 실시예에 따른 어드레싱에 의해 멀티 레벨 셀(Multi Level Cell) 어드레싱이 수행될 수 있다.
- [0189] 제1 소자 및 제2 소자가 이종 기능을 갖는 소자인 경우 일 실시예에 따른 어드레싱에 의해 싱글 레벨 셀(single Level Cell) 어드레싱이 수행될 수 있다.
- [0190] 제1 소자 및 제2 소자는 각각 메모리 소자, 스위칭 소자, 선택 소자, 터치 감지 소자, 촉각 감지 소자, 또는 디스플레이 소자 일 수 있다.
- [0192] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0194] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0195]
- [0196] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

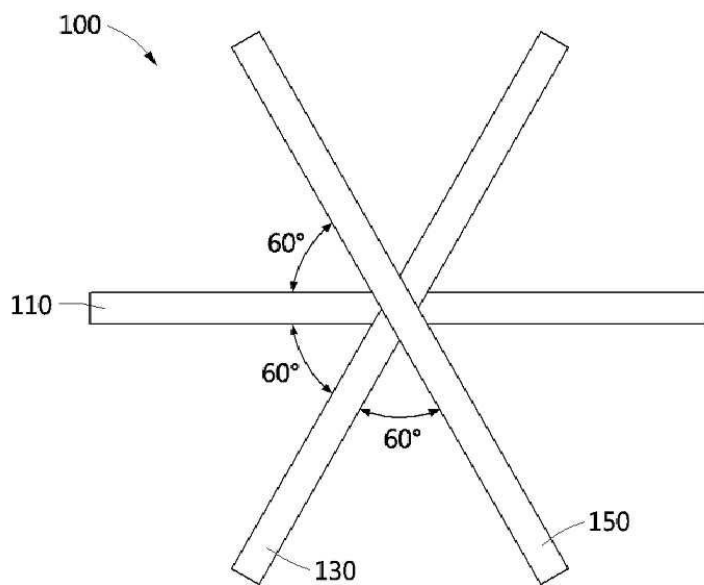


도면

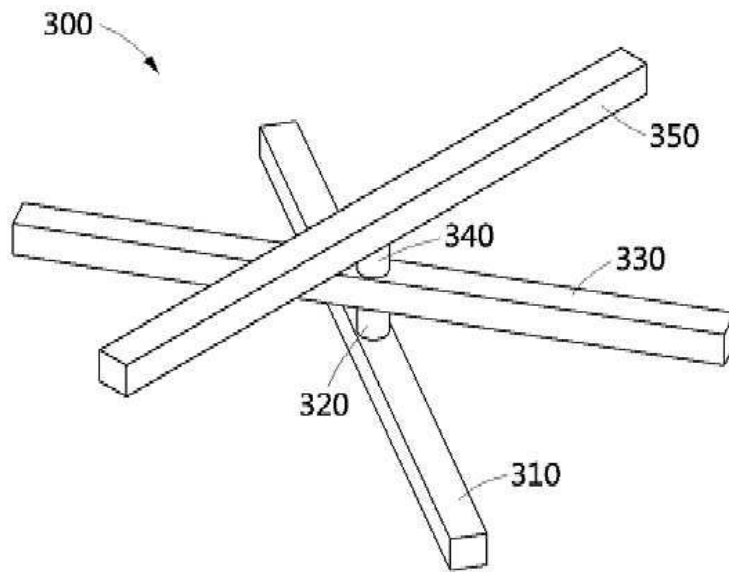
도면1



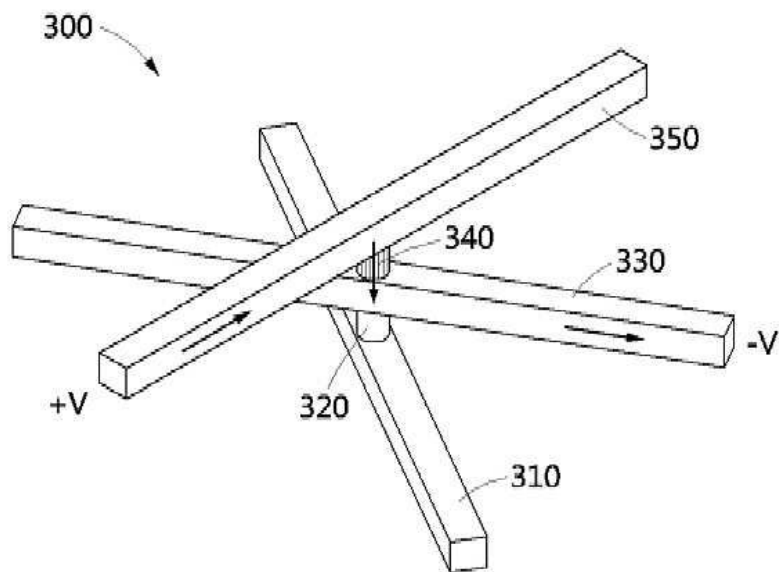
도면2



도면3



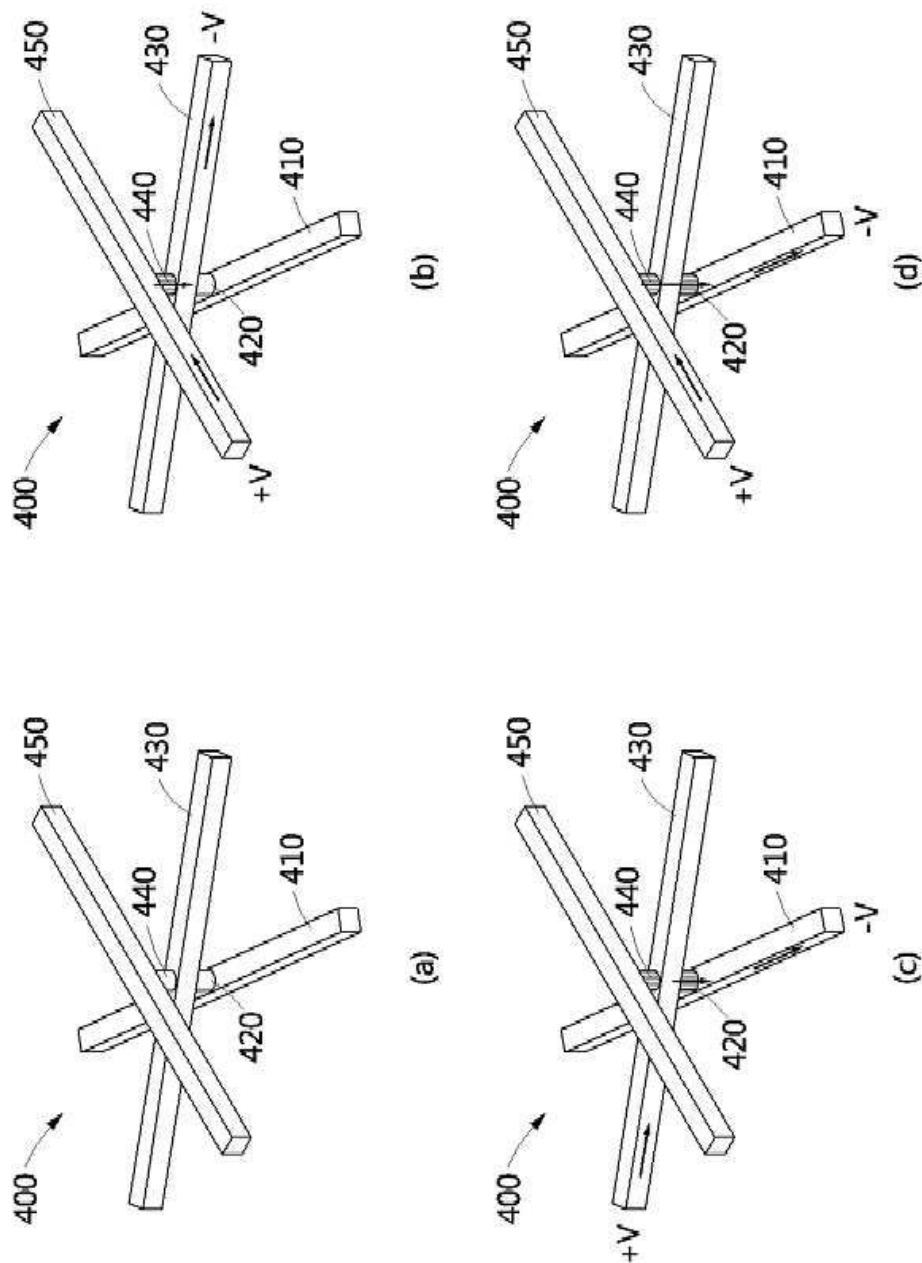
(a)



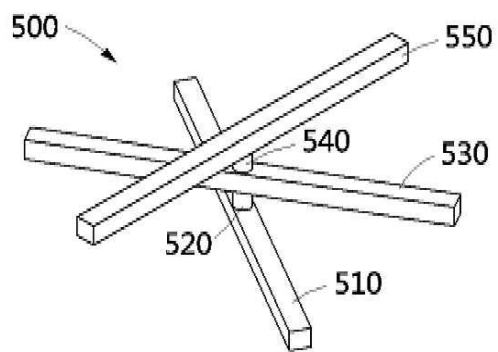
(b)



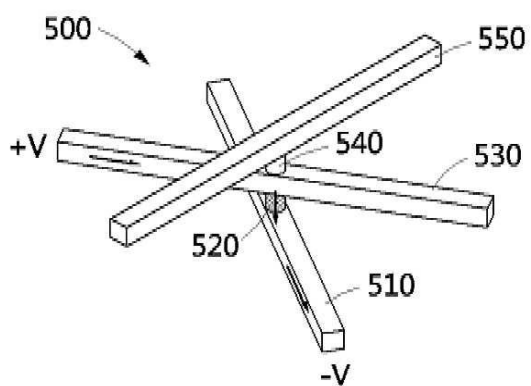
도면4



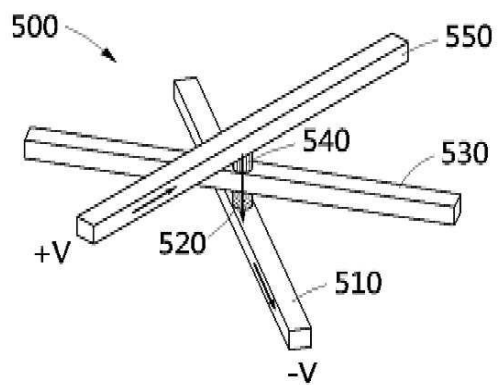
도면5



(a)

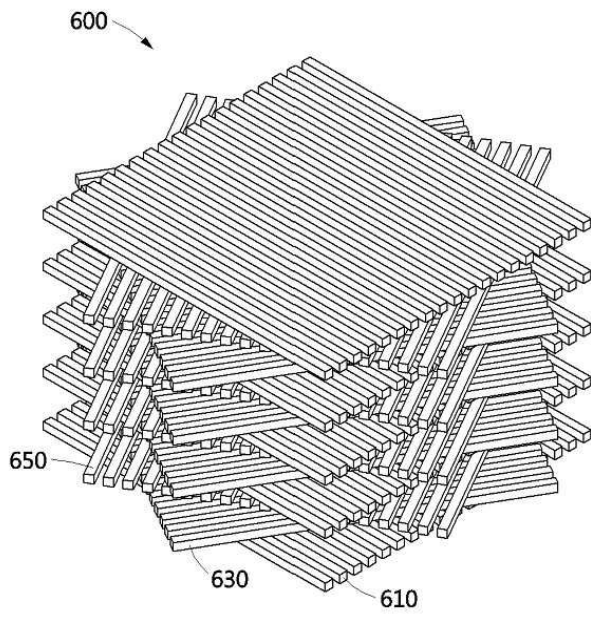


(b)

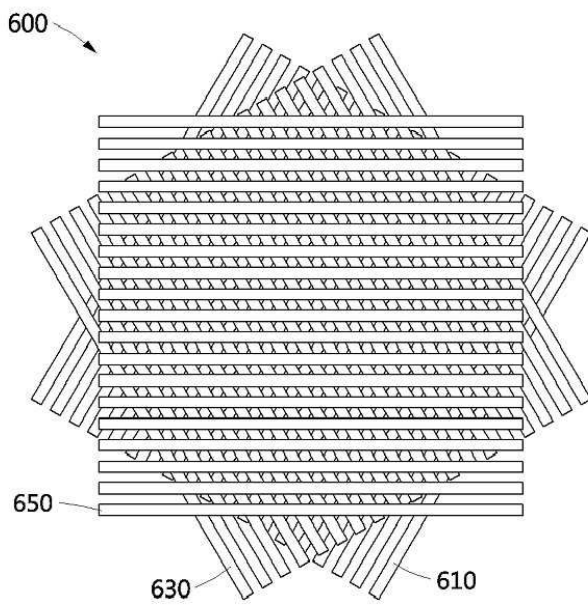


(c)

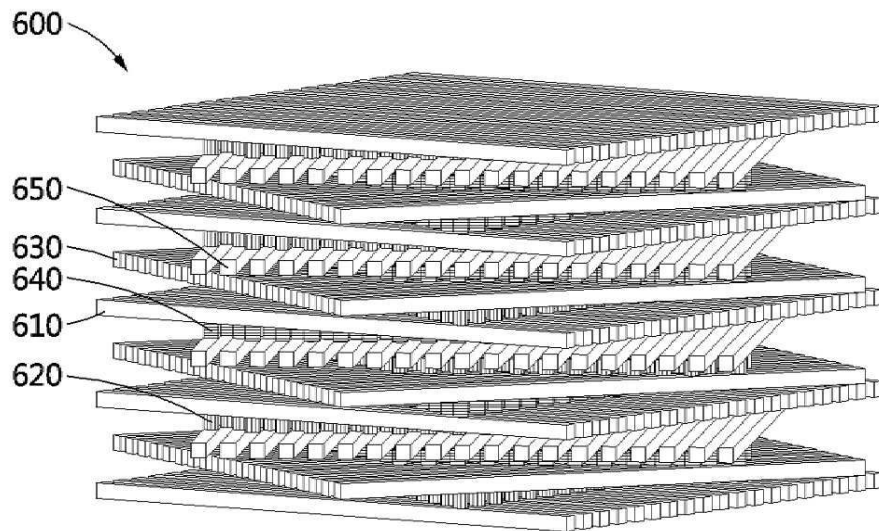
도면6



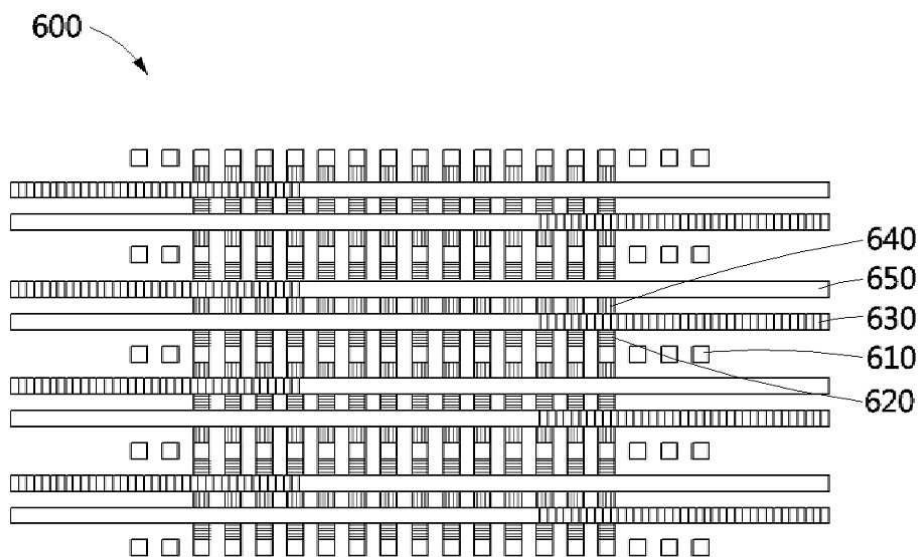
도면7



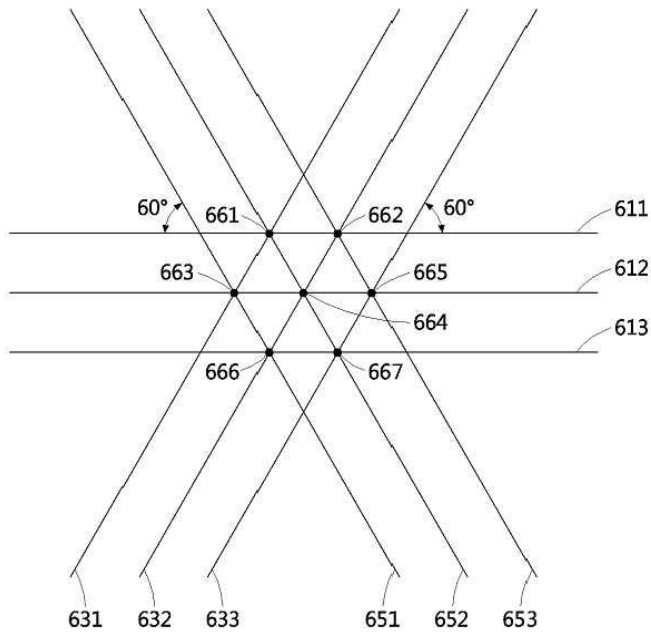
도면8



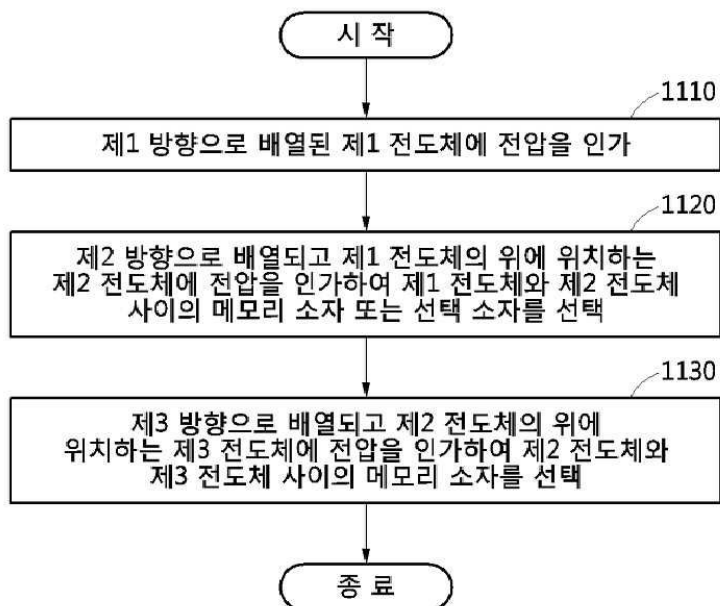
도면9



도면10



도면11



도면12

