



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0119971
(43) 공개일자 2019년10월23일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/14 (2013.01)

H01L 45/1253 (2013.01)

(21) 출원번호 10-2018-0043598

(22) 출원일자 2018년04월13일

심사청구일자 2018년12월20일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

박형호

서울특별시 강남구 압구정로29길 23, 208동 402호(압구정동, 현대아파트)

위 왕

서울특별시 서대문구 연세로 50 연세대학교 제2공학관 B307호

(뒷면에 계속)

(74) 대리인

김권석

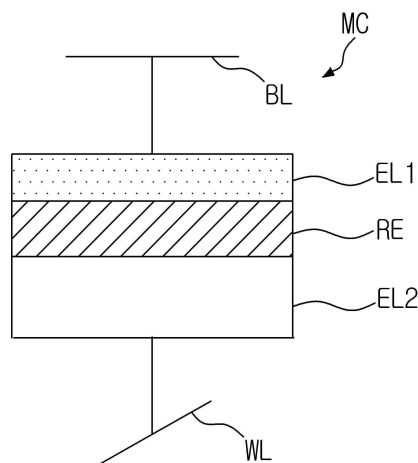
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 저항 변화 메모리 소자 및 이의 제조 방법

(57) 요약

본 발명은 저항 변화 메모리 소자 및 이의 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따르면, 저항 변화 메모리 소자는 제 1 전극; 상기 제 1 전극 상에 배치되며, 제 1 산화수(oxidation number)에 의해 결정되는 모트 절연 특성에 정의되는 제 1 고저항의 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수에 의해 결정되는 전도성 특성에 의해 정의되는 저저항의 제 2 상태 사이에서 가역적으로 전이 가능한 3d 전자 오비탈을 갖는 전이 금속의 산화물을 포함하는 저항 변화 물질층; 및 상기 저항 변화 물질층 상에 배치되는 제 2 전극을 포함할 수 있다.

대표도 - 도1b



(52) CPC특허분류

H01L 45/1608 (2013.01)

(72) 발명자

강경문

서울특별시 서대문구 성산로22길 16, 301호

김민재

경기도 용인시 수지구 만현로 107 만현마을쌍용1차
아파트706동 901호

이 발명을 지원한 국가연구개발사업

과제고유번호 10068075

부처명 산업통상자원부

연구관리전문기관 한국반도체연구조합

연구사업명 기타사업

연구과제명 Mott-transition 기반 Forming-less 비휘발성 저항 변화 메모리 및 Array 개발

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2016.10.01 ~ 2017.12.31

명세서

청구범위

청구항 1

제 1 전극;

상기 제 1 전극 상에 배치되며, 제 1 산화수(oxidation number)에 의해 결정되는 모트 절연 특성에 기반한 제 1 고저항의 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수에 의해 결정되는 전도성 특성에 기반한 저저항의 제 2 상태 사이에서 가역적으로 전이 가능한 3d 전자 오비탈을 갖는 전이 금속의 산화물을 포함하는 저항 변화 물질층; 및

상기 저항 변화 물질층 상에 배치되는 제 2 전극을 포함하는 저항 변화 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 저항 변화 물질층은 상기 제 1 산화수와 상기 제 2 산화수 사이의 제 3 산화수에 의해 결정되는 밴드 절연성 특성에 기반하는 제 2 고저항의 제 3 상태로 전이 가능하고, 상기 제 2 고저항은 상기 제 1 고저항보다 작은 저항 값을 갖는 저항 변화 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 제 1 상태에서 상기 제 2 상태로 전이되거나, 상기 제 2 상태에서 상기 제 1 상태로 전이될 때, 상기 제 3 상태를 걸쳐서 전이가 이루어지는 저항 변화 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 제 1 전극과 상기 제 2 전극 사이에 전압 신호 또는 전류 신호를 인가하여 상기 전이 금속의 산화물 내의 산소 이온 또는 산소 공공의 농도를 제어함으로써 상기 전이 금속의 산화수를 상기 제 1 산화수 또는 상기 제 2 산화수를 갖도록 변화시키는 저항 변화 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 전이 금속의 산화물은 Ti_2O_3 , VO_2 및 V_2O_3 중 어느 하나 또는 이들의 조합을 포함하는 저항 변화 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 전이 금속의 산화물은 적어도 하나의 도펀트를 더 포함하며,

상기 도펀트는 란타넘 원소 또는 전이 금속 및 복수의 산화수를 가지는 도펀트를 포함하는 저항 변화 메모리 소자.

청구항 7

제 1 항에 있어서,

상기 제 1 전극은, 산화 가능한 반응성 금속으로서, 타이타늄(Ti), 텅스텐(W), 알루미늄(Al) 또는 이들의 합금을 포함하며,

상기 제 2 전극은, 비반응성 귀금속으로서, 백금(Pt), 이리듐(Ir), 팔라듐(Pd), 금(Au), 루테튬(Ru) 또는 이들의 합금을 포함하는 저항 변화 메모리 소자.

청구항 8

제 1 항에 있어서,

상기 저항 변화 물질층의 상기 제 1 상태에는 제 1 논리 정보가 할당되고, 상기 저항 변화 물질층의 상기 제 2 상태에는 제 2 논리 정보가 할당되는 저항 변화 메모리 소자.

청구항 9

제 8 항에 있어서,

상기 제 1 논리 정보는 '1' 이며 상기 제 2 논리 정보는 '0' 이거나,

상기 제 1 논리 정보는 '0' 이며 상기 제 2 논리 정보는 '1' 인 저항 변화 메모리 소자.

청구항 10

제 1 항 기재의 상기 저항 변화 메모리 소자를 정보 저장 요소로 포함하는 메모리 셀들의 크로스 포인트(cross point) 구조를 갖는 반도체 메모리 장치.

청구항 11

산화 가능한 제 1 전극을 형성하는 단계;

상기 제 1 전극 상에, 제 1 산화수(oxidation number) 및 고저항의 모트 절연 특성에 정의되는 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수 및 저저항의 전도성 특성에 의해 정의되는 제 2 상태 사이의 전이 상태를 갖는 3d 전이 금속 산화물을 포함하는 저항 변화 물질층을 형성하는 단계; 및

상기 저항 변화 물질층 상에, 제 2 전극을 형성하는 단계를 포함하는 저항 변화 메모리 소자의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 전이 상태는, 상기 3d 전이 금속 산화물의 제 1 산화수와 상기 3d 전이 금속 산화물의 제 2 산화수 사이의 제 3 산화수 및 상기 모트 절연 특성의 고저항보다 낮고 상기 전도성 특성의 저저항 보다 높은 준 전도성(semi conduction) 특성에 의해 정의되는 제 3 상태를 더 포함하는 저항 변화 메모리 소자의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 상태에서 상기 제 2 상태로 전이되거나, 상기 제 2 상태에서 상기 제 1 상태로 전이될 때, 상기 제 3 상태를 걸쳐서 전이가 이루어지는 저항 변화 메모리 소자의 제조 방법.

청구항 14

제 11 항에 있어서,

상기 제 1 전극은, 산화 가능한 반응성 금속으로서, 타이타늄(Ti), 텅스텐(W), 알루미늄(Al), 몰리브덴(Mo), 탄탈륨(Ta) 또는 이들의 합금을 포함하고,

상기 제 2 전극은, 비반응성 귀금속으로서, 백금(Pt), 이리듐(Ir), 팔라듐(Pd), 금(Au), 루테튬(Ru) 또는 이들의 합금을 포함하는 저항 변화 메모리 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 모드 절연체를 이용하는 저항 변화 메모리 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

[0003] 메모리의 집적화가 한계에 도달함에 따라 비휘발성 메모리 소자인 플래시 메모리 기술을 대체하기 위해서, 단순한 구조로 셀 형성이 가능한 저항 변화 메모리(ReRAM, Resistance Random Access Memory), 상 변화 메모리(PcRAM, Phase-change Random Access Memory) 및 스핀-토크 자기 메모리(STTMRAM, Spin Transfer Torque Magnetic Random Access Memory) 같은 차세대 메모리 기술이 연구되고 있다. 이들 중 저항 변화 메모리(ReRAM)는 간단한 금속-절연체-금속(metal-insulator-metal: MIM) 구조와 우수한 동작 특성을 갖기 때문에 차세대 비휘발성 메모리로서, 가장 활발히 연구되고 있다.

[0004] 종래의 저항 변화 메모리 소자의 경우, 도전성 경로(conducting path)를 정의하는 필라멘트 형성하기 위해 포밍 처리(forming process)가 필수적 사전 처리로서 수행되고 있다. 상기 포밍 처리는 저항 변화 물질에 소정의 전압(이하 포밍 전압이라 함)을 가해 가역적 저항 스위칭이 가능하도록 소자를 활성화하는 처리이다. 이러한 포밍 처리를 통해 형성된 도전성 필라멘트는 상부 전극과 하부 전극을 전기적으로 연결시킨다. 상기 도전성 필라멘트가 리셋 전압(reset voltage, 초기화 전압)에 의해 적어도 일부가 손상 또는 붕괴되면 저항 변화 메모리 소자는 고저항 상태가 되고, 반대로 셋 전압(set voltage)에 의해 상기 붕괴된 도전성 필라멘트가 복원되면 저항 변화 메모리 소자는 저저항 상태가 된다.

[0005] 일반적으로, 종래의 저항 변화 메모리 소자에서, 상기 포밍 전압은 상기 리셋 전압 및 상기 셋 전압보다 크며, 이로 인해, 실제 구동시 전력 소모가 커질 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 실시예에 따르면, 제 1 전극과 제 2 전극 사이에 배치되며, 제 1 산화수(oxidation number)에 의해 결정되는 모드 절연 특성에 기반한 제 1 고저항의 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수에 의해 결정되는 전도성 특성에 기반한 저저항의 제 2 상태 사이에서 가역적으로 전이 가능한 3d 전자 오비탈을 갖는 전이 금속의 산화물을 포함하는 저항 변화 물질층을 포함함으로써, 고전압을 이용하는 포밍 처리가 불필요하며, 소모 전력이 낮은 저항 변화 메모리 소자가 제공될 수 있다.

[0008] 또한, 상기 저항 변화 메모리 소자의 포밍 처리가 생략됨으로써, 초기 단계에서 바로 리셋 처리가 진행될 수 있어 상기 포밍 처리에 필요한 고전압으로 인한 소자의 손상을 개선시킬 수 있고, 상기 메모리 소자의 동작 전압을 감소시킬 수 있다.

[0009] 또한, 본 발명의 다른 실시예에 따르면, 전술한 이점을 갖는 저항 변화 메모리 소자의 제조 방법이 제공될 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 실시예에서, 제 1 전극; 상기 제 1 전극 상에 배치되며, 제 1 산화수(oxidation number)에 의해 결정되는 모드 절연 특성에 기반한 제 1 고저항의 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수에 의해 결정되는 전도성 특성에 기반한 저저항의 제 2 상태 사이에서 가역적으로 전이 가능한 3d 전자 오비탈을 갖는 전이 금속의 산화물을 포함하는 저항 변화 물질층; 및 상기 저항 변화 물질층 상에 배치되는 제 2 전극을 포함하는 저항 변화 메모리 소자가 제공될 수 있다. 상기 저항 변화 물질층은 상기 제 1 산화수와 상기 제 2 산화수 사이의 제 3 산화수에 의해 결정되는 밴드 절연성 특성에 기반하는 제 2 고저항의 제 3 상태로 전이 가능하고, 상기 제 2 고저항은 상기 제 1 고저항보다 작은 저항 값을 가질 수 있다. 상기 제 1 상태에서 상기 제 2 상태로 전이되거나, 상기 제 2 상태에서 상기 제 1 상태로 전이될 때, 상기 제 3 상태를 걸쳐서 전이가 이루어질 수 있다. 상기 제 1 전극과 상기 제 2 전극 사이에 전압 신호 또는 전류 신호를 인가하여 상기 전이 금속의 산화

물 내의 산소 이온 또는 산소 공공의 농도를 제어함으로써 상기 전이 금속의 산화수를 상기 제 1 산화수 또는 상기 제 2 산화수를 갖도록 변화시킬 수 있다. 상기 전이 금속의 산화물은 Ti_2O_3 , VO_2 및 V_2O_3 중 어느 하나 또는 이들의 조합을 포함할 수 있다.

[0012] 일 실시예에서, 상기 전이 금속의 산화물은 적어도 하나의 도펀트를 더 포함하며, 상기 도펀트는 란타네 원소 또는 전이 금속 및 복수의 산화수를 가지는 도펀트를 포함할 수 있다. 상기 제 1 전극은, 산화 가능한 반응성 금속으로서, 타이타늄(Ti), 텅스텐(W), 알루미늄(Al) 또는 이들의 합금을 포함하며, 상기 제 2 전극은, 비반응성 귀금속으로서, 백금(Pt), 이리듐(Ir), 팔라듐(Pd), 금(Au), 루테튬(Ru) 또는 이들의 합금을 포함할 수 있다.

[0013] 일 실시예에서, 상기 저항 변화 물질층의 상기 제 1 상태에는 제 1 논리 정보가 할당되고, 상기 저항 변화 물질층의 상기 제 2 상태에는 제 2 논리 정보가 할당될 수 있다. 상기 제 1 논리 정보는 '1' 이며 상기 제 2 논리 정보는 '0' 이거나, 상기 제 1 논리 정보는 '0' 이며 상기 제 2 논리 정보는 '1' 일 수 있다.

[0014] 본 발명의 다른 실시예에서, 제 1 항 기재의 상기 저항 변화 메모리 소자를 정보 저장 요소로 포함하는 메모리 셀들의 크로스 포인트(cross point) 구조를 갖는 반도체 메모리 장치가 제공될 수 있다.

[0015] 본 발명의 다른 실시예에서, 산화 가능한 제 1 전극을 형성하는 단계; 상기 제 1 전극 상에, 제 1 산화수(oxidation number) 및 고저항의 모트 절연 특성에 정의되는 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수 및 저저항의 전도성 특성에 의해 정의되는 제 2 상태 사이의 전이 상태를 갖는 3d 전이 금속 산화물을 포함하는 저항 변화 물질층을 형성하는 단계; 및 상기 저항 변화 물질층 상에, 제 2 전극을 형성하는 단계를 포함하는 저항 변화 메모리 소자의 제조 방법이 제공될 수 있다. 상기 전이 상태는, 상기 3d 전이 금속 산화물의 제 1 산화수와 상기 3d 전이 금속 산화물의 제 2 산화수 사이의 제 3 산화수 및 상기 모트 절연 특성의 고저항보다 낮고 상기 전도성 특성의 저저항 보다 높은 준 전도성(semi conduction) 특성에 의해 정의되는 제 3 상태를 더 포함할 수 있다. 상기 제 1 상태에서 상기 제 2 상태로 전이되거나, 상기 제 2 상태에서 상기 제 1 상태로 전이될 때, 상기 제 3 상태를 걸쳐서 전이가 이루어질 수 있다. 상기 제 1 전극은, 산화 가능한 반응성 금속으로서, 타이타늄(Ti), 텅스텐(W), 알루미늄(Al), 몰리브덴(Mo), 탄탈륨(Ta) 또는 이들의 합금을 포함하고, 상기 제 2 전극은, 비반응성 귀금속으로서, 백금(Pt), 이리듐(Ir), 팔라듐(Pd), 금(Au), 루테튬(Ru) 또는 이들의 합금을 포함할 수 있다.

발명의 효과

[0017] 본 발명의 일 실시예에 따르면, 제 1 전극과 제 2 전극 사이에 배치되며, 제 1 산화수(oxidation number)에 의해 결정되는 모트 절연 특성에 기반한 제 1 고저항의 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수에 의해 결정되는 전도성 특성에 기반한 저저항의 제 2 상태 사이에서 가역적으로 전이 가능한 3d 전자 오비탈을 갖는 전이 금속의 산화물을 포함하는 저항 변화 물질층을 포함함으로써, 고전압을 이용하는 포밍 처리가 불필요하며, 소모 전력이 낮은 저항 변화 메모리 소자가 제공될 수 있다.

[0018] 또한, 상기 저항 변화 메모리 소자의 포밍 처리가 생략됨으로써, 초기 단계에서 바로 리셋 처리가 진행될 수 있어 상기 포밍 처리에 필요한 고전압으로 인한 소자의 손상을 개선시킬 수 있고, 상기 메모리 소자의 동작 전압을 감소시킬 수 있다.

[0019] 또한, 본 발명의 다른 실시예에 따르면, 전술한 이점을 갖는 저항 변화 메모리 소자의 제조 방법이 제공될 수 있다.

도면의 간단한 설명

[0021] 도 1a는 본 발명의 일 실시예에 따른 크로스 포인트 어레이를 갖는 반도체 메모리 장치의 사시도이며, 도 1b는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 단면도이다.

도 2는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 상태도이다.

도 3a 내지 도 3b는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 상태를 전이시키는 방법을 설명하기 위한 도면이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 모트 전이(mott transition)를 설명하기 위한 도면이다.

도 5는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 순서도이다.

도 6은 본 발명의 일 실시예에 따른 고상 디스크를 포함하는 저장 장치를 도시하는 블록도이다.

도 7은 본 발명의 다른 실시예에 따른 메모리 시스템을 도시하는 블록도이다.

도 8은 본 발명의 다른 실시예에 따른 데이터 저장 장치를 도시하는 블록도이다.

도 9는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자 및 이를 포함하는 컴퓨팅 시스템을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0023] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0024] 도면에서 동일 부호는 동일한 요소를 지칭한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0025] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0026] 본 명세서에서 기관 또는 다른 층 "상에(on)" 형성된 층에 대한 언급은 상기 기관 또는 다른 층의 바로 위에 형성된 층을 지칭하거나, 상기 기관 또는 다른 층 상에 형성된 중간 층 또는 중간 층들 상에 형성된 층을 지칭할 수도 있다. 또한, 당해 기술 분야에서 숙련된 자들에게 있어서, 다른 형상에 "인접하여(adjacent)" 배치된 구조 또는 형상은 상기 인접하는 형상에 중첩되거나 하부에 배치되는 부분을 가질 수도 있다.
- [0027] 본 명세서에서, "아래로(below)", "위로(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)" 또는 "수직의(vertical)"와 같은 상대적 용어들은, 도면들 상에 도시된 바와 같이, 일 구성 부재, 층 또는 영역들이 다른 구성 부재, 층 또는 영역과 갖는 관계를 기술하기 위하여 사용될 수 있다. 이들 용어들은 도면들에 표시된 방향뿐만 아니라 소자의 다른 방향들도 포괄하는 것임을 이해하여야 한다.
- [0028] 이하에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들(및 중간 구조들)을 개략적으로 도시하는 단면도들을 참조하여 설명될 것이다. 이들 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다. 또한, 도면의 부재들의 참조 부호는 도면 전체에 걸쳐 동일한 부재를 지칭한다.
- [0030] 도 1a는 본 발명의 일 실시예에 따른 크로스 포인트 어레이를 갖는 반도체 메모리 장치(100)의 사시도이며, 도 1b는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자(MC)의 단면도이다.
- [0031] 도 1a를 참조하면, 반도체 메모리 장치(100)는 복수의 행들과 열들로 배열된 저항 변화 메모리 소자(MC)의 어레이를 포함할 수 있다. 일 세트의 도전성 전극들(여기서는 워드라인들이라 함; WL1-WL4)이 메모리 셀들(MC)의 어레이의 일 단부 상으로 연장된다. 각 워드라인은 해당 행(row)의 메모리 셀들(MC)과 전기적으로 연결될 수 있다. 다른 세트의 도전성 전극들(여기서는 비트라인들이라 함; BL1-BL5)이 메모리 셀들(MC)의 어레이의 타 단부 상으로 연장될 수 있다. 각 비트라인은 해당 열(column)의 메모리 셀들(MC)과 전기적으로 연결될 수 있다.
- [0032] 반도체 메모리 장치(100)에서, 각 저항 변화 메모리 소자(MC)는 하나의 워드라인과 하나의 비트라인의 교차점에 배치된다. 특정 메모리 셀(선택된 메모리 셀이라 함)의 읽기 및 쓰기 동작은, 선택된 메모리 셀과 결합된 워드

라인과 비트라인을 활성화시키는 것에 의해 수행될 수 있다.

- [0033] 반도체 메모리 장치(100)는 각각의 워드라인을 통해 메모리 셀들(MC)에 결합되고 선택된 메모리 셀의 읽기 또는 기록을 위해 선택된 워드라인을 활성화시키는 워드라인 제어 회로(미도시)를 더 포함할 수 있다. 일 실시예에서, 상기 워드라인 제어 회로는 워드라인들 중 특정 워드라인을 선택하기 위한 멀티플렉서(multiplexer, 미도시)를 포함할 수 있다.
- [0034] 반도체 메모리 장치(100)는 각각의 비트라인들(BL1- BL5)을 통해 메모리 셀들(MC)에 결합되는 비트라인 제어 회로(미도시)를 더 포함할 수 있다. 일 실시예에서, 상기 비트라인 제어 회로는 디멀티플렉서, 감지 회로, 입력/출력(I/O) 패드를 포함할 수 있다. 상기 디멀티플렉서는 선택된 메모리 셀의 비트라인의 상기 감지 회로에 선택적으로 결합시키도록 구성될 수 있다.
- [0035] 상기 워드라인 제어 회로와 상기 비트라인 제어 회로는 선택된 메모리 셀에 결합된 해당 워드라인과 비트라인을 활성화시켜 개별적으로 메모리 셀들에 액세스할 수 있다. 기록 동작 동안 워드라인 제어 회로는 선택된 워드라인에 소정 전압을 인가함으로써 선택된 메모리 셀에 정보를 기록한다. 상기 디멀티플렉서는, 예를 들면, 선택된 메모리 셀을 접지시킴으로써 선택된 메모리 셀을 활성화시킬 수 있다. 이 경우, 선택된 메모리 셀로 메모리 셀의 특성에 영향을 미치는 전류가 흐르면서 논리 값을 기록한다.
- [0036] 각각의 메모리 셀들은 저항 변화 물질층(도 1b의 RE)을 포함하며, 저항 변화 물질층(RE)의 저항 값의 변화에 의해 이들 논리값이 저장될 수 있으며, 저항 값의 수에 따라 멀티 비트의 논리 값 저장이 가능하다. 상기 저항 값의 변화는 후속하는 읽기 동작을 통해 검출된다.
- [0037] 읽기 동작 동안, 상기 워드라인 제어 회로는 선택된 워드라인에 소정 전압을 인가하고 상기 디멀티플렉서는 선택된 비트라인을 감지 회로에 결합시킨다. 감지 회로에 의해 검출된 전류의 크기로 선택된 메모리 셀의 로직 값을 검출하고, 그 결과 값은 I/O 패드로 전송될 수 있다.
- [0038] 선택된 메모리 셀의 프로그램 또는 읽기를 위해 메모리 셀을 가로지르는 전압 펄스의 폭 그리고/또는 크기는 조절되고, 그에 따라 선택된 메모리 셀의 저항 값이 조절됨으로써 특정 논리 상태가 기록 또는 독출될 수 있다. 읽기 동작은 선택된 다른 메모리 셀에 인접하는 메모리 셀들에 의해 발생하는 누설 전류에 영향을 받을 수 있기 때문에, 일 실시예에서, 각 메모리 셀들은 저항 변화 메모리 소자에 직렬 연결되는 전류 스티어링 소자를 더 포함할 수 있다. 상기 전류 스티어링 소자는 메모리 셀과 워드라인 사이 또는 메모리 셀과 비트라인 사이에 결합된 다이오드, 또는 오보닉 스위칭 소자와 같은 2 극 소자일 수 있다. 일 실시예에서, 상기 다이오드의 정류 특성은 저항 변화 메모리 소자가 셀프 정류 특성을 갖는 경우 저항 변화 메모리 소자 자체에서 구현될 수도 있다. 전술한 실시예에 따른 저항 변화 메모리 소자는 한 층의 메모리 셀 어레이를 갖고 있지만, 이는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 2 개 이상의 메모리 셀 어레이들이 기판에 대해 복수 회 적층되어 집적화될 수 있다. 또한, 도 1a에서는 반도체 기판에 대해 수평 확장된 메모리 셀 어레이를 예시하고 있지만, 반도체 기판에 대해 수직 방향으로 확장된 3 차원 메모리 셀 어레이가 제공될 수도 있다.
- [0039] 도 1b를 참조하면, 저항 변화 메모리 소자는, 제 1 전극(EL1) 및 제 2 전극(EL2)을 포함할 수 있다. 일 실시예에서, 제 1 전극(EL1)은 산화 가능한 반응성 금속 전극일 수 있다. 일 실시예에서, 제 2 전극(EL2)은 비반응성 귀금속일 수 있다. 예를 들면, 제 1 전극(EL1)은, 타이타늄(Ti), 텅스텐(W), 알루미늄(Al) 또는 이들의 합금을 포함하며, 제 2 전극(EL2)은, 비반응성 귀금속으로서, 백금(Pt), 이리듐(Ir), 팔라듐(Pd), 금(Au), 루테튬(Ru) 또는 이들의 합금을 포함할 수 있다. 그러나, 본 발명의 전극 재료는 이들에 제한되지 않는다.
- [0040] 일 실시예에서, 제 1 전극(EL1)은 상부 전극이고 제 2 전극(EL2)은 하부 전극일 수 있다. 또한, 제 1 전극(EL1) 및 제 2 전극(EL2)은 워드라인(WL) 또는 비트라인(BL)에 각각 전기적으로 결합될 수 있으며, 제 1 전극(EL1) 및 제 2 전극(EL2)은 워드라인 또는 비트라인과 일체화될 수도 있다.
- [0041] 저항 변화 메모리 소자(MC)는, 제 1 전극(EL1)과 제 2 전극(EL2) 사이에 배치되는 저항 변화 물질층(RE)을 포함할 수 있다. 저항 변화 물질층(RE)은 제 1 산화수(oxidation number)에 의해 결정되는 모트 절연 특성에 기반하는 제 1 고저항의 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수에 의해 결정되는 전도성 특성에 기반하는 저저항의 제 2 상태 사이에서 가역적으로 전이 가능한 3d 전자 오비탈을 갖는 전이 금속의 산화물을 포함할 수 있다. 또한, 저항 변화 물질층(RE)은 상기 제 1 산화수와 상기 제 2 산화수 사이의 제 3 산화수에 의해 결정되는 밴드 절연성 특성에 의해 기반하는 제 2 고저항의 제 3 상태로 전이 가능하다. 이 때, 상기 제 2 고정항은 상기 제 1 고저항보다 작은 저항 값을 가질 수 있다. 일 실시예에서, 상기 제 1 상태에서 상기 제 2 상태로 전이되거나, 상기 제 2 상태에서 상기 제 1 상태로 전이될 때, 상기 제 3 상태를 걸쳐서 전이가 이루어질 수

있다.

- [0042] 일 실시예에서, 저항 변화 물질층(RE)의 상기 제 1 상태에는 제 1 논리 정보가 할당되고, 상기 저항 변화 물질층의 상기 제 2 상태에는 제 2 논리 정보가 할당될 수 있다. 상기 제 1 논리 정보는 '1' 이고 상기 제 2 논리 정보는 '0' 이거나, 상기 제 1 논리 정보는 '0' 이고 상기 제 2 논리 정보는 '1' 일 수 있다.
- [0043] 일 실시예에서, 제 1 전극(EL1)과 제 2 전극(EL2) 사이에 전압 신호 또는 전류 신호를 인가하여 상기 전이 금속의 산화물 내의 산소 이온 또는 산소 공공의 농도를 제어함으로써, 상기 전이 금속의 산화수를 상기 제 1 산화수 또는 상기 제 2 산화수를 갖도록 변화시킬 수 있다.
- [0044] 일 실시예에서, 상기 전이 금속의 산화물은 Ti_2O_3 , VO_2 및 V_2O_3 중 어느 하나 또는 이들의 조합을 포함할 수 있다. 그러나, 본 발명의 실시예는 이들 재료에 한정되지 않는다. 예컨대, 상기 전이 금속의 산화물은 Ni, Cu, Sc, Cr, Mn, Fe, Co, Zn, Y, Zr, Nb, Mo, Tc, Ru, Rh, Pd, Ag, Cd, Hf, Ta, W, Re, Os, Ir, Pt, Au, Hg, Rf, Db, Sg, Bh, Hs 중에서 선택되는 어느 하나를 포함하는 전이 금속 산화물일 수 있다. 예를 드면, 상기 전이 금속의 산화물은 $LaTiO_3$, $LaNiO_3$, $LaCuO_3$, $LaScO_3$, $LaVO_3$, $LaMnO_3$, $LaCrO_3$, $LaCoO_3$, 그리고 $LaCO_3$ 중 어느 하나를 포함할 수 있다.
- [0045] 또한, 상기 전이 금속의 산화물은 적어도 하나의 도펀트를 더 포함할 수 있다. 상기 도펀트는 La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu 중에서 선택되는 란타넘 계열 원소(도펀트의 예로서 바람직한지 코멘트 확인부탁 드립니다)를 포함할 수 있다. 그러나, 본 발명의 실시예에서, 도펀트의 원소는 이들에 제한되지 않는다. 예컨대, 도펀트는 TiO_2 의 경우에 5^+ 산화수를 가질 수 있는 금속 도펀트, Ti_2O_3 의 경우에 $2+$ 산화수를 갖는 금속 도펀트는 모두 사용 가능하다. 즉, 도펀트는 전이 금속 및 복수의 산화수, 예컨대, Mg, Be, Ca, Sr, In, 같은 2족과 3족 원소 그리고 전이 금속 도펀트가 모두 사용가능 하다.
- [0046] 상기 전이 금속의 산화물에 적어도 하나의 도펀트가 포함됨으로써, 상기 모트 절연 특성을 결정하는 상기 제 1 산화수, 상기 전도성 특성을 결정하는 상기 제 2 산화수 및 상기 밴드 절연성 특성을 결정하는 상기 제 3 산화수 중 적어도 하나를 조절할 수 있다. 바람직하게, 상기 전이 금속의 산화물에 도펀트가 포함됨으로써, 상기 제 1 산화수가 조절될 수 있다.
- [0047] 본 발명의 실시예에서, 제 1 전극(EL1)과 제 2 전극(EL2)을 통해 인가되는 전압을 통해, 저항 변화 물질층(RE) 내에서 모트 전이(mott transition)가 발생할 수 있다. 상기 모트 전이는 모트 절연체가 전기가 흐르는 금속성 물질로 변하거나, 상기 금속성 물질의 모트 절연체가 전기가 흐르지 않는 절연 특성으로 변하는 현상을 의미한다. 상기 모트 절연체는, 기존의 띠 이론에 따르면 전기가 흐르는 도체여야 하나 실제로는 저온에서 절연체가 되는 물질의 한 종류로서, 띠 이론에서 고려하지 않는 전자-전자간 척력에 기반하는 상호작용에 의한 현상이다.
- [0048] 띠 이론에 의하면 부분적으로 채워진 띠에 속한 전자는 인접 원자로 비교적 자유롭게 이동하며 전도 전자(conduction electron)가 될 수 있지만, 이동하려는 대상 원자에 이미 전자가 하나 있고 2 전자 사이의 쿨롱 척력에 의한 에너지 장벽이 전도 전자의 운동 에너지보다 크면, 전자가 인접 원자로 이동이 어려울 수 있다. 전도 띠의 절반이 차 있어서 모든 원자에 전도 전자가 하나씩 있고 전자간 척력 에너지가 충분히 큰 물질의 경우 어느 전자도 이동하지 못하는 부도체 상태가 되며 이를 모트 절연체라 지칭할 수 있다. 이러한 모트 절연체의 밴드 갭은 특성이 동일한 띠 사이에, 예컨대, 3d 궤도의 특성을 갖는 두 띠 사이에 존재할 수 있다.
- [0049] 일 실시예에서, 모트 절연체는 Ti_2O_3 , VO_2 와 같은 전이 금속 산화물을 포함하며, 상기 모트 절연체에서 3d 오비탈은 전자 간의 강력한 쿨롱의 반발력에서 유도될 수 있다. 특히, Ti_2O_3 의 경우에, 각 티타늄 이온(Ti^{+})은 산소 원자의 팔면체에 둘러싸여 있으며, 팔면체 결정장(crystal field)에서 3d 오비탈은 2개의 E_g 와 3개의 T_{2g} 에너지 밴드로 구분될 수 있다. 팔면체로 둘러싸인 에너지 필드 때문에 T_{2g} 에너지 밴드는 낮은 하나의 A_{1g} 와 2개의 E_{1g} 레벨로 더 나뉘질 수 있다. 일 실시예에서 Ti_2O_3 의 경우, Ti-3d 궤도는 하나의 전자를 가지고 있으며, 상기 하나의 전자는 A_{1g} 에너지 밴드를 점유하고, 2개의 전자가 동일한 에너지로 A_{1g} 밴드를 점유할 때 강한 쿨롱 반발 에너지로 인해 A_{1g} 밴드는 각각의 하버드 밴드가 하나의 전자를 포함할 수 있는 상부 하버드 밴드(UHB)와 하부 하버드 밴드(ULB)로 분리될 수 있다. 따라서, 하버드 밴드는 하나의 전자에 의해 점유되고 높은 에너지를 갖는 하버드 밴드가 비어 있게 되고, 상부 하버드 밴드와 하부 하버드 밴드 사이의 에너지 차이는 쿨롱 반발 에너지의 의하여 나타날 수 있다. 또한, 결합 E_{1g} 및 반 결합 E_{1g}^* 밴드는 부분적으로 중첩되어 UHB 및 LHB 사이에 배

치될 수 있다. Ti_2O_3 의 절연 상태에서, 완전히(fully) 점유된 LHB 와 빈 Elg 밴드 사이에는 0.1 eV ~ 0.2 eV의 작은 에너지 갭이 형성될 수 있다. 모트 전이 메커니즘에 대한 설명은 후술할 하기 도 2, 도 3a 내지 도 3b 그리고 도 4a 내지 도 4c의 설명을 참조할 수 있다.

[0051] 도 2는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 모트 전이를 위한 상태도이다.

[0052] 도 2를 참조하면, 저항 변화 메모리 소자의 모트 전이를 위한 상태도는 제 1 상태(S1) 및 제 2 상태(S2)를 포함할 수 있다. 일부 실시예에서는, 상기 저항 변화 메모리 소자가 제 1 상태(S1)에서 제 2 상태(S2)로 전이되거나 반대로 제 2 상태(S2)에서 제 1 상태(S1)로 전이될 때, 걸쳐 가는 중간 상태인 상기 제 3 상태(S3)를 더 포함할 수 있다. 일 실시예에서, 저항 변화 물질층(RE)을 구성하는 전이 금속이 티타늄(Ti)인 경우, 제 1 상태(S1)에서 저항 변화 물질층(RE)의 전이 금속의 산화물은 Ti_2O_3 이며, 제 2 상태(S2)에서 저항 변화 물질층(RE)의 전이 금속의 산화물은 TiO_{2-x} ($0 < x < 0.5$), 제 3 상태(S3)에서 저항 변화 물질층(RE)의 전이 금속의 산화물은 TiO_2 일 수 있다.

[0053] 제 1 상태(S1)의 전이 금속 산화물(Ti_2O_3)의 제 1 산화수는 +3이며, 3d 오비탈에 하나의 전자가 존재할 수 있고, 제 2 상태(S2)의 전이 금속 산화물(TiO_{2-x})의 제 2 산화수는 $4+2x$ ($0 < x < 0.5$)이며, 3d 오비탈에 전자는 채워지지 않으며, 3p 오비탈에 $6-2x$ ($0 < x < 0.5$) 개의 전자가 채워질 수 있다. 제 3 상태(S3)의 전이 금속 산화물(TiO_2)의 제 3 산화수는 +4이며, 3d 오비탈에 전자가 비워져 있다. 제 1 상태(S1)는 후술할 서브밴드(Lower Hubbard Band: LHB 또는 Upper Hubbard Band: UHB)가 빈 상태로 정의될 수 있으며, 제 2 상태(S2)는 서브밴드(LHB 또는 UHB)가 채워져 있는 상태이고, 제 3 상태(S3)는 서브밴드(LHB, UHB)의 반만 채워져 있는 상태로 정의될 수 있다. 제 1 상태(S1)에서 제 2 상태(S2)로 전이되거나 반대로 제 2 상태(S2)에서 제 1 상태(S1)로의 전이는 하기 도 3a 및 도 3b를 참조하여 설명할 것이다.

[0055] 도 3a 내지 도 3b는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 저항 스위칭 방법을 설명하기 위한 도면이다.

[0056] 도 3a를 참조하면, 제 1 전극(EL1)에 양 전압(+ V_{DD})이 인가되면, 저항 변화 물질층(RE) 내의 산소 이온들(SE1 내지 SE4, RS1 내지 RS3)이 제 1 전극측으로 이동되어 저항 변화 물질층(RE) 내부의 산소 농도가 감소하게 되고, 상기 산소 농도의 감소로 인해 저항 변화 물질층(RE)은 환원되고 산화수는 감소한다. 저항 변화 물질층(RE)이 타이타늄 산화물인 경우, 이때의 타이타늄 산화물은 Ti_2O_3 이고 산화수는 +3 이다. 이때 저항 변화 메모리 소자는 모트 절연성 특성에 기인하는 전술한 고저항 상태(S1)가 될 수 있다. 저항 변화 물질층(RE)의 고저항 상태는 프로그램 상태 또는 소거 상태 중 어느 하나의 상태, 예를 들면, 소거 상태로 정의될 수 있다.

[0057] 일 실시예에서, 상기 양 전압에 의해 저항 변화 물질층(RE) 내의 일부 산소 이온들(SE1 내지 SE4)은 제 1 전극(EL1) 측으로 이동하여 저항 변화 물질층(RE)과 제 1 전극(EL1) 사이의 계면에 퇴적되거나, 저항 변화 물질층(RE) 내의 일부 산소들(RS1 내지 RS3)은 제 1 전극(EL1)과 반응하여 제 1 전극(EL1)을 산화시킬 수 있다. 이와 같이 산소 이온들이 이동하여 저항 변화 물질층(RE) 내의 산소 농도가 감소되고 저항 변화 물질층(RE)의 산화수는 감소될 수 있다.

[0058] 도 3b를 참조하면, 반대로 제 1 전극(EL1)에 음 전압(- V_{DD})이 인가되면, 산소들(SE1 내지 SE4, RS1 내지 RS3)은 저항 변화 물질층(RE)은 저항 변화 물질층(RE) 측으로 이동하여 저항 변화 물질층(RE) 내부의 산소 농도가 증가하게 되고, 상기 산소 농도의 증가로 인해 저항 변화 물질층(RE)의 산화수는 증가하고 그에 따라 저저항 상태(S2)가 될 수 있다. 저저항 상태(S2)는 프로그램 상태로 할당될 수 있다.

[0059] 전술한 바와 같이, 제 1 전극(EL1)과 제 2 전극(EL2) 사이에 인가되는 전원에 따라 변하는 저항 변화 물질층(RE) 내의 산소 농도에 의해 저항 변화 물질층(RE)을 구성하는 타이타늄 산화물의 타이타늄 원소의 산화수 변화에 의해 저항 변화 물질층(RE) 자체의 저항 값이 변화됨으로써, 저항 변화 메모리 소자(MC)로서 프로그래밍 상태 및 소거 상태를 구현할 수 있다.

[0060] 일 실시예에서, 제 1 전극(EL1)에 양 전압 인가 시, 산소 이온이 저항 변화 물질층(RE)에서 제 1 전극(EL1)으로 이동하며, 음전하의 성질을 갖는 산소 이온의 이동은 저항 변화 물질층(RE)의 표면에 산소 공공을 형성하게 될

수 있다. 이는 저항-전하 물질의 표면이 양전하의 특성을 갖도록 할 수 있다. 이러한, 저항 변화 물질층(RE)의 표면의 양전하 특성은 저항 변화 물질층(RE)으로부터 산소 이온이 제 1 전극(EL1)으로 이동하는 것을 방지하게 된다. 또한, 제 1 전극(EL1)에 음의 전압을 인가하기 전에, 제 1 전극(EL1)에서 양의 전압 값과 시간이 증가함에 따라 저항-전하 물질에서 제 1 전극(EL1)로의 산소 이온 이동을 막는 에너지 장벽이 증가할 수 있다. 이후, 제 1 전극(EL1)에 음 전압이 인가될 시, 산소 이온은 제 1 전극(EL1)에서 저항 변화 물질층(RE)으로 이동하고, 저항-전하 물질의 표면의 양전하 특성은 제 1 전극(EL1)에서 저항 변화 물질층(RE)으로 산소 이온이 이동하는 것을 촉진할 수 있다.

[0061] 또한, 제 1 전극(EL1)에 양 전압 인가 시, 제 1 전극(EL1)과 저항 변화 물질층(RE) 사이의 계면에 에너지 장벽이 생성되고, 제 1 전극(EL1)에 음 전압 인가 시, 제 1 전극(EL1)과 저항 변화 물질층(RE) 사이의 계면에 에너지 장벽이 소멸됨으로써, 다이오드 특성이 결정될 수 있다. 다른 실시예에서, 제 1 전극(EL1)에 음 전압 인가 시, 제 1 전극(EL1)과 저항 변화 물질층(RE) 사이의 계면에 에너지 장벽이 생성되고, 제 1 전극(EL1)에 양 전압 인가 시, 제 1 전극(EL1)과 저항 변화 물질층(RE) 사이의 계면에 에너지 장벽이 소멸됨으로써, 다이오드 특성이 결정될 수 있다.

[0062] 전술한 바와 같이, 저항 변화 메모리 소자(MC)가 전이 금속 산화물 내의 산소 이동에 인하여 발생한 분극 방향에 따른 에너지 장벽의 변화 특성 및 전이 금속 산화물 내의 산소 농도에 따라 저항 값을 변화시키는 특성을 가짐으로써, 자체 정류 특성을 구현할 수 있다. 이 경우, 크로스포인트 어레이 구조에서 선택 소자 없이 저항 변화 메모리 소자만으로 메모리 셀을 구성할 수 있는 이점이 있다. 또한, 선택 소자가 생략되는 경우 모트 전이(mott transition)에서 읽기 과정 시 발생하는 간섭 현상과 쓰기 과정에서 발생하는 전압 강하 문제를 해결하고, 이와 동시에 종래 ReRAM의 포밍 과정(forming process)도 생략되어 저전력 구동이 가능하다.

[0064] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 모트 전이(mott transition)를 설명하기 위한 도면이다. 도 4a는 금속 절연체 전이를 발생시키는 저항 변화 물질층(RE)의 절연 상태를 나타내는 전자 구조의 도면이며, 도 4b 및 도 4c는 금속 절연체 전이를 발생시키는 저항 변화 물질층(RE)의 금속 상태를 나타내는 전자 구조의 도면이다.

[0065] 도 4a 및 도 4b를 참조하면, 모트 절연체는, 띠 이론에서, 반만 채워지거나(반대 스핀의 2개의 전자를 수용할 수 있는 밴드 내에 단지 하나의 전자를 가짐) 부분적으로 채워지는 페르미 레벨(EF)에서의 폭(W)을 갖는 밴드를 포함하는 물질이라는 의미에서 밴드 절연체로부터 구별될 수 있다. 띠 이론에서, 반이 채워진 밴드를 갖는 물질은 금속 특성을 가질 수 있다. 그러나, 동일한 띠에 위치되는 전자들 사이의 정전기적 척력 에너지(또는 쿨롱 척력)가 고려될 때(허버드(Hubbard) 에너지(U)라 칭함), 반이 채워진 밴드는 하나의 점유된 서브밴드(Lower Hubbard Band: LHB)와 하나의 빈 서브 밴드(Upper Hubbard Band: UHB)로 분할될 수 있다. 이것은 페르미 레벨(EF)에서 에너지 폭(Eg)의 에너지 밴드 갭의 개방을 초래할 수 있다. 따라서, 도 4a에 도시된 바와 같이, 페르미 레벨(EF)에서의 상기 밴드 갭(Eg)의 개방은 모트 절연체에 전기적인 절연 거동을 제공하고, 도 2b에 도시된 바와 같이, 반이 채워진 LHB로 인해서 모트 절연체에 금속 특성을 제공할 수 있다. 다른 실시예에서, 도 2c에 도시된 바와 같이, 반이 채워진 UHB로 인해서 모트 절연체에 금속 특성을 제공할 수 있다. 이는 UHB 서브 밴드에서 전자를 추가하거나 또는 LHB 서브 밴드로부터 전자를 제거하기 위하여 적합한 화학적 변형에 의해 도핑될 수 있다. 이 경우에, 모트 절연체는 n 도핑형 또는 p 도핑형로 각각 지칭될 수 있다. 이러한 n 도핑형 또는 p 도핑형 물질에 대하여, 페르미 레벨(EF)은 UHB 서브 밴드 또는 LHB 서브 밴드에 각각 배치될 수 있다. 또 다른 실시예에서, LHB 서브 밴드와 UHB 서브 밴드가 중첩됨으로써, 모트 절연체에 금속 특성을 제공할 수 있다(미도시함).

[0066] 전술한 바와 같이, 저항 변화 물질층(RE) 자체의 전기적 특성 변화(Ti 3d 궤도의 전자 구조 변화에 기인)에 의해 저항 변화(resistive switching) 거동이 나타날 수 있다. 예컨대, Ti_2O_3 가 제 1 상태(S1)의 모트 절연체가 되기 위해서는 Ti-3d 전자들에 의한 척력에 의해 밴드 갭이 형성될 수 있으며, Ti_2O_3 에서 Ti-3d 오비탈에 하나의 전자가 존재하지만, 일반적으로 에너지 레벨은 두 개의 전자들을 가질 수 있기 때문에, 해당 전자는 Ti-3d 오비탈에 가장 낮은 에너지 준위 레벨에 위치할 수 있다. 그러나, Ti-3d의 가장 낮은 에너지 레벨은 두 전자 사이의 척력 에너지에 의해서 분리될 수 있다. 하나의 전자가 채워져 있는 낮은 에너지 밴드는 LHB이고 다른 하나의 에너지 밴드는 UHB이다. 밴드 갭의 값은 LHB와 UHB 사이의 차이로 정의될 수 있다. 여기서, Ti_2O_3 의 산소 농도가 증가하면 $Ti_{2O_{3+x}}$ 의 x 값이 증가하는 것을 의미하고, 이때 Ti-3d오비탈은 더 많은 전자들을 잃고, 이는

LHB가 채워진 상태(full filling)에서 반 채워진 상태(half filling 또는 no-full-filling)로 변경된다. 따라서, x 가 증가함에 따라 Ti_2O_{3+x} 를 모트 절연체에서 금속 물질로 변화된다. 또한, 산소 농도의 증가는 (Ti_2O_{3+x} 안에 x 의 증가) 저항의 감소와 함께 Ti_2O_3 을 모트 절연체에서 제 2 상태(S2)의 TiO_{2-x} (여기서, Ti는 $4+2x$ 의 산화수를 가지며, 3p 오비탈의 일부가 비워진다)가 되고 도전성을 갖게 된다.

[0067] 산소 이온 이동을 기반으로 하는 전계가 유도된 모트 전이의 경우, 상단 전극(EL1)에는 산소 이온이 존재하지 않으므로, 산소 이온은 먼저 Ti_2O_{3+x} 에서 상단 전극(EL1)으로 이동하고, 이후 상단 전극(EL1)에서 Ti_2O_3 으로 이동시킨다. 그러므로, 산소가 풍부한 상태(half-filling lower Hubbard band 갖는 금속 상태)의 Ti_2O_{3+x} 를 처음 단계에서 형성시킬 필요가 있다. 이후 양의 전압이 상단 전극에 가해 졌을 때, 상부 전극(EL1)과 Ti_2O_{3+x} 사이의 산화 환원 반응 때문에 산소 이온은 Ti_2O_{3+x} 에서 상단 전극(EL2)으로 이동시킨다. 반면 Ti_2O_{3+x} 에서 산소 이온이 감소하면 전자가 생성되어 half-filling LHB(도 2b 참조)가 full-filling LHB(도 4a 참조)으로 변경될 수 있다. 이 상태에서 Ti_2O_{3+x} 는 산소 농도의 감소로 높은 저항성을 갖는 모트 절연체가 될 수 있다.

[0069] 종래의 전이 금속 산화물의 경우, 밴드 갭이 커서 모트 메모리에 적용하기 위한 밴드 갭 조절이 어려움이 있지만, 본 발명의 모트 절연체를 이용하는 저항 변화 메모리 소자는 종래보다 밴드 갭 조절이 용이하여, 메모리에 적용 가능하다.

[0071] 도 5는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 순서도이다.

[0072] 도 5를 참조하면, 저항 변화 메모리 소자(RE)의 제조 방법은 기판 상에 산화 가능한 제 1 전극(EL1)을 형성하는 단계(S10), 제 1 전극(EL1) 상에, 제 1 산화수(oxidation number) 및 고저항의 모트 절연 특성에 정의되는 제 1 상태와 상기 제 1 산화수보다 큰 제 2 산화수 및 저저항의 전도성 특성에 의해 정의되는 제 2 상태 사이의 전이 상태를 갖는 3d 전이 금속 산화물을 포함하는 저항 변화 물질층(RE)을 형성하는 단계(S20) 및 상기 저항 변화 물질층(RE) 상에, 쇼트키 장벽층을 형성하기 위한 제 2 전극(EL2)을 형성하는 단계(S30)를 포함할 수 있다.

[0073] 일 실시예에서, 상기 전이 금속의 산화물은 Ti_2O_3 , VO_2 및 V_2O_3 중 어느 하나 또는 이들의 조합을 포함할 수 있다. 제 1 전극(EL1)은, 산화 가능한 반응성 금속으로서, 타이타늄(Ti), 텅스텐(W), 알루미늄(Al), 몰리브덴(Mo), 탄탈륨(Ta) 또는 이들의 합금을 포함할 수 있고, 제 2 전극(EL2)은, 비반응성 귀금속으로서, 백금(Pt), 이리듐(Ir), 팔라듐(Pd), 금(Au), 루테튬(Ru) 또는 이들의 합금을 포함할 수 있다.

[0074] 상기 기판은 Si 단결정 기판, 화합물 반도체 기판, SOI 기판 및 변형된 기판과 같은 반도체 기판일 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 상기 기판은 세라믹 기판 또는 플렉시블 소자를 구현하기 위한 고분자 기판, 또는 심지어 패브리케이션될 수도 있다. 더하여, 상기 기판 상에 산화물막이 증착되거나 기판의 상부가 산화되어 산화물막이 형성될 수 있다. 예컨대, 실리콘 기판 상에 실리콘 산화물(SiO_2)이 증착 또는 산화되어 배치될 수 있다.

[0075] 제 1 전극(EL1), 저항 변화 물질층(RE), 제 2 전극(EL2) 중 적어도 하나는 스퍼터링(Sputtering), 펄스 레이저 증착법(PLD, Pulsed Laser Deposition), 열증착법(Thermal Evaporation), 전자빔 증착법(Electron-beam Evaporation)같은 물리 기상 증착법(PVD, Physical Vapor Deposition), 분자선 에피택시 증착법(MBE, Molecular Beam Epitaxy), 또는 화학 기상 증착법(CVD, Chemical Vapor Deposition)을 사용하여 형성될 수 있다.

[0077] 도 6은 본 발명의 일 실시예에 따른 고상 디스크(이하, SSD)를 포함하는 저장 장치(1000)를 도시하는 블록도이다.

[0078] 도 6을 참조하면, 저장 장치(1000)는 호스트(1100)와 SSD(1200)를 포함할 수 있다. SSD(1200)는 SSD 컨트롤러(1210), 버퍼 메모리(1220), 그리고 저항 변화 메모리 소자(1230)를 포함할 수 있다. SSD 컨트롤러(1210)는 호스트(1100)와 SSD(1200) 사이의 전기적 및 물리적 연결을 제공한다. 일 실시예에서, SSD 컨트롤러(1210)는 호스트(1100)의 버스 포맷(Bus format)에 대응하여 SSD(1200)와 인터페이스를 제공할 수 있다. 또한, SSD 컨트롤러(1210)는, 호스트(1100)로부터 제공되는 명령어를 디코딩하고 디코딩된 결과에 따라, 저항 변화 메모리 소

자(1230)를 액세스할 수 있다. 호스트(1100)의 버스 포맷(Bus format)의 비제한적 예로서, USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA(Advanced Technology Attachment), PATA(Parallel ATA), SATA(Serial ATA), 및 SAS(Serial Attached SCSI)이 포함될 수 있다.

[0079] 버퍼 메모리(1220)에는 호스트(1100)로부터 제공되는 쓰기 데이터 또는 저항 변화 메모리 소자(1230)로부터 독출된 데이터가 임시 저장될 수 있다. 호스트(1100)의 읽기 요청시에 저항 변화 메모리 소자(1230)에 존재하는 데이터가 캐시되어 있는 경우에는, 버퍼 메모리(1220)는 캐시된 데이터를 직접 호스트(1100)로 제공하는 캐시 기능이 제공될 수 있다. 일반적으로, 호스트(1100)의 버스 포맷(예를 들면, SATA 또는 SAS)에 의한 데이터 전송 속도는 SSD(1200)의 메모리 채널의 전송 속도보다 더 빠를 수 있다. 이 경우, 대용량의 버퍼 메모리(1220)가 제공되어 속도 차이로 발생하는 성능 저하를 최소화할 수 있다. 이를 위한 버퍼 메모리(1220)는 충분한 버퍼링을 제공하기 위해 동기식 DRAM(Synchronous DRAM)일 수 있지만, 이에 한정되는 것은 아니다. 저항 변화 메모리 소자(1230)는 SSD(1200)의 저장 매체로서 제공될 수 있다.

[0081] 도 7은 본 발명의 다른 실시예에 따른 메모리 시스템(2000)을 도시하는 블록도이다.

[0082] 도 7을 참조하면, 본 발명에 따른 메모리 시스템(2000)은 메모리 컨트롤러(2200) 및 저항 변화 메모리 소자(2100)를 포함할 수 있다. 저항 변화 메모리 소자(2100)는 도 1b를 참조하여 개시한 저항 변화 메모리 소자(1000)를 포함할 수 있다. 저항 변화 메모리 소자(2100)는 타깃 상태들을 검증할 때 비정상 속도를 갖는 메모리 셀들을 검출할 수 있어 고속의 신뢰성 있는 프로그램 성능을 가질 수 있다.

[0083] 메모리 컨트롤러(2200)는 저항 변화 메모리 소자(2100)를 제어하도록 구성될 수 있다. SRAM(2230)은 CPU(2210)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(2220)는 메모리 시스템(2000)과 접속되는 호스트의 데이터 교환 프로토콜을 구현할 수 있다. 메모리 컨트롤러(2200)에 구비된 에러 정정 회로(2240)는 저항 변화 메모리 소자(2100)로부터 독출된 데이터에 포함된 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(2260)는 본 발명의 비휘발성 저항 변화 메모리(2100)와 인터페이스할 수 있다. CPU(2210)는 메모리 컨트롤러(2200)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 본 발명에 따른 메모리 시스템(2000)은 호스트(Host)와의 인터페이스를 위한 코드 데이터를 저장하는 ROM(미도시됨)을 더 포함할 수 있다.

[0084] 메모리 컨트롤러(2100)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 또는 IDE와 같은 다양한 인터페이스 프로토콜들 중 어느 하나를 통해 외부 회로(예를 들면, 호스트)와 통신하도록 구성될 수 있다. 본 발명에 따른 메모리 시스템(2000)은, 컴퓨터, 휴대용 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크와 같은 다양한 사용자 장치들에 적용될 수 있다.

[0086] 도 8은 본 발명의 다른 실시예에 따른 데이터 저장 장치(3000)를 도시하는 블록도이다.

[0087] 도 8을 참조하면, 본 발명에 따른 데이터 저장 장치(3000)는 저항 변화 메모리(3100) 및 저항 변화 컨트롤러(3200)를 포함할 수 있다. 저항 변화 컨트롤러(3200)는 데이터 저장 장치(3000)의 외부 회로로부터 수신된 제어 신호들에 기초하여 저항 변화 메모리(3100)를 제어할 수 있다. 저항 변화 메모리(3100)의 3 차원 메모리 어레이 구조는, 예를 들면, 채널 적층형 구조, 직선형 BICs 구조(straight-shaped Bit Cost Scalable 구조), 및 파이프형 BICs(pipe-shaped Bit Cost Scalable) 구조일 수 있으며, 상기 구조는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다.

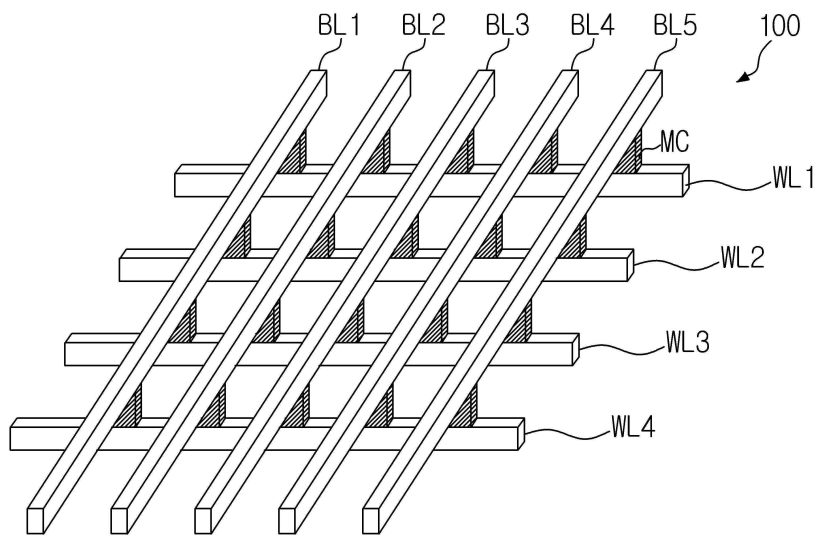
[0088] 본 발명의 데이터 저장 장치(3000)는 메모리 카드 장치, SSD 장치, 멀티미디어 카드 장치, SD 카드, 메모리 스틱 장치, 하드 디스크 드라이브 장치, 하이브리드 드라이브 장치, 또는 범용 직렬 버스 강유전체 메모리 장치를 구성할 수 있다. 예를 들면, 본 발명의 데이터 저장 장치(3000)는 디지털, 카메라, 또는 개인 컴퓨터와 같은 전자 장치를 사용하기 위한 표준 또는 규격을 만족하는 메모리 카드일 수 있다.

- [0090] 도 9는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자(4100) 및 이를 포함하는 컴퓨팅 시스템(4000)을 도시하는 블록도이다.
- [0091] 도 9를 참조하면, 본 발명에 따른 컴퓨팅 시스템(4000)은 버스(4400)에 전기적으로 연결된 저항 변화 메모리 소자(4100), 메모리 컨트롤러(4200), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(4300), 마이크로프로세서(4500), 그리고 사용자 인터페이스(4600)를 포함할 수 있다.
- [0092] 도 9에 도시된 저항 변화 메모리 소자(4100)는 전술한 저항 변화 메모리 소자(도 1b)일 수 있다. 본 발명에 따른 컴퓨팅 시스템(4000)은 모바일 장치일 수 있으며, 이 경우, 컴퓨팅 시스템(4000)의 동작 전압을 공급하기 위한 배터리(4700)가 더 제공될 수 있다. 도시하지는 아니하였지만, 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 또는 모바일 디램이 더 제공될 수 있다. 메모리 컨트롤러(4200) 및 저항 변화 메모리 소자(4100)는, 예를 들면, 데이터를 저장하는 저항 변화 메모리 소자를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다.
- [0093] 본 발명에 따른 저항 변화 메모리 소자 그리고/또는 메모리 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 강유전체 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), 또는 Wafer-Level Processed Stack Package(WSP)와 같은 패키지들을 이용하여 실장될 수 있다.
- [0094] 본 발명은 전이 금속 산화물(예: Ti_2O_3)의 모트 전이를 기반으로 하는 차세대 기억 장치 ReRAM을 제공할 수 있다. 모트 전이를 기반으로 하는 ReRAM의 차세대 비휘발성 메모리를 구현하기 위해서, 상부 전극과 모트 절연체 사이에 전계 유도 산화-환원 반응을 사용함으로써 산소 이온은 상부 전극과 모트 절연체 사이를 이동할 수 있고, 고저항과 저저항 상태 사이에서 모트 절연체 변화를 일으킬 수 있는 모트 전이 메커니즘이 제공된다.
- [0095] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.
- [0096]

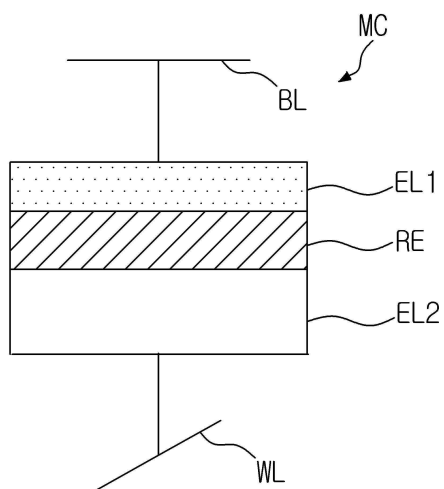
부호의 설명

도면

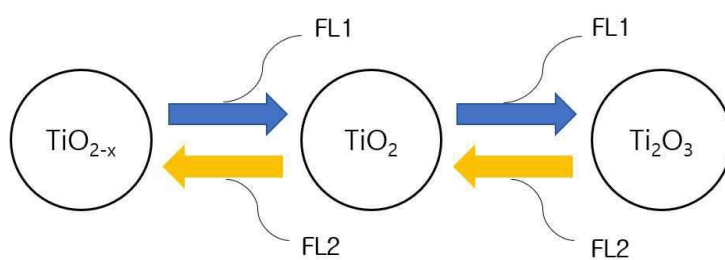
도면1a



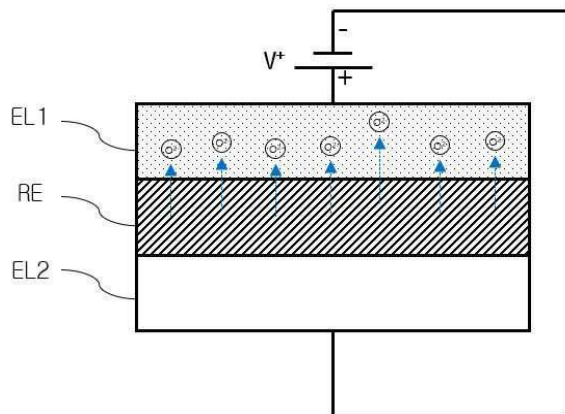
도면1b



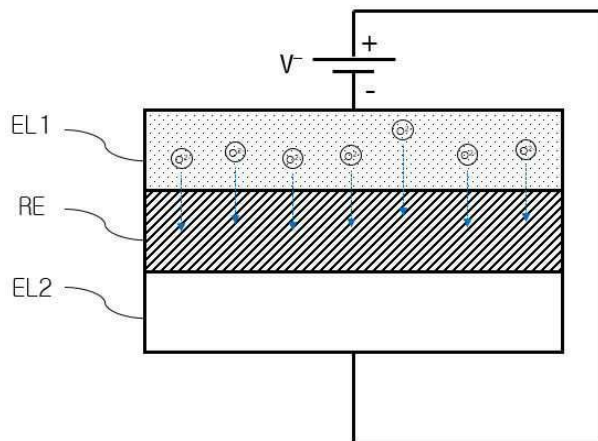
도면2



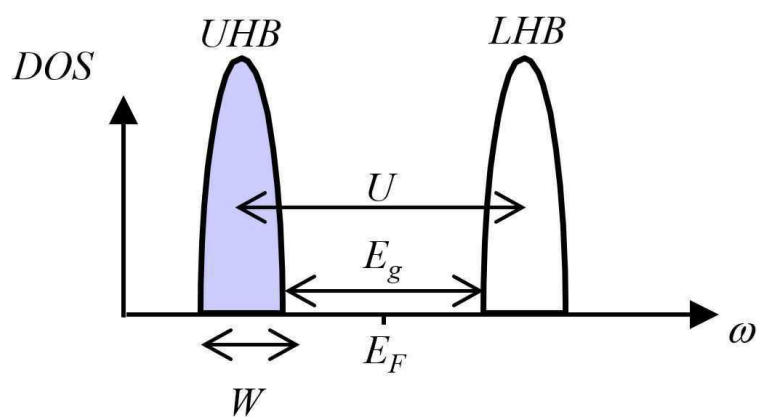
도면3a



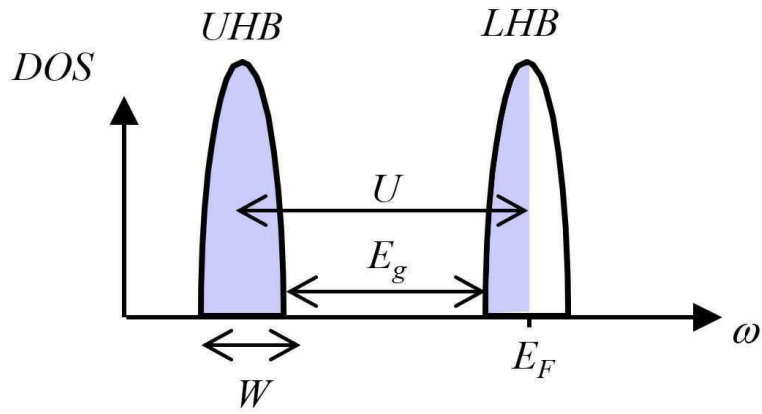
도면3b



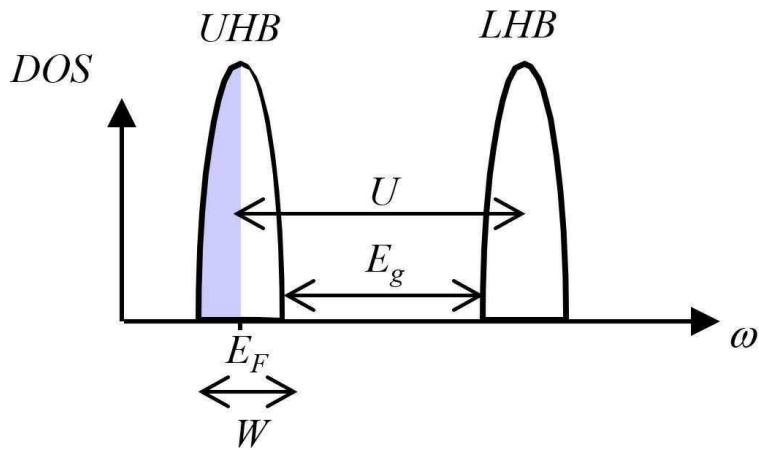
도면4a



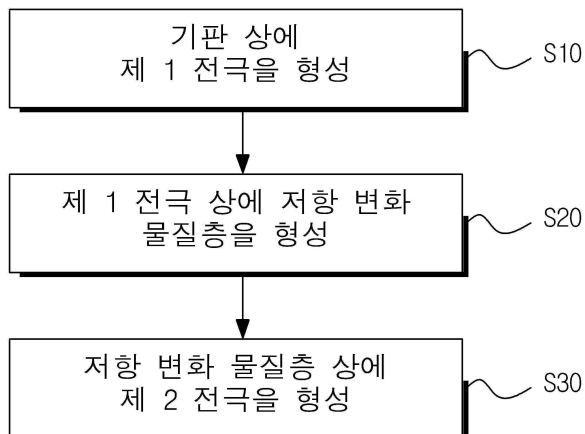
도면4b



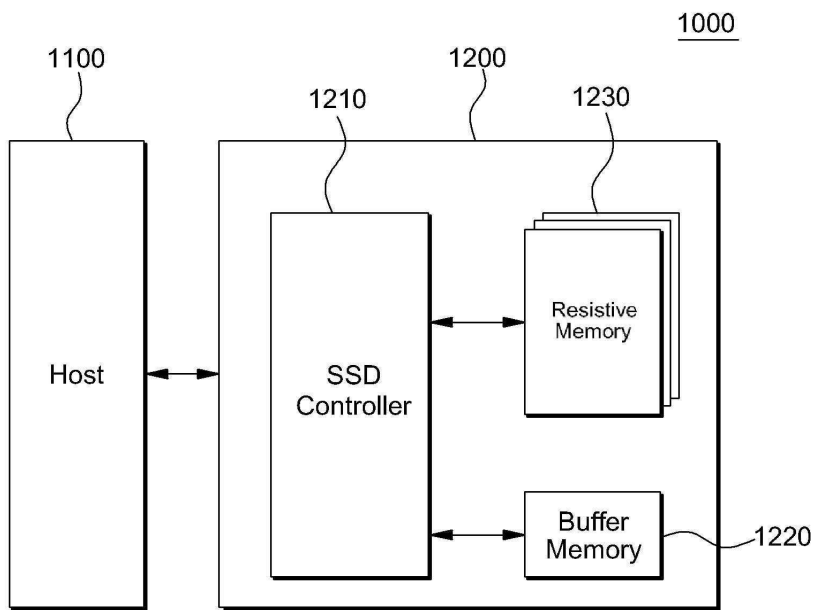
도면4c



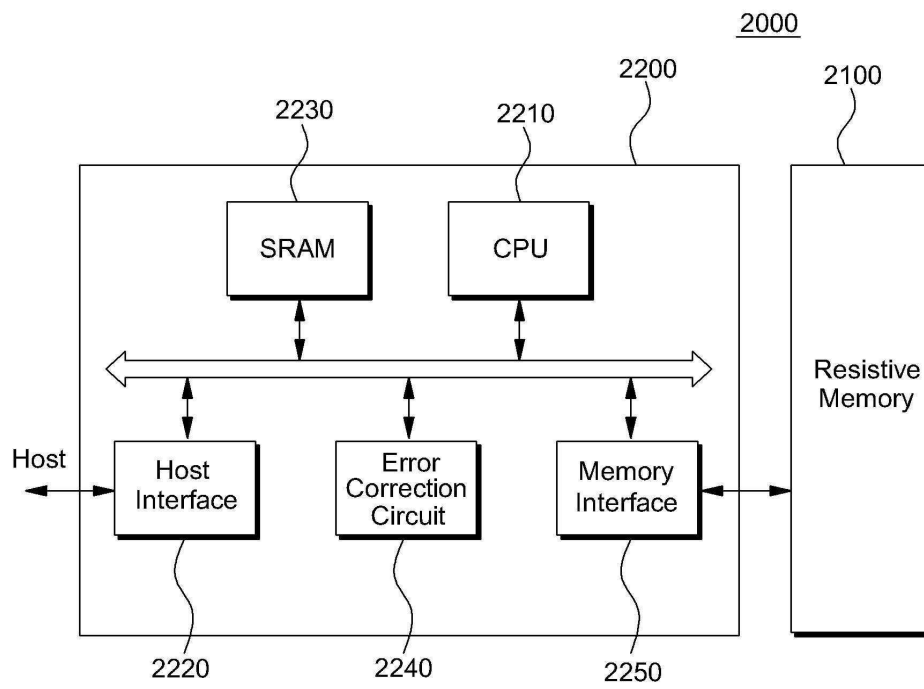
도면5



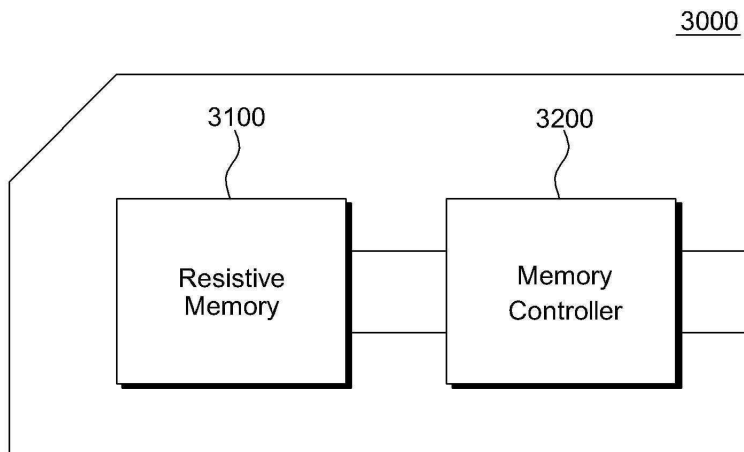
도면6



도면7



도면8



도면9

